

中央民族大学“985工程”中国少数民族语言文化教育与边疆史地研究创新基地文库
国家语言资源监测与研究中心少数民族语言分中心计算语言学教材系列丛书

○ 主编 戴庆厦 赵小兵

EDA 技术与应用

王志娟 闫晓东 郑玉彤 杨国胜 / 编著



中央民族大学出版社
China Minzu University Press

中央民族大学“985工程”中国少数民族语言文化教育边疆史地研究创新基地文库
国家语言资源监测与研究中心少数民族语言分中心计算语言学教材系列丛书

◎ 主编 戴庆厦 赵小兵

EDA 技术与应用

THE TECHNOLOGIES AND APPLICATIONS OF EDA

王志娟 闫晓东 郑玉彤 杨国胜 / 编著

江苏工业学院图书馆
藏书章

中央民族大学出版社
China Minzu University Press

图书在版编目(CIP)数据

EDA 技术与应用/ 王志娟等编著. —北京: 中央民族大学出版社, 2009. 7

ISBN 978-7-81108-718-5

I. E… II. 王… III. 电子电路-电路设计: 计算机辅助设计
IV. TN702

中国版本图书馆 CIP 数据核字 (2009) 第 109844 号

EDA 技术与应用

编 著 王志娟 闫晓东 郑玉彤 杨国胜

责任编辑 蔚 然

封面设计 李志彬

出 版 者 中央民族大学出版社

北京市海淀区中关村南大街 27 号 邮编: 100081

电话: 68472815 (发行部) 传真: 68932751 (发行部)

68932218 (总编室) 68932447 (办公室)

发 行 者 全国各地新华书店

印 刷 者 北京九州迅驰传媒文化有限公司

开 本 787 × 1092 (毫米) 1/16 印张: 14.25

字 数 278 千字

版 次 2009 年 12 月第 1 版 2009 年 12 月第 1 次印刷

书 号 ISBN 978-7-81108-718-5

定 价 38.00 元

版权所有 翻印必究

前 言

EDA 是电子设计自动化 (Electronic Design Automation) 的缩写, 是 20 世纪 90 年代初从 CAD (计算机辅助设计)、CAM (计算机辅助制造)、CAT (计算机辅助测试) 和 CAE (计算机辅助工程) 的概念发展而来的。EDA 技术以计算机为工作平台, 应用硬件描述语言 HDL (Hardware Description Language) 完成设计文件, 应用 EDA 工具软件自动完成逻辑编译、化简、分割、综合、优化和布局布线, 经仿真成功的设计文件可下载于特定的目标芯片, 进而实现既定的电子线路系统功能。EDA 技术作为一门综合性学科, 它打破了软件和硬件间的壁垒, 代表了电子设计技术和应用技术的发展方向, 因此其应用领域也越来越广泛, 相关行业对 EDA 技术人才的需求也越来越大。

EDA 技术的发展日新月异, 因此 EDA 技术的理论教学和实践教学都要紧跟 EDA 技术的发展步伐, 进而满足社会对 EDA 技术人才的需求。

本书具有以下特点:

一是力图对 EDA 技术进行全面介绍。EDA 技术作为一门在电子设计中应用广泛的技术, 它不仅包含硬件描述语言, 还包含 EDA 设计所涉及的相关内容, 如 EDA 开发软件、可编程逻辑器件等。为了给后续的 EDA 技术应用打下扎实的基础, 需要对 EDA 技术进行全面、系统的介绍。

二是突出 EDA 最新技术的介绍。EDA 技术在发展过程中不断有新的技术推出, 如 IP 核的应用等, 为了让学生满足社会需求, 需要及时补充应用多、技术成熟的 EDA 新技术。

三是侧重结合专业特点的综合应用。EDA 技术可以应用于很多领域, 因此有必要结合领域特点介绍 EDA 技术在这些领域的应用, 如结合计算机专业介绍基于 EDA 技术的 CPU 设计、结合通信专业介绍基于 EDA 技术的 2DPSK 调制器设计、结合自动化专业介绍基于 EDA 技术的步进电机控制, 使学生在应用 EDA 技术进行综合设计的同时加深对专业知识的理解。

四是首次介绍 EDA 技术在少数民族文字显示控制方面的应用。结合现有实验设备介绍如何应用 EDA 技术设计少数民族文字 (如藏文) LCD 显示控制器, 进而增强少数民族学生学习 EDA 技术的兴趣。

本书受中央民族大学“985工程”中国少数民族语言文化教育与边疆史地研究基地、国家语言资源监测与研究中心少数民族语言分中心、国家自然科学基金《基于动态流通语料库的汉语基本词汇特征曲线跟踪及自动提取方法研究》(项目号: 60663008)、教育部科研课题《蒙古文编码转换系统》(项目号: MZ115-72)的资助。

由于时间仓促,水平有限,书中难免有疏漏之处,在此敬请广大读者批评指正。

目 录

第1章 EDA技术概述	1
1.1 EDA概念	1
1.2 电子设计的发展史及各阶段的特点	1
1.3 EDA设计步骤	4
1.3.1 设计准备	4
1.3.2 设计输入	4
1.3.3 设计处理	5
1.3.4 设计校验	6
1.3.5 器件编程	6
1.3.6 器件测试和硬件验证	6
1.4 EDA技术内容	7
1.4.1 硬件描述语言	7
1.4.2 可编程逻辑器件	8
1.4.3 常用EDA工具	10
1.5 本章小结	12
第2章 VHDL语言程序设计	15
2.1 引言	15
2.2 VHDL基本结构	15
2.2.1 实体	16
2.2.2 结构体	18
2.2.3 库	20
2.2.4 程序包	21
2.2.5 配置	22
2.3 结构体的描述方法	22
2.4 结构体的子结构	24
2.4.1 块(BLOCK)语句	24
2.4.2 进程(PROCESS)语句	27
2.4.3 子程序	29
2.5 VHDL的基本要素	33
2.5.1 对象	33
2.5.2 数据类型	36
2.5.3 VHDL语言的运算符	40
2.5.4 标识符	43
2.5.5 VHDL语言的词法单元	45
2.6 基本语句	46

2.6.1 顺序语句	46
2.6.2 并行语句	55
2.7 配置	61
2.7.1 配置的基本概念	62
2.7.2 默认连接和默认配置	62
2.7.3 元件配置	64
2.7.4 块的配置	65
2.7.5 结构体的配置	66
2.8 属性	67
2.8.1 属性的基本概念	67
2.8.2 值类属性	67
2.8.3 函数类属性	69
2.8.4 信号类属性	72
2.8.5 数据类型类属性	73
2.8.6 数据范围类属性	74
2.9 状态机	74
2.9.1 状态机的基本概念	74
2.9.2 Moore型状态机设计	81
2.9.3 Mealy型状态机设计	87
2.10 本章小结	89
第 3 章 可编程逻辑器件	94
3.1 引言	94
3.2 CPLD/FPGA的结构与工作原理	98
3.2.1 CPLD的结构与工作原理	98
3.2.2 FPGA的结构与工作原理	100
3.2.3 选用CPLD/FPGA的依据	103
3.3 常见CPLD/FPGA芯片	104
3.3.1 Altera公司CPLD/FPGA	104
3.3.2 Xilinx公司FPGA/CPLD	106
3.3.3 Lattice公司FPGA/CPLD	107
3.4 可编程逻辑器件的编程和配置	108
3.4.1 CPLD的ISP方式编程	109
3.4.2 FPGA的配置方式	109
3.4.3 Byteblaster II下载电缆	110
3.4.4 配置文件及软件支持	111
3.5 本章小结	112
第 4 章 EDA开发工具	115
4.1 引言	115
4.2 Quartus II 安装	115
4.3 Quartus II 基本功能	117

4.3.1 设计输入	118
4.3.2 文件编译、仿真	120
4.3.3 编程下载设计文件	123
4.4 Quartus II 常用辅助设计工具	125
4.4.1 功率分析	125
4.4.2 RTL阅读器	126
4.4.3 SignalTapII逻辑分析器	126
4.5 ModelSim	127
4.5.1 ModelSim仿真准备	128
4.5.2 使用ModelSim进行设计仿真	131
4.5.3 通过Quartus II 调用ModelSim	137
4.6 本章小结	139
 第 5 章 IP核	 143
5.1 IP核的基本概念	143
5.2 基本宏单元 (Megafunction/LPM)	144
5.3 MegaCore	148
5.4 本章小结	149
 第 6 章 EDA技术应用	 151
6.1 引言	151
6.2 组合逻辑电路设计	151
6.2.1 基本门电路	151
6.2.2 编码器	155
6.2.3 选择器	160
6.2.4 运算器	161
6.3 时序逻辑电路设计	162
6.3.1 触发器	162
6.3.2 锁存器	168
6.3.3 计数器	173
6.4 综合设计	176
6.4.1 电子钟设计	177
6.4.2 UART数据接收发送器设计	178
6.4.3 计算机系统设计	181
6.4.4 2DPSK调制器设计	195
6.4.5 步进电机控制器设计	198
6.4.6 藏文LCD显示控制器设计	201
6.5 本章小结	213
 参考文献	 216

第 1 章 EDA 技术概述

本章重点

- EDA 的基本概念。
- 电子设计的发展史及各阶段的特点。
- 该课程的学习目的及意义。
- EDA 技术的主要内容。

1.1 EDA 概念

EDA 是电子设计自动化 (Electronic Design Automation) 的缩写, 在 20 世纪 90 年代初从计算机辅助设计 (CAD) 和计算机辅助工程 (CAE) 的概念发展而来。EDA 技术就是以计算机为工具, 设计者在 EDA 软件平台上, 用硬件描述语言 HDL 完成设计文件, 然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真, 直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作。EDA 技术的出现, 极大地提高了电路设计的效率和可靠性, 减轻了设计者的劳动强度。

为了更好地理解 EDA 技术的优点, 下面首先介绍电子设计的发展史及各阶段的特点。

1.2 电子设计的发展史及各阶段的特点

电子设计的发展史大概可分为四个阶段: 早期的电子设计、CAD 阶段、CAE 阶段和现在的 EDA 阶段。

早期的电子设计是指 20 世纪 60 年代以前的电子设计方法, 其设计流程如图 1-1 所示。

由该图可以看出, 该阶段的电子设计有两个突出问题: 一是应用手工的方式绘制电路原理图和 PCB 图, 费时、费力、修改不方便, 只有那些熟悉电子设计工艺的人才能胜任该项工作; 二是电路的调试在整个设计的后期, 假如设计不符合要求, 则只能从头

开始重新设计，设计效率低下，如何提高设计效率、降低设计成本呢？随着电子技术的发展，电子设计进入了 CAD 阶段。

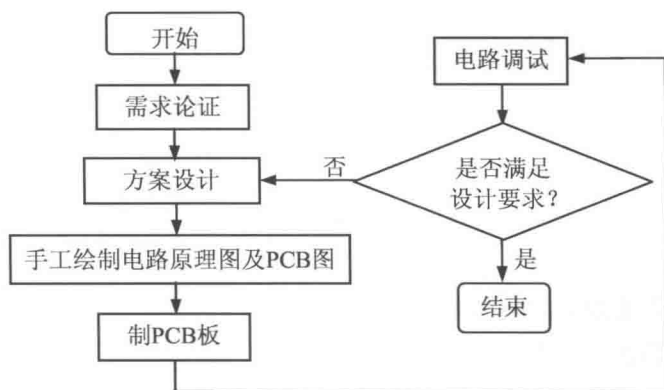


图 1-1 早期的电子设计流程

CAD 是计算机辅助设计(Computer Aided Design)的缩写，这个阶段在 20 世纪 60-80 年代以 PCB 制作为主，图 1-2 是 CAD 的设计流程。

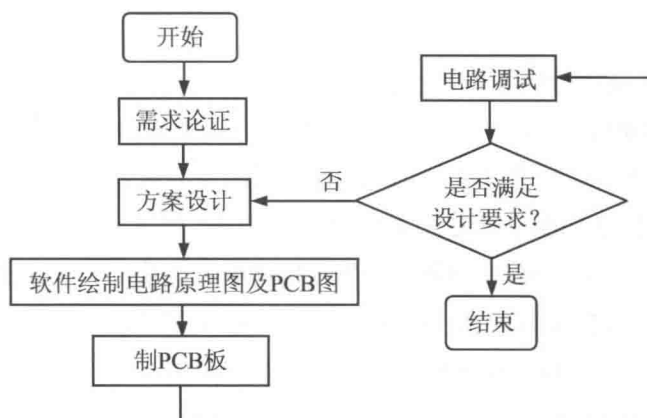


图 1-2 CAD 设计流程

由上图可以看出，在 CAD 阶段，采用软件绘制电路原理图和 PCB 图的方法大大缩短了设计周期，使设计的实现和修改更加方便。

CAE 阶段是计算机辅助工程(Computer Aided Engineering)的缩写，体现为 20 世纪 80-90 年代以电路仿真、分析为代表的电路设计，图 1-3 是该阶段的设计流程。

这个阶段在制作 PCB 板之前应用软件对电路进行仿真和分析，可以在早期发现部分设计缺陷，进而减低设计成本、缩短设计周期。电路设计方法发展到这个阶段是不是已没有了进一步发展的空间呢？有没有方法可以进一步改进电路设计流程呢？

90 年代以后，电路设计以复杂电路设计，可编程器件设计为代表，进入了 EDA 时代，该阶段的设计方法与先期的设计方法有很大不同，其设计流程如图 1-4 所示。

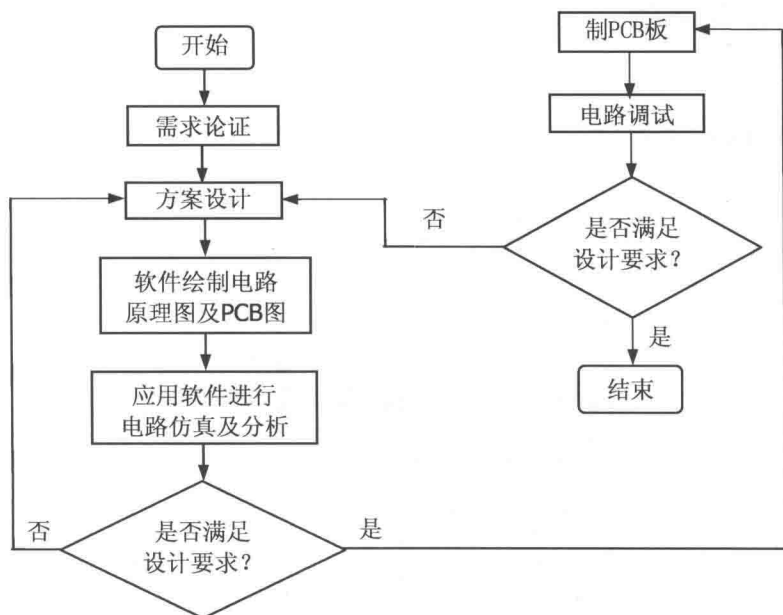


图 1-3 CAE 设计流程

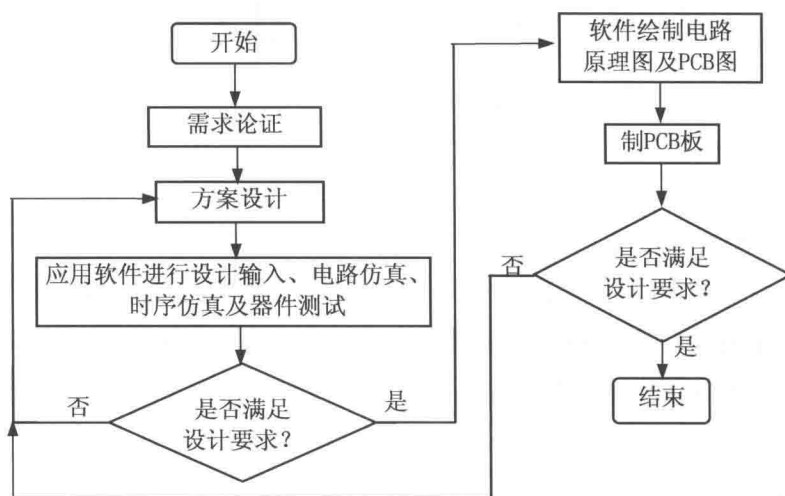


图 1-4 EDA 设计流程

在 EDA 阶段，可以应用硬件描述语言进行电路设计，并应用软件在最终制板之前进行电路仿真及基于器件的硬件测试。假如结果不符合设计要求，则应用硬件描述语言修改电路设计、应用软件进行电路仿真、时序仿真及器件测试，直至满足设计要求，因此在最终制板之前可以解决很多问题，大大提高了设计效率，降低了设计成本。

通过了解电子设计的发展历史，我们可以看出，EDA 技术可以大大缩短电路设计周期、降低设计成本、使得设计更加灵活，当然，EDA 阶段也有它的局限性，这也是 EDA 技术今后的发展方向。

1.3 EDA设计步骤

应用 EDA 技术进行硬件电路设计的具体步骤如图 1-5 所示，下面对各个步骤进行详细介绍。

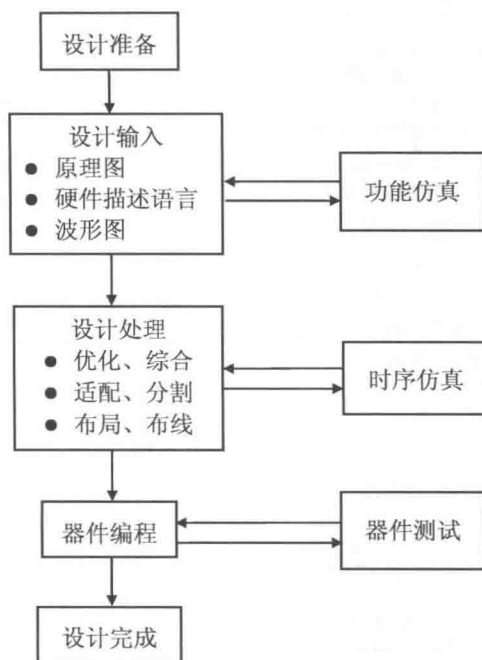


图 1-5 EDA 设计步骤

1.3.1 设计准备

设计准备是指设计者在进行设计之前，依据任务要求，确定系统所要完成的功能、设计的复杂程度、器件资源的利用情况及设计成本的估算等。具体而言，设计准备包括方案论证、系统设计和器件选择等。

1.3.2 设计输入

设计输入是将设计的系统或电路以开发软件要求的某种形式表示出来，并送入计算机的过程。

设计输入形式主要有以下三种方式，即文本方式设计输入方式、图形设计输入方式以及文本/图形混合的设计输入方式。

图形设计输入方式主要包括原理图和波形输入方式。原理图输入方式是一种最直接的设计输入方式，它使用软件系统提供的元器件库、各种符号和连线画出原理图，形成原理图输入文件，这种方式大多用在对系统及各部分电路很熟悉的情况，或在系统对时

间特性要求较高的场合,图形设计输入方式的优点是容易实现仿真、便于信号的观察和电路的调整。波形输入主要用于建立和编辑波形设计文件以及输入仿真向量和功能测试向量,波形设计输入一般用于时序逻辑和有重复性的逻辑函数,系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

文本输入方式是指用硬件描述语言实现设计的输入,硬件描述语言有普通硬件描述语言和行为描述语言。普通硬件描述语言有 AHDL、CUPL 等,它们支持逻辑方程、真值表、状态机等逻辑表达方式;行为描述语言是目前常用的高层硬件描述语言,有 VHDL 和 Verilog HDL 等,它们具有很强的逻辑描述和仿真功能,可实现与工艺无关的编程与设计,可以使设计者在系统设计、逻辑验证阶段便确立方案的可行性,且输入效率高,在不同的设计输入库之间转换也非常方便。运用 VHDL、Verilog HDL 硬件描述语言进行 EDA 设计已是当前的趋势。

1.3.3 设计处理

设计处理是 EDA 设计中的核心环节,在该阶段,编译软件将对设计输入文件进行逻辑化简、综合和优化,并适当地用一片或多片器件自动地进行适配,最后产生编程用的编程文件。

设计处理主要包括设计编译和检查、逻辑优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

1.设计编译和检查

设计输入完成之后,应立即进行编译。在编译过程中首先应进行语法检验,如检查原理图的信号线有无漏接,信号有无双重来源,文本输入文件中关键字有无错误等各种语法错误,并及时标出错误的位置信息报告,供设计者修改;然后进行设计规则检验,检查总的设计有无超出器件资源或规定的限制并将编译报告列出,指明违反规则和潜在不可靠电路的情况以供设计者纠正。

2.逻辑优化和综合

逻辑优化是化简所有的逻辑方程或用户自建的宏,使设计所占用的资源最少。综合的目的是将多个模块化设计文件合并为一个网表文件,并使层次设计平面化。

3.适配和分割

在适配和分割过程,确定优化以后的逻辑能否与下载目标器件 CPLD 或 FPGA 中的宏单元和 I/O 单元适配,然后将设计分割为多个便于适配的逻辑小块,并将其映射到器件相应的宏单元中。如果整个设计不能装入一片器件时,可以将整个设计自动分割成多块并装入同一系列的多片器件中去。

4. 布局和布线

布局和布线工作是在设计检验通过以后由软件自动完成的, 它能以最优的方式对逻辑元件布局, 并准确地实现元件间的布线互连。布局和布线以后, 软件会自动生成布线报告, 提供有关设计中各部分资源的使用情况等信息。

5. 生成编程数据文件

设计处理的最后一步是产生可供器件编程使用的数据文件。对 CPLD 来说, 是产生熔丝图文件, 即 JEDEC 文件 (电子器件工程联合会制定的标准格式, 简称 JED 文件); 对于 FPGA 来说, 是生成位流数据文件(Bit-stream Generation)。

1.3.4 设计校验

设计校验过程包括功能仿真和时序仿真, 这两项工作是在设计处理过程中同时进行的。功能仿真是在设计输入完成之后、选择具体器件进行编译之前进行的逻辑功能验证, 因此又称为前仿真。此时的仿真没有延时信息或者有由系统添加的微小标准延时, 这对于初步的功能检测非常方便。

时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真, 因此又称为后仿真或延时仿真。在设计处理以后, 对系统和各模块进行时序仿真, 可以分析其时序关系、估计设计的性能以及检查和消除竞争冒险等。

1.3.5 器件编程

编程是指将设计处理中产生的编程数据文件通过软件下载到具体的可编程逻辑器件中。

对 CPLD 器件来说是将 JED 文件下载到 CPLD 器件中去, 对 FPGA 来说是将位流数据 BG 文件配置到 FPGA 中去。

器件编程需要满足一定的条件, 如编程电压、编程时序和编程算法等。普通的 CPLD 器件和一次性编程的 FPGA 需要专用的编程器完成器件的编程工作。基于 SRAM 的 FPGA 可以由 EPROM 或其他存储体进行配置。在系统的可编程器件 (ISP-PLD) 则不需要专门的编程器, 只需一根与计算机互连的下载编程电缆就可以了。

1.3.6 器件测试和硬件验证

器件在编程完毕之后, 可以用编译时产生的文件对器件进行检验、加密等工作, 或采用边界扫描测试技术进行功能测试, 测试成功后意味完成了设计。

硬件验证可以在 EDA 硬件开发平台上进行, EDA 硬件开发平台的核心部件是一片可编程逻辑器件 FPGA 或 CPLD, 再附加一些输入输出设备, 如按键、数码显示器、指

示灯、喇叭等,以及提供时序电路需要的脉冲源。将设计电路编程下载到 FPGA 或 CPLD 中后,根据 EDA 硬件开发平台的操作模式要求,进行相应的输入操作,然后检查其输出结果,验证设计的准确性。

1.4 EDA 技术内容

应用 EDA 技术进行数字电路设计的前提是掌握 EDA 技术,EDA 技术主要包括硬件描述语言、可编程逻辑器件和 EDA 开发软件,下面我们首先概要了解这些内容,随后章节我们系统学习相关知识。

1.4.1 硬件描述语言

硬件描述语言 Hardware Description Language (简称为 HDL) 是 EDA 技术中的重要组成部分,常用的硬件描述语言有 AHDL、VHDL 和 Verilog HDL。VHDL 和 Verilog HDL 是当前最流行、并成为 IEEE 标准的硬件描述语言。专家认为,VHDL 与 Verilog HDL 语言将承担起几乎全部的数字系统设计任务。

1. VHDL

VHDL 是超高速集成电路硬件描述语言 (Very-High-Speed Integrated Circuit Hardware Description Language) 的缩写。

VHDL 作为 IEEE 标准的硬件描述语言和 EDA 的重要组成部分,经过十几年的发展、应用和完善,以其强大的系统描述能力、规范的程序设计结构、灵活的语言表达风格和多层次的仿真测试手段,在电子设计领域受到了普遍的认同和广泛的接受,成为现代 EDA 领域的首选硬件设计语言之一。

VHDL 具有以下特点:

(1) VHDL 具有强大的功能,覆盖面广,描述能力强。VHDL 支持门级电路的描述,也支持以寄存器、存储器、总线及运算单元等构成的寄存器传输级电路的描述,还支持以行为算法和结构的混合描述实现系统级电路的描述。

(2) VHDL 有良好的可读性。它可以被计算机接受,也容易被读者理解。用 VHDL 书写的源文件,既是程序又是文档,既是工程技术人员之间交换信息的文件,又可作为合同签约者之间的文件。

(3) VHDL 具有良好的可移植性。作为一种已被 IEEE 承认的工业标准,VHDL 事实上已成为通用的硬件描述语言,可以在各种不同的设计环境和系统平台中使用。

(4) 使用 VHDL 可以延长设计的生命周期。用 VHDL 描述的硬件电路与工艺无关,

不会因工艺而使描述过时。与工艺有关的参数可以通过 VHDL 提供的属性加以描述,工艺改变时,只需要修改相应程序中属性参数即可。

(5) VHDL 支持对大规模设计的分解和已有设计的再利用。VHDL 可以描述复杂的电路系统,支持对大规模设计的分解,由多人、多项目组来共同承担和完成。标准化的规则和风格,为设计的再利用提供了有力的支持。

(6) VHDL 有利于保护知识产权。用 VHDL 设计的专用集成电路(ASIC),在设计文件下载到集成电路时可以采用一定保密措施,使其不易被破译和窃取。

2. Verilog HDL

Verilog HDL 也是目前应用最为广泛的硬件描述语言,并被 IEEE 采纳为 IEEE 1064-1995 标准。Verilog HDL 可以用来进行各种层次的逻辑设计,也可以进行数字系统的逻辑综合、仿真验证和时序分析。

Verilog HDL 支持算法级(Algorithm)、寄存器传输级(RTL)、逻辑级(Logic)、门级(Gate)和版图级(Layout)等各个层次的电路设计和描述。

采用 Verilog HDL 进行电路设计的最大优点是其与工艺无关,这使得设计者在进行电路设计时可以不必要过多考虑工艺实现的具体细节,只需要根据系统设计的要求施加不同的约束条件,即可设计出实际电路。

Verilog HDL 具有与 VHDL 类似的特点,稍有不同的是 Verilog HDL 早在 1983 年就已经推出,至今已有 20 年的应用历史,因而 Verilog HDL 拥有广泛的设计群体,其设计资源比 VHDL 丰富。另外 Verilog HDL 是在 C 语言的基础上演化而来的,因此只要具有 C 语言的编程基础,就很容易学会并掌握这种语言。

3. AHDL

AHDL (Altera Hardware Description Language) 是 Altera 公司根据自己公司生产的 MAX 系列器件和 FLEX 系列器件的特点专门设计的一套完整的硬件描述语言。

AHDL 是一种模块化的硬件描述语言,它完全集成于 Altera 公司的 MAX+plus II 的软件开发系统中。AHDL 特别适合于描述复杂的组合电路、组(group)运算以及状态机、真值表和参数化的逻辑。用户可以通过 MAX+plus II 的软件开发系统对 AHDL 源程序进行编辑,并通过对源文件的编译建立仿真、时域分析以及输出文件。

AHDL 的语句和元素种类齐全、功能强大,而且易于应用。用户可以使用 AHDL 建立完整层次的工程设计项目,或者在一个层次的设计中混合其他类型的设计文件,例如 VHDL 设计文件或 Verilog HDL 设计文件。

1.4.2 可编程逻辑器件

可编程逻辑器件 PLD (Programmable Logic Device) 是一种半定制集成电路,在其

内部集成了大量的门和触发器等基本逻辑电路,用户通过编程来改变 PLD 内部电路的逻辑关系或连线,就可以得到需要的设计电路。可编程逻辑器件的出现,改变了传统的数字系统设计方法,其设计方法为 EDA 技术开创了广阔的发展空间,并极大地提高了电路设计的效率。

在可编程逻辑器件 PLD 没有出现之前,数字系统的传统设计往往采用“积木”式的方法进行,实质上是对电路板进行设计,通过标准集成电路器件搭建成电路板来实现系统功能,即先由器件搭成电路板,再由电路板搭成系统。数字系统的“积木块”就是具有固定功能的标准集成电路器件,如 TTL 的 74/54 系列、CMOS 的 4000/4500 系列芯片和一些固定功能的大规模集成电路等,用户只能根据需求选择合适的集成电路器件,并按照此种器件推荐的电路搭成系统并调试成功。在设计中,设计者没有灵活性可言,搭成的系统需要的芯片种类多且数目大。

PLD 的出现,给数字系统的传统设计法带来新的变革。采用 PLD 进行的数字系统设计是基于芯片的设计或称之为“自底向上”(Bottom-Up)的设计,它跟传统的积木式设计有本质的不同。它可以直接通过设计 PLD 芯片来实现数字系统功能,将原来由电路板设计完成的大部分工作放在 PLD 芯片的设计中进行。这种新的设计方法能够由设计者根据实际情况和要求定义器件的内部逻辑关系和管脚,这样可通过芯片设计实现多种数字系统功能,同时由于管脚定义的灵活性,不但大大减轻了系统设计的工作量和难度,提高了工作效率,而且还可以减少芯片数量,缩小系统体积,降低能源消耗,提高系统的稳定性和可靠性。

PLD 与 TTL 器件最大的不同是 TTL 器件只能提供特定的逻辑功能,不能通过修改来满足具体电路的设计要求。

目前,可编程逻辑器件有许多品种。集成度是集成电路一项很重要的指标,可编程逻辑器件从集成密度上可分为低密度可编程逻辑器件 LDPLD 和高密度可编程逻辑器件 HDPLD 两类。

PROM、PLA、PAL 和 GAL 是早期发展起来的 PLD,其集成密度一般小于 700 门(等效门)/片,它们同属于 LDPLD;HDPLD 包括可擦除可编程逻辑器件 EPLD(Erasable Programmable Logic Device)、复杂可编程逻辑器件 CPLD(Complex PLD)和 FPGA 三种,其集成密度大于 700 门/片。

随着集成工艺的发展,HDPLD 集成密度不断增加,性能不断提高。如 Altera 公司的 EPM9560,其密度为 12000 门/片,Lattice 公司的 ISPLSI 3320 为 14000 门/片等。目前集成度最高的 HDPLD 可达 25 万门/片以上。

目前常用的可编程逻辑器件都是从与或阵列和门阵列发展起来的,所以可编程逻辑器件也可从结构上分为阵列型 PLD 和现场可编程门阵列型 FPGA 两大类。