

現代電子技術叢書

數字系統 的原理和應用

· 下冊 ·



PRINCIPLE
AND
APPLICATION
OF
DIGITAL SYSTEMS

殷寶本編著

萬里書店出版

數字系統的原理和應用

(下冊)

殷寶本編著

香港萬里書店出版

數字系統的原理和應用（下冊）

殷策本編著

出版者：萬里書店有限公司
香港北角英皇道486號三樓
電話：5-632411 & 5-632412

承印者：嶺南印刷公司
香港德輔道西西安里13號

定價：港幣二十元

版權所有 * 不准翻印

（1980年8月初版・1983年8月重印本）

前 言

本書廣泛而深入地介紹了現代數字系統的原理和最新技術成就。

雖然基本的電子學知識將有助於理解本書，但是，本書有百分之九十以上的內容却並不要求讀者事先具備電子學方面的訓練。因此，本書不僅可作為電腦專業學生的教科書，也可供其他專業的學生或有興趣的讀者自學參考。

本書除了包括有一般性內容之外，還編入了數字集成電路（晶體管—晶體管邏輯電路（TTL），金氧半導體（MOS），互補金氧半導體（CMOS），射極耦合邏輯電路（ECL），三態邏輯電路（TRI-STATE LOGIC）等）的最新資料，以及有關譯碼、編碼、多路傳送、數據分配、選通、數據總綫系統、微處理機等內容。

全書敘述力求通俗詳盡及循序漸進，在第八章以前均採用方框圖方法講解基本的數字邏輯操作，使讀者不致一開始就被複雜的內部電路難住，而影響到對基本原理的理解。每章均附有習題。

在實際應用方面，介紹了頻率計數器、數字鐘、鍵盤輸入編碼器、控制定序器、數字伏特計、同步數據傳送系統及數字電腦等技術。全書分上、下兩冊出版。

由於編者水平所限，錯誤之處在所難免，衷心希望讀者批評指正。

編者謹識

目 次

前 言	1
第八章 集成電路邏輯系列	1
§ 8.1 數字集成電路的術語	1
§ 8.2 晶體管-晶體管邏輯系列	7
§ 8.3 標準的 TTL 系列及特性	10
§ 8.4 其他的 TTL 系列	12
§ 8.5 TTL 的負載規則	13
§ 8.6 TTL 的其他性質	17
§ 8.7 TTL 集電極開路輸出	21
§ 8.8 三態 TTL	26
§ 8.9 射極耦合邏輯數字集成電路系列	28
§ 8.10 金氧半導體數字集成電路	32
§ 8.11 金氧半導體場效應晶體管	33
§ 8.12 金氧半導體場效應晶體管數字電路	35
§ 8.13 金氧半導體邏輯電路之特性	38
§ 8.14 互補金氧半導體邏輯電路	39
§ 8.15 CMOS 4000A 系列之特性	43
§ 8.16 CMOS 和 TTL 的連接	45
§ 8.17 CMOS 傳輸門	48
§ 8.18 集成電路邏輯系列的相互比較	50
習 題	50
第九章 數據處理邏輯電路	52

§ 9.1	譯碼器	52
§ 9.2	BCD-十進制譯碼器	55
§ 9.3	BCD-七段字形顯示譯碼驅動器	57
§ 9.4	編碼器	60
§ 9.5	開關編碼器	62
§ 9.6	多路轉換器(數據選擇器)	66
§ 9.7	多路轉換器的應用	70
§ 9.8	數據分配器	75
§ 9.9	數據總綫系統	81
	習題	86
第十章	數字系統中的輸入輸出技術	88
§ 10.1	輸入輸出裝置	88
§ 10.2	穿孔紙帶	89
§ 10.3	穿孔卡片	91
§ 10.4	磁帶	92
§ 10.5	印刷機	93
§ 10.6	陰極射綫管顯示器	93
§ 10.7	數字-模擬轉換	94
§ 10.8	數字-模擬轉換器的電路結構	99
§ 10.9	數字-模擬多路轉換	102
§ 10.10	數字-模擬轉換器的性能	105
§ 10.11	數字-模擬轉換器的應用	106
§ 10.12	模擬-數字轉換	106
§ 10.13	數字傾斜式模擬-數字轉換器	109
§ 10.14	逐次近似型模擬-數字轉換器	112
§ 10.15	數字電壓表	116
§ 10.16	過程變量的轉換	119
	習題	121
第十一章	存儲設備	123

§ 11.1	存儲速度和存儲容量	124
§ 11.2	各種存儲設備的應用	125
§ 11.3	存儲器的術語	128
§ 11.4	磁 心	130
§ 11.5	磁心板	134
§ 11.6	磁心存儲器的結構	137
§ 11.7	電流重合存儲器的定址	142
§ 11.8	完整的磁心存儲系統	143
§ 11.9	磁心存儲器的特性	148
§ 11.10	磁薄膜存儲器	148
§ 11.11	在運動的磁性表面上記錄信息	153
§ 11.12	磁 鼓	154
§ 11.13	磁 盤	155
§ 11.14	磁 帶	156
§ 11.15	半導體存儲器	158
§ 11.16	綫性選擇讀寫存儲器	158
§ 11.17	重合選擇讀寫存儲器	161
§ 11.18	MOS動態存儲器	166
§ 11.19	只讀存儲器	167
§ 11.20	只讀存儲器的應用	169
	習 題	173
第十二章	數字電腦簡介	175
§ 12.1	什麼是數字電腦	175
§ 12.2	基本的電腦系統方框圖	176
§ 12.3	指令字和數據字	177
§ 12.4	編碼指令	180
§ 12.5	電腦的操作週期	183
§ 12.6	微程序控制	188
§ 12.7	小型電腦	190

§ 12.8 微處理機.....	191
附錄：集成電路數據表.....	195
習題答案.....	229

第八章

集成電路邏輯系列 (Integrated-circuit logic families)

幾乎所有現代的數字系統都利用數字集成電路 (Digital integrated circuit)，因為集成電路工作可靠，重量輕且體積小。數字集成電路技術發展十分迅速。從每電路片 (Chip) 不到 13 個等效邏輯門的「小規模集成」(Small-scale integration, SSI)，到每片包含 13~99 個等效邏輯門的「中規模集成」(Medium-scale integration, MSI)，以至發展到每片包含 100 個以上的門的所謂「大規模集成」(Large-scale integration, LSI)。由於集成電路的廣泛應用，有必要熟悉最常用的集成電路邏輯系列 (TTL、ECL、MOS 和 CMOS)，以及它們的優缺點。本章將要詳細地介紹這些邏輯系列，使讀者能夠理解製造商的集成電路數據表，而利用表格所列出的資料進行選擇和設計。

§8.1 數字集成電路的術語 (Digital IC terminology)

雖然數字集成電路的製造商很多，但有許多名詞術語却都已標準化了。下面給出一些最有用的術語定義並加以討論。

電流和電壓參數 (Current and voltage parameters)

V_{IH} ($V_{in(1)}$) 高輸入電壓 (High-level input voltage): 在一個輸入端產生一個邏輯「1」所需之電壓。任何低於此電平的電壓都不被邏輯電路作為一個「高」而接受。

V_{IL} ($V_{in(0)}$) 低輸入電壓 (Low-level input voltage): 在一個輸入端

產生一個邏輯「0」所需之電壓。任何高於此電平的電壓均不能作為一個「低」而被邏輯電路所接受。

V_{OH} [$V_{out(1)}$] 高輸出電壓 (High-level output voltage): 邏輯電路的一個輸出端處於邏輯「1」狀態時的電平。通常規定 V_{OH} 的最小值。

V_{OL} [$V_{out(0)}$] 低輸出電壓 (Low-level output voltage): 邏輯電路的一個輸出端處於邏輯「0」狀態時的電平。通常規定 V_{OL} 的最大值。

I_{IH} [$I_{in(1)}$] 高輸入電流 (High-level input current): 當把一個「高」電壓施加於某輸入端時，流入該輸入端的電流。

I_{IL} [$I_{in(0)}$] 低輸入電流 (Low-level input current): 當把一個「低」電壓施加於某輸入端時，流入該輸入端的電流。

I_{OH} [$I_{out(1)}$] 高輸出電流 (High-level output current): 在規定的負載條件下，從處於邏輯「1」狀態的某輸出端流出的電流。

I_{OL} [$I_{out(0)}$] 低輸出電流 (Low-level output current): 在規定的負載條件下，從處於邏輯「0」狀態的某輸出端流出的電流。

扇出 (Fan-out)

一般地，常需要用一個邏輯電路的輸出，去驅動幾個邏輯輸入。扇出 (又稱負載因數, Loading factor) 的定義: 用一個輸出能夠可靠地驅動標準邏輯輸入的最大數目。舉例來說，扇出為10的一個邏輯門能夠驅動10個標準輸入 (Standard input)。如果超出此數，就不能保證輸出的邏輯電平值。

瞬變時間 (Transition times)

某些數字電路對其輸入端的邏輯電平作出響應，但另一些電路却是被電壓的迅速改變所激活。在後一種電路的情形，輸入信號必須有足夠快速的電平瞬變，否則電路將不能正確地作出響應。為此，常常需規定邏輯輸出之上升時間 t_R 和下降時間 t_F 。 t_R 和 t_F 的值並不一定相等，它們均是和加在邏輯輸出端之負載量有關。

傳播延遲 (Propagation delays)

邏輯信號通過一個電路時，總是會經歷某種延遲。下面是兩種傳播延遲時間的定義:

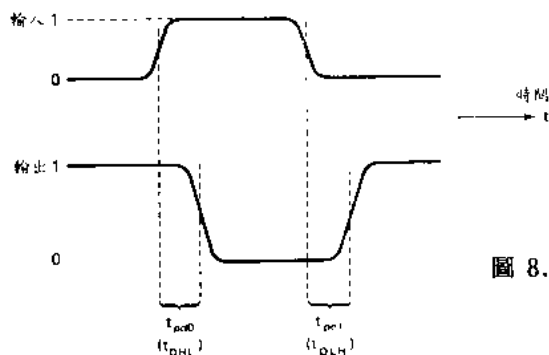


圖 8.1 傳播延遲

t_{pd1} (或 t_{PLH}): 由邏輯「0」到邏輯「1」狀態變化過程中產生的延遲。

t_{pd0} (或 t_{PHL}): 由邏輯「1」到邏輯「0」狀態變化過程中產生的延遲。

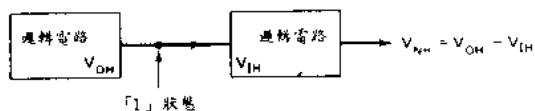
圖 8.1 說明了這些傳播延遲。注意 t_{pd0} 是輸出由「1」到「0」的響應中存在的延遲，而 t_{pd1} 則相反。

一般地， t_{pd0} 和 t_{pd1} 的值並不相同，而且它們均依負載條件而變。 t_{pd0} 和 t_{pd1} 的數值是用來作為邏輯電路相對速度的一種量度。例如， t_{pd} 為 10 毫微秒 (nS) 的邏輯電路，比 t_{pd} 為 20 毫微秒的邏輯電路速度快。

功率要求 (Power requirements)

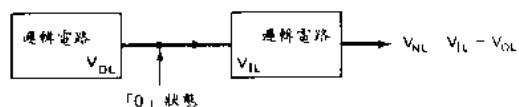
一個集成電路所需之功率是一個重要參數，故在製造商的數據表上總是列明此參數。有時候，直接以平均功耗 (Average power dissipation) P_D 給出。但更常用的是以電源流出的電流來間接給出功率要求。該電流以符號 I_{CC} 表示。已知 I_{CC} 的值，將 I_{CC} 乘上電源電壓就得出由電源取出之功率數值。

對某些集成電路而言，兩個不同邏輯狀態的電源電流是不同的。在此情形下需給定兩個 I_{CC} 的值。 I_{CCH} (或 $I_{CC(1)}$) 是當集成電路片上所有輸出均是「高」的時候的電源電流； I_{CCL} (或 $I_{CC(0)}$) 則是所有輸出均為「低」的時候的電源電流。



(a)

圖 8.2 噪聲容限之圖示



(b)

抗擾度 (Noise immunity)

雜散的電磁場 (Stray electrical and magnetic field) 能在邏輯電路之間的接綫中感應起電壓。這些我們所不希望的寄生信號 (Spurious signal) 稱為噪聲 (Noise); 這些噪聲有時會使邏輯電路輸入端的電壓降至 V_{IH} 以下或升至 V_{IL} 以上, 從而引起不可靠的操作。一個邏輯電路的抗擾度是指該電路容忍輸入端的噪聲電壓之能力。抗擾度的定量表示稱為噪聲容限 (Noise margin), 如圖 8.2 所示。

在圖 8.2(a) 中, 邏輯輸出是在「1」狀態, 並正驅動一個邏輯輸入。高態噪聲容限 (High-state noise margin) 可按下式計算:

$$V_{NH} = V_{OH} - V_{IH} \quad (8.1)$$

其中採用 V_{OH} 在最壞情況下的最小值。 V_{NH} 的值是在「高」狀態中可以容許的噪聲電壓總量 (在此電壓下仍保證有可靠的操作)。

圖 8.2(b) 中, 一個邏輯「0」輸出正驅動一個邏輯輸入。低態噪聲容限 (Low-state noise margin) V_{NL} 可按下式計算:

$$V_{NL} = V_{IL} - V_{OL} \quad (8.2)$$

式中採用 V_{OL} 之最大值。所得之 V_{NL} 值是在「低」狀態中可以容許的噪聲量。一般來說, V_{NH} 和 V_{NL} 的值是不相同的。

例 8.1 某數字集成電路的輸入/輸出電壓參數如下表所示, 求噪聲容限。

參數	最小值(v)	典型值(v)	最大值(v)
V_{OH}	3.0	3.8	4.8
V_{OL}	0.1	0.3	0.5
V_{IH}	1.8*	—	—
V_{IL}	—	—	0.7*

解:

$$V_{NH} = V_{OH}(\min) - V_{IH} \\ = 3.0V - 1.8V = 1.2V$$

$$V_{NL} = V_{IL} - V_{OL}(\max) \\ = 0.7V - 0.5V = 0.2V$$

嚴格地說，由(8.1)式和(8.2)式求出之噪聲容限是所謂的直流噪聲容限(dc noise margin)。當談及噪聲的時候，用「直流」這個字眼似乎有些不大妥當，因為噪聲一般是一種迅變的交流信號。然而，在現今的高速集成電路中，脈衝寬度為1微秒已是「非常長」的時間；對邏輯電路的響應而言，可把它視作是直流。當脈衝寬度降至低毫微秒區(Low-nanosecond region)，則存在一個極限，在此極限下脈衝寬度已短到使電路無法作出響應。這時，須增大脈衝幅度才能產生電路輸出的改變。這暗示，一個邏輯電路將可容許大的噪聲振幅，如果該噪聲的延續時間很短的話。換言之，一個邏輯電路的交流噪聲容限(Ac noise margin)一般比由(8.1)和(8.2)式所給出的直流噪聲容限大得多。製造商一般是用如圖8.3的曲綫給出交流噪聲容限的有關資料。注意，對於脈衝寬度大於10毫微秒的情況，噪聲容限是常數；但對較窄的脈衝而言，噪聲容限上升得很快。

根據邏輯電路輸出電路中電流的流動方式，可以對邏輯系列進行分類。圖8.4(a)所示為電流源邏輯(Current-sourcing logic)，其中門1的輸出正饋入門2的輸入。當門1的輸出是在邏輯「1」狀態，它將一個電流 I_{IH} 供給門2的輸入。換言之，門1的輸出作用如一個電流源(Current

*一般只給出最小的 V_{IH} 和最大的 V_{IL} 值。

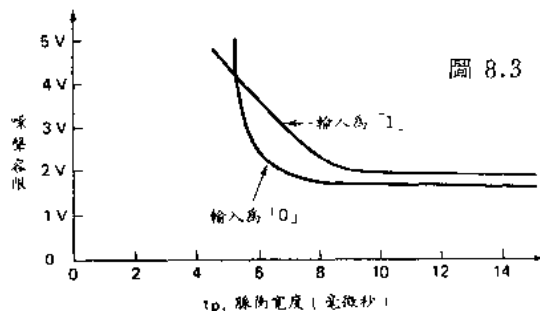
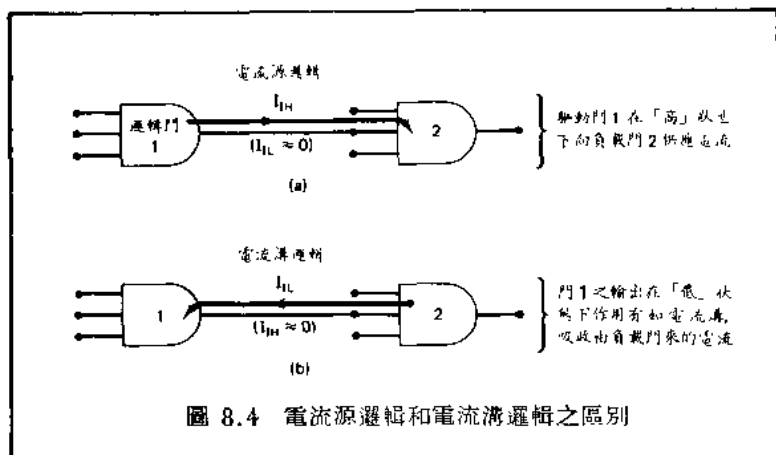


圖 8.3 典型的交流噪聲容限圖表



source)。在邏輯「0」輸出態，門 1 只須供給門 2 的輸入一個很小的電流 (I_{IL})。

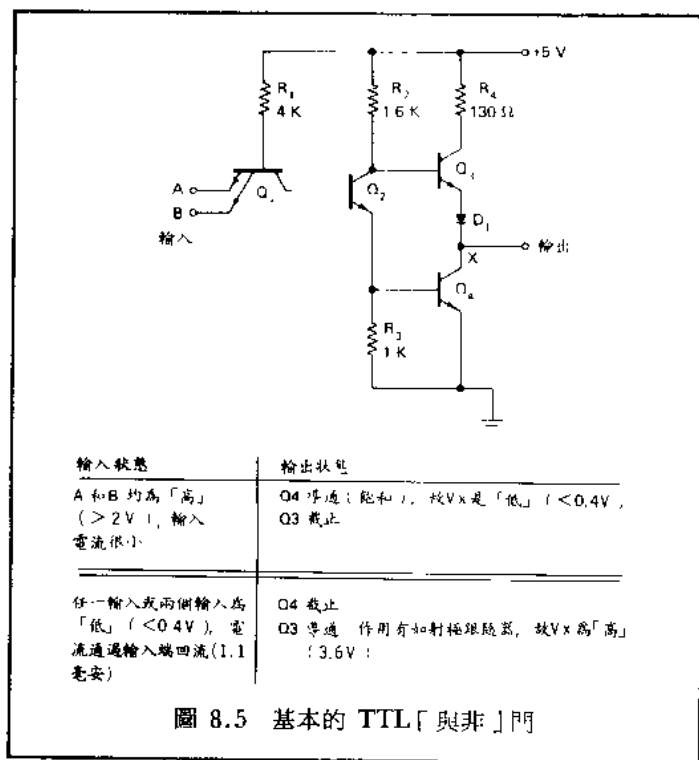
與此相對照的是圖 8.4(b) 所示的電流溝邏輯 (Current-sinking logic) 在邏輯「1」狀態時，門 1 的輸出只供給門 2 的輸入一個很小的電流 I_{IH} 。在邏輯「0」狀態，將出現一個很不尋常的情況：電流 I_{IL} 實際上是從門 2 的輸入倒流回門 1 的輸出。也就是說，門 1 的輸出端的作用有如一個電流溝 (Current sink, 或稱電流吸收)。

§8.2 晶體管 - 晶體管邏輯系列 (The TTL logic family)

在本書中，應用得最多的邏輯電路系列是晶體管-晶體管邏輯 (Transistor-transistor logic) 系列，以下簡稱爲 TTL 系列。圖 8.5 是基本的 TTL 邏輯門的電路圖。注意多發射極輸入晶體管 Q_1 (Multiple emitter) 以及輸出晶體管 Q_3 和 Q_4 的推拉輸出接法 (Totem-pole)。TTL 系列使用雙極晶體管 (Bipolar)，故屬於雙極邏輯系列的範圍。

電路的工作 (Circuit operation)

如輸入 A 和 B 均是「高」電壓，則 Q_1 的兩個射極-基極結上均加有反偏壓。然而， Q_1 的集極-基極結上則加上正偏壓，因爲 Q_1 的集電極



只在 1.4V 左右（因為 Q_2 和 Q_4 的基-射壓降為 0.7V 之故）。於是，電流*將由 +5V 電源經過 R_1 以及 Q_1 的集極基極結，流入 Q_2 的基極，使 Q_2 導通。 Q_2 的發射極電流使 Q_4 導通，同時， Q_2 的集電極在導通態的低電壓使 Q_3 保持截止（在 Q_3 的發射極有 D_1 以確保這一點）。由於 Q_4 處在飽和的導通狀態，輸出端 X 的電壓將是很低的（ $<0.4V$ ）。於是，當兩個輸入均是「高」，輸出將是「低」。

如果一個（或兩個）輸入是在「低」電壓，則 Q_1 的射極基極結之一上加有正向偏壓。電流將從 5V 電源經 R_1 流入 Q_1 的基極，由發射極流出（該極正處於「低」電壓）。 Q_1 的集電極電流降至 0，引起 Q_2 和 Q_4 變為截止。 Q_2 的截止使其集電極將產生高壓，從而使 Q_3 導通。 Q_3 將有如一個射極跟隨器（Emitter follower），在輸出端 X 產生一個高電壓，一般在 3.6V 左右（5V 減去在 Q_3 的基-射極和二極管 D_1 處的 0.7V 壓降）。這樣，當任一輸入為「低」，輸出為「高」。

很明顯，由於「低」輸出僅出現在所有輸入均為「高」的情形，故這個電路的功能有如一個「與非」門。圖 8.5 中的表總括了在兩種輸出狀態下該門電路之操作情況。該表也表示，當有兩個「高」輸入電壓時，只有很小的輸入電流，因為射極基極結是加上反偏壓的。當有一個「低」輸入電壓時，電流將回流經過相應的發射極而導向輸入端。這些正是電流吸收邏輯電路之特徵。

TTL 邏輯電路是電流吸收電路，在這種電路中，輸出（在「低」狀態）從所驅動的輸入處接收電流。圖 8.6 顯示用一個 TTL 門的輸出驅動另一個門的輸入的情況。當驅動門的輸出為「低」，晶體管 Q_4 飽和而 Q_3 截止。X 端的「低」電壓使 Q_1 的發射極加上正向偏壓，使電流如圖所示流向 Q_4 。 Q_4 的飽和集電極電流是由被驅動門供應。 Q_4 的作用有如一個電流溝。

推拉輸出電路 (Totem-pole output circuit)

有關 TTL 輸出電路的推拉接法，需指出幾點。我們可以省去 Q_3 和

* 本書中電流的方向均取作通常的約定方向，即正電荷移動的方向。

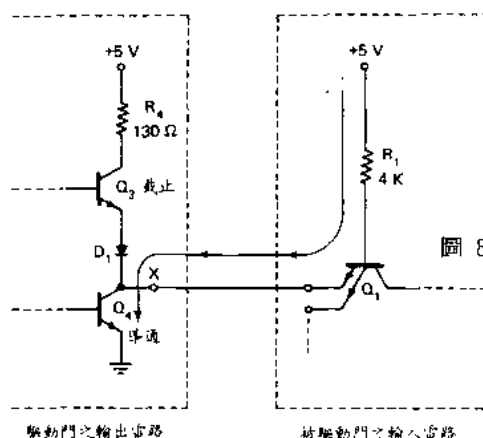


圖 8.6 TTL 電流吸收作用之圖示

D_1 ，並把 R_4 的下端和 Q_4 的集電極相連，以達到相同的邏輯功能。但是，這樣做的結果將使 Q_4 在飽和狀態時通過相當大的電流($5V/130\Omega \approx 40\text{ mA}$)。有了 Q_3 ，在輸出為「低」狀態時將沒有電流通過 R_4 。這一點很重要，因為將使電路之功耗下降。這是推拉電路的優點之一。

另一個優點是發生在輸出為「高」狀態的時候。在此情形， Q_3 是用作射極跟隨器，其輸出阻抗低(典型地， 10Ω)。這個低輸出阻抗使得對於輸出端的任何電容性負載之充電時間常數變小。這樣的作用將使 TTL 輸出之波形有很快的上升時間。

推拉電路的缺點是產生在由「低」向「高」跳變的時候。由於 Q_4 的截止比 Q_3 的導通慢得多，所以存在一段幾毫微秒的時間，在此時間內 Q_3 和 Q_4 均是導通的，使電源電流較大 ($30 \sim 40\text{ mA}$)。這將會引起一個問題，稍後我們會討論它。

一般地，大多數 TTL 邏輯電路有多發射極或單發射極輸入，以及某種類型的推拉輸出電路。後面討論到特殊的 TTL 電路時，我們再舉出一些例外的情形。