

目 录

2.1 Intel 8291 GPIB 接口	(2)
2.2 Intel 8292 GPIB 接口	(8)
2.3 Intel 8294 数据加密器件	(21)
2.4 Intel 8293 GPIB 收发器	(30)
2.5 MC3446A GPIB 收发器	(41)
2.6 MC3447 GPIB 双向收发器	(42)
2.7 MC3448A GPIB 双向收发器	(45)
2.8 MC6820 外设接口适配器	(47)
2.9 MC6821 外设接口适配器	(47)
2.10 MC6822 工业接口适配器	(53)
2.11 MC6859 数据保密器件	(60)
2.12 MC68120 智能外设控制器	(66)
2.13 MC68121 智能外设控制器	(100)
2.14 MC68488 通用接口适配器	(100)
2.15 MC68HC21 外设接口适配器	(112)
2.16 MC68230 并行接口/定时器	(119)
2.17 Z80—PIO 控制器	(126)
2.18 Z8036 通用外设器件	(131)
2.19 Z8038 先进先出 I/O 接口器件	(148)
2.20 Z8060 先进先出缓冲器件	(164)
2.21 Z8090 通用外设控制器	(167)
2.22 Z8094 通用外设控制器	(175)
2.23 Z8594 通用外设控制器	(175)
2.24 Z8590 通用外设控制器	(187)
2.25 Z8536 计数/计时器与并行 I/O 器件	(188)
2.26 CDP1851 可编程接口器件	(203)
2.27 F6821 外设接口适配器	(206)
2.28 F3861 外设 I/O 器件	(209)
2.29 F3871 外设 I/O 器件	(217)
2.30 F6820 外设接口适配器	(230)
2.31 F68A21/F68B21 外设接口适配器	(237)
2.32 F68488 通用接口适配器	(237)
2.33 F9449 多数据通道控制器	(249)

2.34	F16203 四通道控制器	(258)
2.35	F16488 GPIB 控制器	(261)
2.36	DS3666 八通道双向收发器	(263)
2.37	DS3667 八通道双向收发器	(267)
2.38	DS75160A/DS75161A/DS75162A 八通道双向收发器	(269)
2.39	DS7641/DS8641 高速驱动/接收器	(272)
2.40	DP8216/DP8216M 四位双向总线驱动器	(273)
2.41	DP8226/DP8226M 四位双向总线驱动器	(275)
2.42	HD6321 通用外设接口适配器	(276)
2.43	Intel 8255A 可编程并行 I/O 器件	(283)
2.44	Intel 8291A GPIB 发送/接收器	(297)
2.45	Intel 82C55A 可编程外设接口	(314)
2.46	MC68122 群集终端控制器	(329)
2.47	NS16C451 带有并行口的通用异步收发器	(333)
2.48	NS16C551 带 FIFO, 串行接口和译码逻辑的通用异步收发器	(335)

《计算机通信常用元器件手册》

前 言

计算机通信技术是实现信息化社会的重要手段。近年来,国际上最有名的十几家计算机器件厂商已经生产并投入市场的几百种计算机通信器件和部件,为世界各国的通信现代化提供了强有力的物质条件。当前,我国正处于“改革开放时代”,对计算机通信事业提出了极为迫切的需要,本手册正是为帮助广大从事数字通信技术的读者学习、使用或了解最新通信器件、部件而编写的。

本系列丛书具有以下特点:

- 在叙述上,深入浅出,循序渐近,易于学习,便于使用
- 在概念上,讲清本质,明晰透彻
- 在内容上,力求正确齐全、新颖、实用、翔实,突出重点
- 在结构上,层次分明,力求严谨,既保持相对统一的叙述风格,又突出各器件和部件的特点。
- 在技术上,力求先进,杜绝疏陋,使本书保持久的实用价值。
- 该手册实属国内鲜见,它集国际上当前最实用的计算机通信器件部件之大成,为读者带来极大方便,对每种器件部件都分概述、主要性能指标、引脚功能与框图、功能描述、应用与示例等五个方面加以阐述。使读者通过本书的阅读,能时计算机接口与通信技术及其有关部件和器件有一个较全面的了解,并形成一定的设计和应用的能力。

本手册收编了近三百种器件和部件,并将按其功能分别汇编成六册:

- 1、串行通信器件
- 2、并行通信器件
- 3、远程通信器件
- 4、局网通信器件
- 5、通信控制器
- 6、通信部件

鉴于本书内容纷繁,所编入的器件和部件经过多次筛选,工作量大。因此有数十位专家参与编审工作,在一定意义上说,本手册是数十位专家在多年教学,科研和工程实践方面的结晶现奉献给广大读者,希望达到欲期目标,当然书中也还难免有疏漏之处,恳请读者不吝指正。

参加本丛书编审人员:

主 编:白英彩

副主编:秦人华 何特 马范援 汪为农

编 委:张尧弼 李月明 陈 平 范伯宁 张卫 叶纛

景勃兴 齐俊 崔晋明 赵玲 徐建红 刘学民 顾林

北京希望电脑公司

并 行 通 信 器 件

2.1 Intel 8291 GPIB 接口

1. 概述

8291 是 Intel 公司生产的符合 IEEE-488 标准的 GPIB 接口芯片。它在微处理机控制下进行工作,主要用于 8080、8085、8086、8048 等为 CPU 的系统中,经适当的配合,也可用在以 Z80、MC6800 等为 CPU 的系统中。8291 可实现 IEEE-488 标准文本规定的除主控设备之外的所有功能,适合于微计算机、仪器、仪表中做 GPIB 接口。

GPIB 接口比较复杂,一般用 LSI 实现。8291 就是一种有代表性的收接口片子。

8291 除了收发能力外,还有中断处理、局部控制和远程控制、仪器触发与清除能力。

8291 有 3 种寻址方式,并可进行片内识别。数据传送时自动进行三线式信号交换。8291 有一个仪器触发输出,接到触发命令后,不能过 CPU 在输出上直接有信号输出。

8291 的时钟输入范围为 1~8MHz,由程序控制数据传送率。与同类的片子相比,8291 的一个突出优点是可以进行高速传送。采用三态门发送器,可缩短延迟时间 T_1 ,数据传送速率可达 1 兆字节/秒。

8291 有 16 个内部寄存器,其中 8 个为只读,个为只写。微片时机只要对这些寄存器进行适当的读/写就能让 8291 完成各种工作。8291 可编程控制的中断功能用起来十分方便,DMA 操作简化了大量数据的传送过程。

8291 的接口功能齐全,速度快,可靠性强,使用简便,是很实用的一种接口片子。有些地方还考虑了 GPIB 接口的未来发展。』

2. 主要性能指标

- 数据传送速率为 250K 字节/秒~1 兆字节/秒
- 考虑到中断处理方便,接在系统中的仪器一般不超过 8 个,最多可为 15 个 GPIB 总线长度,仪器间最远为 2 米,总长不超过 20 米
- 数据传送方法,接口命令与数据均为 8 位进行传送,异步,三线信号交换方式
- 中断服务有串行点各方式和并行点各方式
- 仪器间通信,任一时刻只能有一个发送器,但可有多个接收器,主控设备可以参与,也可以不参与。

3. 引脚说明与框图

参见 2.44 8291 A。

4. 功能描述

(1) 8291 GPIB 接口连接图

图 2.1—1 是由 8291 组成的 GPIB 收发接口连接图。8291 的一部分引线直接连至微处理机的内部总线上, 8291 的 DREQ 和 $\overline{\text{DACK}}$ 应连至 8257 (8080 系列的 DMA 控制器) DRQ_0 与 $\overline{\text{DACK}}_0$ 上, 形成 DMA 传送能力。若不用 DMA 传送, 则不接 8257, 而此时 8291 的 $\overline{\text{DACK}}$ 端应接 +5V。8291 的另一部分信号线经非反相发送接收器连至 GPIB 总线。总线发送接收器由发送端、接收端及 S/R 端控制信号传送方向。

(2) 8291 的工作过程

在操作中, 微处理机要对 8291 的内部寄存器进行读写。8291 共有 16 个内部寄存器, 其中 8 个为只读, 8 个为只写。寄存器均为 8 位, 由微处理机通过 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 RS_0 — RS_2 信号进行读写。读写信号如表 2.1—1 所示。

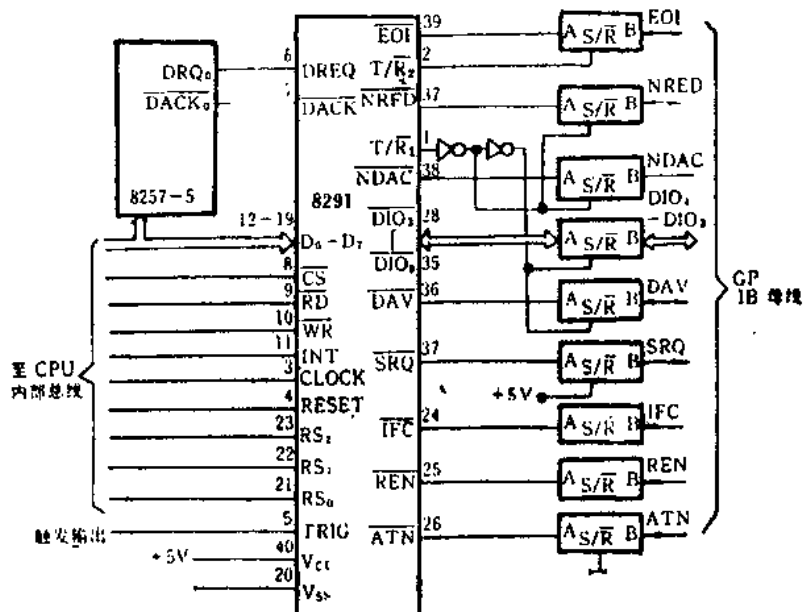


图 2.1—1 8291 连接图

表 2.1—1 8291 寄存器读写信号

寄存器	$\overline{\text{CS}}$	$\overline{\text{DR}}$	$\overline{\text{WR}}$	RS_2	RS_1	RS_0
所有的只读寄存器	0	0	1	C	C	C
所有的只写寄存器	0	1	0	C	C	C
不进行读写	1	X	X	X	X	X

表 2.1-2 给出 8291 内部寄存器的具体内容。

表 2.1-2 内部寄存器

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	RS ₂	RS ₁	RS ₀
数据输入寄存器 (OR)										
DI ₇	DI ₆	DI ₅	DI ₄	DI ₃	DI ₂	DI ₁	DI ₀	0	0	0
中断状态寄存器 1(1R)										
CPT	APT	GET	END	DEC	ERR	BO	BI	0	0	1
中断状态寄存器 2(2R)										
INT	SPAS	LLO	REM	SPASC	LLOC	REMC	ADSC	0	1	0
串行查询寄存器 (3R)										
S ₆	SRQS	S ₅	S ₄	S ₃	S ₂	S ₁	S ₀	0	1	1
地址状态寄存器										
ton	lon	EOI	LPAS	TPAS	LA	TA	MJMN	1	0	0
命令传送寄存器										
CPT ₇	CPT ₆	CPT ₅	CPT ₄	CPT ₃	CPT ₂	CPT ₁	CPT ₀	1	0	1
地址 0 寄存器										
X	DT ₇	DL ₆	AD _{5,0}	AD _{4,0}	AD _{3,0}	AD _{2,0}	AD _{1,0}	1	1	0
地址 1 寄存器										
X	DT ₁	DL ₁	AD _{1,1}	AD _{4,1}	AD _{3,1}	AD _{2,1}	AD _{1,1}	1	1	1
数据输出寄存器 (OW)										
DO ₇	DO ₆	DO ₅	DO ₄	DO ₃	DO ₂	DO ₁	DO ₀	0	0	0
中断屏蔽寄存器 1(1W)										
CPT	APT	GET	END	DEC	ERR	BO	BI	0	0	1
中断屏蔽寄存器 2(2W)										
0	0	DMAO	DMAI	SPASC	LLOC	REMC	ADSC	0	1	0
串行查询寄存器 (3W)										
S ₆	rsv	S ₅	S ₄	S ₃	S ₂	S ₁	S ₀	0	1	1
地址方式寄存器 (4W)										
TO	LO	0	0	0	0	ADM1	ADM0	1	0	0
辅助方式寄存器(5W)										
CNT ₇	CNT ₁	CNT ₅	COM ₄	COM ₃	COM ₂	COM ₁	COM ₀	1	0	1
地址 I/O 寄存器 (6W)										
ARS	DT	DL	AD ₅	DD ₄	AD ₃	AD ₂	AD ₁	1	1	0
EOS 寄存器 (7W)										
EC ₇	EC ₆	EC ₅	EC ₄	EC ₃	EC ₂	EC ₁	EC ₀	1	1	1

注：前 8 种为只读寄存器，后 8 种为只写寄存器。

如果 RS₂ 接至微处理机地址总线的 A₂ 上，RS₁ 接至 A₁，RS₀ 接至 A₀，且地址译码时 A₃ 为 0，那么读写寄存器时地址个位数将成为 0、1、2……7，相当于 RS₂、RS₁、RS₀ 组成的二进制数。因此，寄存器标为 3R(只读寄存器 3)，5W 只写寄存器 5)等。

8291 的内部寄存器共有 8 个地址，每对读写寄存器占有一个地址，它们互不影响，16 个寄存器是相互独立的。

(3) 复位过程

8291 复位有两个办法，一是硬件复位，在 8291 的 RESET 端加正脉冲；二是软件复位，将 02H 写入寄存器 5W。8291 的复位将包括如下一些内容：

- ① 局部信息“pon”保持为真,直到解除复位状态为止;
- ② 将中断状态寄存器置“0”,但不将中断屏蔽状态寄存器置“0”;
- ③ 清除辅助寄存器;
- ④ 清除串行查询寄存器(3W);
- ⑤ 清除并行查询标志 PPF;
- ⑥ 清除地址状态寄存器(4R)中的 EOI 位;
- ⑦ 将内部计数器 N_F 置为 8MHz 使 T_1 为最大。当 8291 输入时钟为 1 MHz 时, $T_1 = 16 \mu s$;
- ⑧ 送出局部信息。

一般开机后 8291 即达到复位状态。

(4) 8291 的初始化

为使 8291 正常工作,须对它进行初始化。初始化一般在复位状态下进行,这时“pon”信号保持为“真”,可免除接口的外部干扰。当初始化完成之后,将 00H 写入 5W,解除复位状态,8291 自然达到初始化所设定的工作方式。

下面是一种推荐的初始化过程:

- ① 将 02H 写入 5W, 8291 进入复位状态。
- ② 将 000 XXXXX B 写入 6W,接着将 0 E 0 H 写入 6W,然后将 01H 写入 4W。写完之后,收、发地址设定为 XXXXX,共用这个地址。
- ③ 将 0010 YYY YB 写入 5W,其中 YYY Y 是 8291 输入时钟的二进制表示,如系统时钟为 2 MHz,则 YYY YB = 0010 B。其作用是预置内部计数器,使 $T_1 = 2 \mu s$ 。
- ④ 将 17H 写入 1W, 01H 写入 2W,开放 4 个中断,即为寻址受命或取消受命所产生的中断,数据输入输出产生的中断,以及接口错误产生的中断。CPU 收到中断后,应读中断状态寄存器,还要读地址状态寄存器,以了解中断性质并予以适当处理。如不用中断方式,而用不检查中断状态寄存器的查询方式,那么可将 00H 写入两个中断状态寄存器,禁止一切中断。
- ⑤ 将 00H 写入 5W,解除复位状态(pon 不再为真)。

完成上述过程后,8291 便可工作了。写入寄存器的次序无关紧要;8291 工作时,上面寄存器的内容也可修改。

(5) 数据传输过程

8291 组成的 GPIB 接口主要起收、发的作用,进行数据传送。

8291 首先应指定为发送器或接收器,才能传送数据。因此在完成初始化之后,应随时检查是否收到主控器发来的地址。这由 8291 自动进行。微处理机在收到 8291 送来的中断信号后,应检查 8291 的中断状态寄存器。如为 ADSO 中断,则应再检查地址状态寄存器(4R),以确定是发送器还是接收器受命。如不用中断方式,微处理机可用不断检查 4R 的办法确定到底是发送器还是接收器受命。

将 8291 指定为发送器之后,微处理机就把待传送的数据字节写入 0W,通过 GPIB 总线与接收器自动进行三线式信号交换,完成该字节的传送。若将 8291 指定为接收器,则自动进行三线式信号交换,从 GPIB 总线上接收数据,并将其存入 0R,供微处理机读取。

收、发完一个数据之后,1R 中的 BO 或 BI 位会置“1”;若此时中断开放,则产生中断,将

此情况告诉微处理器。微机则用状态检查法或中断法了解此情况。

1) 状态检查法

图 2.1—2 是用状态检查法发送数据串的流程图。首先把 EOS 字节写入 7W, 并将 88H 写入 5W, 以保证在 EOS 输出时, GPIB 总线的 EOI 线上有 END 信号送出。然后微处理器将数据写入 0W, 通过检查 BO 的状态, 判断在 GPIB 总线上是否传送完。

这种方法同样适用于数据输入过程。

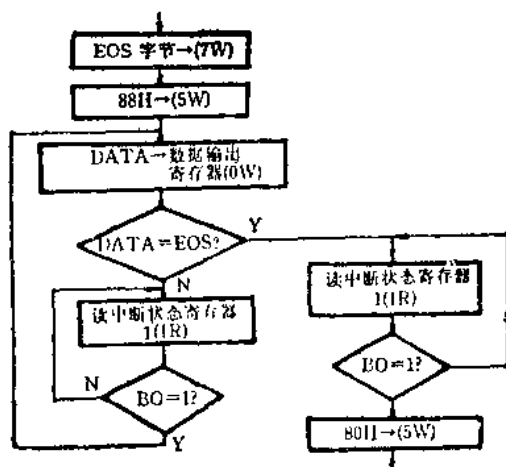


图 2.1—2 状态检查法发送数据流程图

2) 中断法

图 2.1—3 是用中断法输入数据的流程图。接收数据是由中断处理子程序完成的, 图中只给出子程序有关接收数据的部分。当读到 BI=1 时, 表示信号交换已完成, 数据已接收下来, 暂存在 0R 内。END 表示数据块传送结束。在收到 GPIB 总线的 EOI 线上的 END 信息或收到的数据与 7W 中的内容一致时, END 就置“1”。若只用 EOI 线上的 END 信息表示结束, 则主程序中不可预置 EOS 方式。

(6) 服务过程

GPIB 接口是智能化接口。向 GPIB 接口系统的现行主控器提出服务请求, 这是实现智能化的一个重要内容。主控器收到服务请求之后, 可进行串行查询或并行查询, 以决定什么样的服务请求。

1) 串行查询

图 2.1—4 是串行查询流程图, 微处理器在认为需要服务时, 用此方法发送自己的状态字节。首先将一个字节写入 3W, 此字节包括两部分内容: rsv 写入“1”后, 8291 的 SRQ 输出为“真”, 6 位(S₆S₅S₄S₃S₂S₁)的状态信息报告状态, 即要求服务内容。接着, 微处理器应不断检查 3R 中的 SRQS 位, 如为“0”, 表示 8291 已查询, 需立即将 00H 写入 3W, 表示串行查询结束。

2) 并行查询

并行查询是快速报告要求服务的一种方法, 它不指定具体的服务内容。将字节 011 US P₃P₂P₁ 写入 5W, 可进行并行查询 (U=0) 或不进行查询 (U=1)。当 U=0, 此命令相当于局部信息 Ipo(IEE-488)。S 为响应检测位, 它规定用 0 还是用 1 响应并行查询。P₃P₂P₁ 规

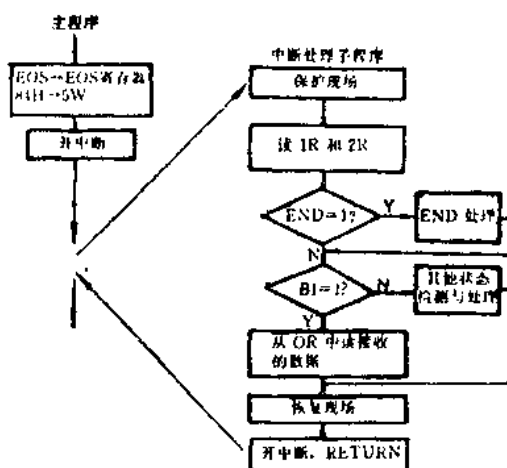


图 2.1-3 中断接收数据流程图

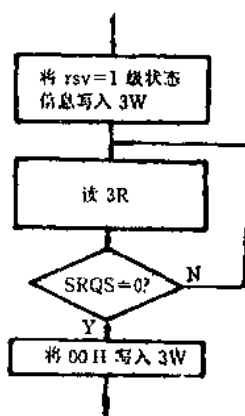


图 2.1-4 串行查询流程图

定应使用哪条数据线响应并行查询。此外, 8291 还有一个并行查询标志 PPF, 相当于局部信息 $ist(IEEE-488)$, 将 09H 写入 5W, 可使 PPF 置“1”, 写入 01H 则使之置“0”。

并行查询局部信息 lpe 发出后, 若 GPIB 接口系统现行主控器使 EOI 和 ATN 同时置“1”实现并行查询, 8291 则将 PPN 与 S 比较。如一致, 则按 $SP_3P_2P_1$ 的规定发送 PPR_W 信息, 响应并行查询; 如不一致, 则不响应并行查询。

一般在初始化之后就进行并行查询组态。组态分局部和远程两种, 相当于 IEEE-488 文本中 PP 功能的子集 PP_2 和 PP_1 。如用 PP_2 , 则先由微处理器将 0110 $SP_3P_2P_1$ 写入 5W, 再随时对 PPF 进行置“1”或置“0”即可。

采用 PP_1 子集, 由 GPIB 接口系统的现行主控器对 8291 进行并行查询组态, 其过程如下:

① 微处理器将 0A1H 写入 5W, 有可能传送未定义命令, 然后使 1W 的 OPT 置“1”, 让 8291 收到未定义命令后产生 OPT 中断。

② 8291 从 GPIB 总线上收下 PPC 命令后, 暂存入 5R, 向微处理器发出 OPT 中断, 并自动停止信号交换。

③ 微处理器以 5R 中读出 PPC 命令, 然后送出 VSOMD 命令 (将 0FH 写入 5W), 继续信号交换。

④ PPC 是作为未定义命令收到的, 8291 还要接收尚未定义命令 (此处为 PPE)。收到 PPE 后暂存入 5R, 发 OPT 中断。

⑤ 微处理器读取 PPE, 对 $SP_3P_2P_1$ 译码, 然后据此送出 $lpe(IEEE-488)$ 。最后发 VSOMD 命令, 继续信号交换。

⑥ 将 0A0H 写入 5W, 禁止传送未定义命令, 并使 OPT 复位。

组态完成后, 随时掌握 PPE, 以正确响应 GPIB 接口系统中的主控器发出的并行查询。

(7) DMA 过程

参见 § 2.44 节 8291 A 的有关内容。

(8) 寄存器

参见 § 2.44 节 8291 A 的有关内容。

5. 应用举例

用 8291 可组成高速的发送接收接口,如图 2.1—5 所示。由图可见,总线发送接收器多了一个 $T/\bar{O}$ 控制端, EOI 、 $NRFO$ 、 $NDAC$ 的 $T/\bar{O}$ 端接地,总是为集极开路输出。 SRQ 为集极开路输出,而 IFC 、 REN 、 ATN 均为输入。数据总线 DIO_1 — DIO_8 和 DAV 在常态下为三态输出。当并行查询时, a 门的输出变为低电平,使它们变为集极开路输出。图 2.1—6 是这种发送/接收器的一种实现方法。

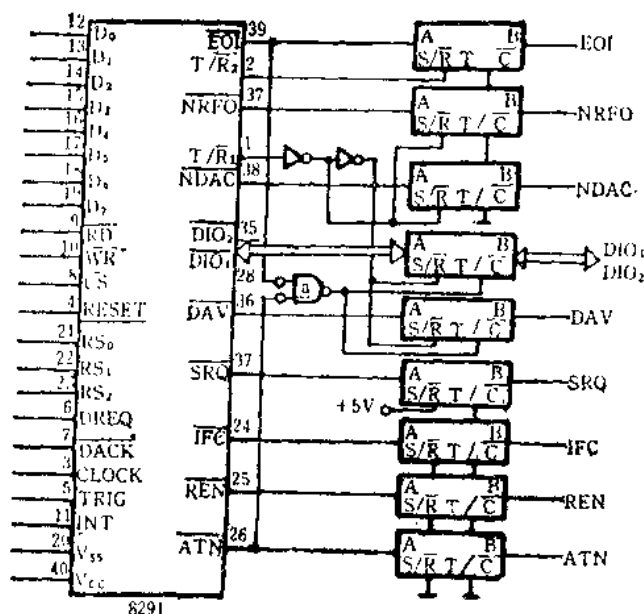


图 2.1—5 用 8291 组成的高速发送/接收接口

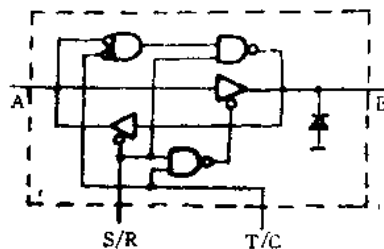


图 2.1—6 高速总线发送接收器

§ 2.2 Intel 8292 GPIB 接口

1. 概述

8292 仪器仪表通用接口总线(GPIB)控制器, (又称控者)是一种微处理机控制的器件,用于和 8291 GPIB 听者/讲者一起实现 IEEE-488 标准控者的功能,包括实现传送控制规程。8292 是预编程的 8041。

8292 实际上是一 Intel 8041 A 预编程 GPIB 控者接口元件。该器件可与 8291 GPIB 讲者/听者和两个 8293 GPIB 收发器一起构成一个微处理机用的完整的 IEEE-488 总线接口。电气连接由收发器实现,数据传送由讲者/听者完成,总线的控制则由 8292 完成。图 2.2—1 是使用 Intel 公司的 GPIB 外围器件的典型控者接口。

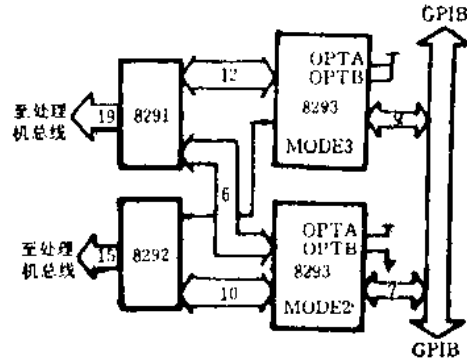


图 2.2—1 讲者/听者/控者组态

8041A 内部的 RAM 用作 8292 的专用寄存器堆。其中大部分寄存器(中断标志寄存器除外)可通过发给 8292 的命令进行访问、表 2.2—1 列出了 8292 所用的寄存器及其访问方法。

表 2.2—1 8292 的寄存器

从 8292 读出

中断状态

SYC	ERR	SRQ	EV	×	IFCR	IBF	OBF
D ₇				D ₀			

错误标志

×	×	USER	×	×	TOUT ₁	TOUT ₂	TOUT ₃
---	---	------	---	---	-------------------	-------------------	-------------------

控制器状态

CSRS	CA	×	×	SYCS	IFC	REN	SRQ
------	----	---	---	------	-----	-----	-----

接口总线状态

REN	DAV	EOI	×	SYC	IFC	ANTI	SRQ
-----	-----	-----	---	-----	-----	------	-----

事件计数器状态

D	D	D	D	D	D	D	D
---	---	---	---	---	---	---	---

超时状态

D	D	D	D	D	D	D	D
---	---	---	---	---	---	---	---

写入 8292

中断屏蔽

1	SP ₁	TC ₁	SYC	OBF ₁	IBF ₁	0	SRQ
D ₇				D ₀			

错误屏蔽

0	0	USER	0	0	TOUT ₃	TOUT ₂	TOUT ₁
---	---	------	---	---	-------------------	-------------------	-------------------

命令字段

1	1	1	OP	C	C	C	C
---	---	---	----	---	---	---	---

事件计数器

D	D	D	D	D	D	D	D
---	---	---	---	---	---	---	---

超 时

D	D	D	D	D	D	D	D
---	---	---	---	---	---	---	---

注：这些记录是由特别有效的命令达到的。

2. 主要性能指标

- 有完善的 IEEE-488 标准控者功能
- 发送接口清除 (IFO) 信号的能力, 夺取总线控制或对总线进行预置
- 能对服务请求 (SRQ) 作出响应
- 能发送远控使能 (REN) 信号, 可使设备切换至远控方式。
- 能实现全部传送控制规程
- 能同步地夺取控制权, 以防破坏数据传送过程
- 可与 8201 连接成一个完整的 IEEE-488 标准接口听者/讲者/控制系统

3. 引脚功能与框图

图 2.2—2 为 8292 的应用框图。

图 2.2—3 为 8292 的引脚图。

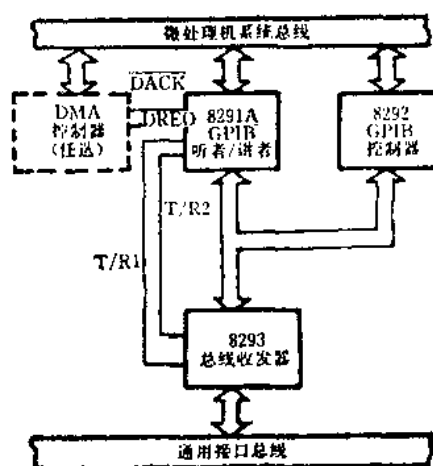


图 2.2—2 8292 应用框图

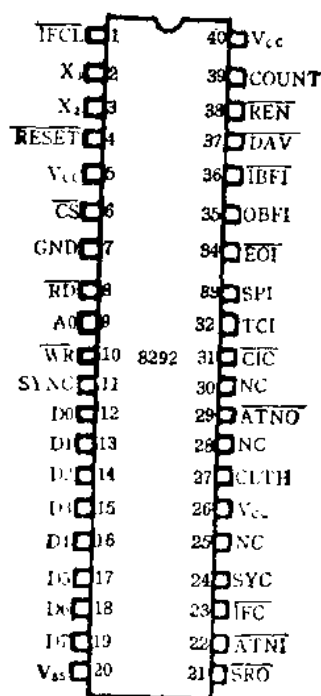


图 2.2-3 8292 引脚图

8292 的引脚说明如下:

IFCI	接收(锁存); 8292通过这个引脚监视 IFO 线(不作系统控者时)
X ₁ 、X ₂	晶体输入; 决定内部振荡器频率的、LO 或外部时序信号输入端。
RESET	复位; 用于上电时将器件预置成已知状态。
CS	选片输入; 用于从接在公共数据总线上的许多器件里选出该 8292。
RD	读使能; 允许主控 CPU 读该 8292
A ₀	地址线; 在读操作中用于选择数据总线和状态寄存器; 在写操作中用于区别写入该的 8292 数据和命令。
WR	写使能; 允许主 CPU 向该 8292 写入。
SYNC	同步; 8041 A 指令周期同步信号; 是频率为晶体频率 + 15 的时钟输出;
D ₀ —D ₇	数据; 8 位双向线, 用于实现中央处理机和 8292 的数据总线缓冲器和状态寄存器之间的通信。
V _{SS}	地; 电路地电位。
SRQ	服务请求; IEEE 控制线之一。若该 8292 是负责控者, 则对该信号采样若为真, 则产生给主控的 SPI 中断。
ATN ₁	注意输入; 供 8292 用来监视 GPIB 的 ATN(注意)控制线, 用在传送控制过程中。
IFC	接口清除; GPIB 管理线之一。如 IEEE 标准 488-1978 所规定, 用于将所有的器件置于已知的静止状态。
SYC	系统控者; 监视系统控者开关。
OLTH	清除锁存器。该 8292 识别 IFCR 后, 用这个信号清除 IFCR 锁存器。通常

(除硬件复位后)处于低电平,当 IFOR 被该 8292 识别后输出高电平脉冲。

ATNO 注意输出, t_r 和 t_f 过程中通过外部逻辑控制总线的 ATN 控制线。(ATN 是 IEEE 标准 488-1978 所规定的 GPIB 控制线。

Vcc 电压, $+5V \pm 10\%$ 电源输入。

COUNT 事件计数,在由适当的命令开启之后,内部计数器通过这个引脚对外部事件进行计算。该引脚上的负跳变使内部计数器加1。每三个内部指令周期对该引脚采样一次(使用 5MHz 晶振时采样周期为 7.5 μ s),若连接至 NDAC,则可用于字节计数;若连接至 EOI,则可用于数据块计数。

REN 远控使能,这条远控使能总线信号选择对总线上的器件进行远程或本地控制,是 IEEE 标准 488-1978 规定的一条 GPIB 总线管理线。

DAV 数据有效,并行查询时用于使 8291 接器并行查询状态位。也用于 t_r 过程中。

IBFI 输入缓冲器未满,当 8292 的输入缓冲器空时用来中断中央处理机。由中断屏蔽寄存器开放或禁止该功能。

OBFI 输出缓冲器满,当 8292 的输出缓冲器满时用来中断中央处理机。由中断屏蔽寄存器开放或禁止该功能。

EOI₂ 结束或识别,IEEE-488-1978 标准所规定的 GPIB 管理线之一。并行查询时与 ATN 结合作为识别信息。

SPI 特殊中断,用于非中央处理机启动的事件的中断信号,或即对特殊事件 SRQ

TCI 任务完成中断,给中央处理机的中断信号,表示 8292 已完成某请求的任务,请求的数据已准备好数据总线缓冲器中。

OTC 负责控制,控制 SRQ 总线假发器输入/输出,也可用来表示 8292 是 GPIB 总线的负责控制。

4. 功能描述

(1) 中断状态寄存器

SYC	ERR	SRQ	EV	X	UGR	IBF	QBF
-----	-----	-----	----	---	-----	-----	-----

寄存器中每一位的含义如下: SYC 为系统时钟,ERR 为错误标志,SRQ 为特殊事件,EV 为事件,UGR 为通用寄存器,IBF 为输入缓冲器满,QBF 为输出缓冲器满。

8292 可以配置成在出现若干事件之一时中断微处理机。微处理机接受了中断后必须读该 8292 的中断状态寄存器,以确定什么事件引起的中断并执行相应的子程序。A₀ 为控制位,就是中断状态寄存器。除了 QBF 和 IBF 以外,其它的中断位由 SPI 中断屏蔽位开放或禁止。IBF 和 QBF 有其自己的中断屏蔽位。(QBF 和 IBF 的中断屏蔽位在 8292 的输出缓冲器满时表示有一个字节等待微处理机读用,在微处理机输出数据总线缓冲时该标志清除。

通用寄存器 IFR 输入缓冲器满,表示 8292 尚未读出微处理机前写的输入数据。如果在这个标志被清除之前就向 8292 写入另一个字节,那么就会丢失数据。当微处理机读出这个数据字节时 IBF 就被清除。

系统时钟 SPC 接收微处理机除信号,表示 GPIB 系统控制已收到微处理机的信号,8292 处于

空闲状态,不再管理总线。发出 IACK 命令时该标志被清除。

4) EV 事件计数器中断。表示已传送了所需数量的数据块或数据字节。EV 中断标志由 IACK 命令清除。

5) SRQ 服务请求。通知 8292, 已收到服务请求(SRQ) 信息。该标志由 IACK 命令清除。

6) ERR 发生错误。该错误状态寄存器的内容就能确定错误的类型。这个中断标志由 IACK 命令清除。

7) SYC 系统控者开关改变。告诉处理机, 系统控者开关的状态已经改变了。这个开关的实际状态存在 GPIB 状态寄存器里。这个标志由 IACK 命令清除。

(2) 中断屏蔽寄存器

1	SPI	TCI	SYC	OBFI	IBFI	0	SRQ
D ₇				D ₀			

中断屏蔽寄存器用来启用一些特性, 以及屏蔽 SPI 和 TCI 中断。即使屏蔽了中断, 中断状态寄存器中的标志仍然有效。A₀ 为低电平就写入中断屏蔽寄存器。该寄存器由 RINM 命令复位。读这个寄存器时, D₁ 和 D₇ 位的状态是不确定的。将这个寄存器中的某一位置“1”就开放相应的中断。

- 1) SRQ 开放接收到 SRQ 中断。
- 2) IBFI 开放输入缓冲器空中断。
- 3) OBFI 开放输出缓冲器满中断。
- 4) SYC 开放系统控者开关改变中断。
- 5) TOI 开放任务完成中断。
- 6) SPI 开放特殊事件中断。

注 事件计数器由 GSEC 命令启用, 错误中断由错误屏蔽寄存器开放, IFC 不可屏蔽(总是引起中断)。

(3) 控者状态寄存器

CSBS	CA	x	x	SYCS	IFC	REN	SRQ
D ₇				D ₀			

控者状态寄存器用于确定控者功能的状态。这个寄存器通过 ROST 命令访问。

- 1) SRQ 服务请求有效(CSRS)。
- 2) REN 发送远控使能(启动)信号。
- 3) IFC 发送或接收接口清除信号。
- 4) SYCS 系统控者开关状态(SAOS)。
- 5) CA 控者工作(CACS + CAWS + CSWS)。
- 6) CSBS 控者备用状态(CSBS, CA) = (0, 0) — 控者空闲。

(4) GPIB 总线状态寄存器

REN	DAV	EOI	x	SYC	IFC	ATNI	SRQ
D ₇				D ₀			

	(除硬件复位后)处于低电平,当 IFCR 被该 8292 识别后输出高电平脉冲。
ATN $\bar{O}$	注意输出, t_{H} 和 t_{L} 过程中通过外部逻辑控制总线的 ATN 控制线。(ATN 是 IEEE 标准 488-1978 所规定的 GPIB 控制线。
V _{cc}	电压, +5V $\pm$ 10% 电源输入。
COUNT	事件计数;在由适当的命令开启之后,内部计数器通过这个引脚对外部事件进行计算。该引脚上的负跳变使内部计数器加1。每三个内部指令周期对该引脚采样一次(使用 5MHz 晶振时采样周期为 7.5 μ s),若连接至 NDAC,则可用于字节计数;若连接至 EOI,则可用作数据块计数。
REN	遥控使能;这条遥控使能总线信号选择对总线上的器件进行远程或本地控制,是 IEEE 标准 488-1978 规定的一条 GPIB 总线管理线。
DAV	数据有效;并行查询时用于使 8291 接受并行查询状态位。也用于 t_{H} 过程中。
IBFI	输入缓冲器未满;当 8292 的输入缓冲器空时用来中断中央处理机。由中断屏蔽寄存器开放或禁止该功能。
OBFI	输出缓冲器满;当 8292 的输出缓冲器满时用来中断中央处理机。由中断屏蔽寄存器开放或禁止该功能。
EOI ₂	结束或识别;IEEE-488-1978 标准所规定的 GPIB 管理线之一。并行查询时与 ATN 结合作为识别信息。
SPI	特殊中断;用于非中央处理机启动的事件的中断信号。
TCI	任务完成中断;给中央处理机的中断信号,表示 8292 已完成了请求的任务,请求的信息已准备于数据总线缓冲器中。
CIC	负责控者;控制 SRQ 总线收发器的 S/R 输入。也可用来表示该 8292 是 GPIB 总线的负责控者。

4. 功能描述

(1) 中断状态寄存器

SYC	ERR	SRQ	EV	×	IFCR	IBF	OBF
D ₇						D ₀	

8292 可以配置成在出现若干事件之一时中断微处理机。微处理机在接受了中断后必须读该 8292 的中断状态寄存器,以确定什么事件引起的中断,然后执行相应的子程序。 A_0 为高电平就是读中断状态寄存器。除了 OBF 和 IBF 以外,其它的中断均由 SPI 中断屏蔽位开放或禁止。OBF 和 IBF 有其自己的中断屏蔽位。(OBF $\bar{I}$ 、IBF $\bar{I}$)。

1) OBF 输出缓冲器满。表示有一个字节等待微处理机读出。在读出输出数据总线缓冲时该标志消除。

2) IBF 输入缓冲器满。表示 8292 尚未读出微处理机先前写入的字节。如果在这个标志被消除之前就向 8292 写入另一个字节,那么就会丢失数据。当 8292 读出这个数据字节时 IBF 就被消除。

3) IFCR 接收到接口清除信号。表示 GPIB 系统控者已将 IFC 置位。8292 已处于

×	×	USER	×	×	TOUT ₁	TOUT ₂	TOUT ₃
D ₇				D ₀			

8292 能表示四种错误, 每种错误用错误标志寄存器中的一位表示。每种错误都可由错误屏蔽寄存器加以屏蔽。错误标志寄存器不能写入; 而当中断状态寄存器中的错误标志为“1”时, 可通过 IACK 命令读错误标志寄存器。

1) TOUT₁ 若当时的控者在收到 TOT 信息以后经过超时寄存器所规定的时间还未停止发送 ATN 信号, 则出现超时错误 1。超时寄存器中的每个计数单位至少为 1800 t_{cy}。在出现这个错误标志后, 8292 就不断循环地试图夺取控制权, 直至当时的控者停止发送 ATN 信号或微处理机写入新的命令为止。如果写入一个新的命令, 则该 8292 就会在执行完这个命令后回到原来的循环去。

2) TOUT₂ 如果受到寻址的讲者和听者之间在经过超时寄存器所规定的时间后还未开始发送过程, 就出现超时错误 2。超时寄存器中的每个计数单位至少为 45 t_{cy}。只有当控者处在 CSBS 状态时才启用这一性能。

3) TOUT₃ 如果在经过超时寄存器所规定的时间后“握手”信号未变化, 且该 8292 未能获得控制权, 则出现超时错误 3。超时寄存器中的每个计数单位至少为 1800 t_{cy}。8292 将继续检查 $\overline{\text{ATNI}}$, 直至它变为“真”或接收到新命令为止。8292 在执行了新命令之后将回到检查 $\overline{\text{ATNI}}$ 的循环去。

4) USER 若 8292 不用作系统控者或在接收到请求发出 IFC 或 REN 的信号, 则出现用户错误。

(10) 错误屏蔽寄存器

0	0	USER	0	0	TOUT ₁	TOUT ₂	TOUT ₃
D ₇				D ₀			

错误屏蔽寄存器用于屏蔽特定类型的错误中断。将错误屏蔽寄存器中某一位置“1”, 就可开放相应的中断。这个寄存器可用 RERM 命令读出, 也可使 A₀ 为低电平实现写入。

(11) 命令寄存器

1	1	1	OP	C	C	C	C
D ₇				D ₀			

只要在 A₀ 为高电平时向 8292 写入一个字节, 这个字节就被作为命令加以执行。命令共分两类, 由 OP 位(第 4 位)加以区别。第一类是操作命令(OP=1)。这类命令启动接口总线上的某种动作。第二类是实用命令(OP=0)。这类命令用于辅助完成处理机和 8292 之间的通信。

(12) 操作命令

操作命令启动 GPIB 接口总线上的某个动作。查询、获得和传递控制权之类的控制功能和系统控者功能正是用这些命令实现的。在成功地完成了一个功能以后就产生 TOI 中断。

1) F₀—SPONI—停止计数器中断