

S H U Z I L U O J I S H E J I Y U

S H U Z I D I A N L U

S H I Y A N J I S H U

数字逻辑设计与 数字电路实验技术

主 编 包亚萍
副主编 何慕荣 陈道红

中国水利水电出版社
www.waterpub.com.cn
知识产权出版社
www.cnipr.com



S H U Z I L U O J I S H E J I Y U

S H U Z I D I A N L U

S H I Y A N J I S H U

数字逻辑设计与 数字电路实验技术

主 编 包亚萍
副主编 何慕荣 陈道红

中国水利水电出版社

www.waterpub.com.cn

知识产权出版社

www.cnipr.com



内容提要

本书内容主要包括：数字集成电路基本知识、数字系统的设计、数字逻辑与数字电路基本实验、综合实验、课程设计；附录部分介绍了数字电路常用的测试仪器、实验技巧、学生实验系统及常用数字芯片。

除了详细介绍传统的数字电路的基本知识、实验方法以外，本书又适当引入了大规模可编程器件及其开发软件应用方面的内容，以便使学生初步了解当前先进的电子设计自动化（EDA）技术，并把先进技术引入实践教学环节。

本书可作为大学本科和专科院校计算机、电子、通信工程类等专业的实验教材，也可供从事相关专业的工程技术人员参考。

选题策划：南京城市节奏科技有限公司

责任编辑：阳 森 张宝林 yangsanshui@vip.com.cn; z--baolin@263.net

编辑加工：孙家齐

图书在版编目（CIP）数据

数字逻辑设计与数字电路实验技术/包亚萍主编.
北京：中国水利水电出版社，2003
ISBN 7-5084-1901-4

I. 数... II. 包... III. ①数字电路—逻辑设计
②数字电路—实验 N.TN79

中国版本图书馆CIP数据核字（2003）第126779号

数字逻辑设计与数字电路实验技术

主 编 包亚萍 副主编 何慕荣 陈道红

中国水利水电出版社 出版、发行（北京市西城区三里河路6号；电话：010-68331835 68357319）
知识产权出版社（北京市海淀区马甸南村1号；传真：010-82000893）

全国各地新华书店和相关出版物销售网点经销

北京市兴怀印刷厂印刷

787mm×1092mm 16开 6.5印张 154千字

2003年12月第1版 2003年12月第1次印刷

印数：0001—3100

定价：15.00元

ISBN 7-5084-1901-4

TP·805

版权所有 侵权必究

如有印装质量问题，可寄中国水利水电出版社营销中心调换
（邮政编码 100044，电子邮件：sales@waterpub.com.cn）

前 言

本书是一本数字逻辑及数字电子技术的实验教材，在一定的理论基础指导下，注重实验方法和实践技术能力的培养。本书在吸取同类教材的优点的同时，更注重学生主观能动性的发挥，尽量不用固定的实验方法去限制学生的思维，所以本书的指导思想是用有限的内容、开放性的实验方法取得尽可能多的收获。

本书的内容主要包括：数字集成电路、数字实验、课程设计三章；附录部分介绍了数字实验系统的使用、示波器的使用、实验注意事项及其故障的排除、实验报告的要求、GW48实验系统使用注意事项及其相关图表、常用集成电路型号及其引脚图。在数字集成电路部分，主要讲解数字集成电路的基本知识、不同集成电路的使用规则；数字集成电路测量技术，这部分对组合逻辑集成电路、时序逻辑集成电路、脉冲波形的产生与整形、A/D与D/A转换、存储器以及可编程逻辑门阵列等的测试和使用方法都做了讲解；为了适应新技术发展的要求，本教材还对数字系统的设计方法做了介绍，讲述了VHDL语言和数字系统的计算机辅助设计。实验内容部分分为：基础实验、综合实验和课程设计，每一个实验基本都代表数字技术的一个知识点或几个部分内容的综合应用，每一个实验都列出了许多的实验项目，在实验过程中，老师可以根据实验时间确定必做和选做项，学生可以在完成必做项的基础上，尽可能地多做一些内容，让能力强的学生得到更多的锻炼，对于实验的方法不做过多的限制，给学生更多的思维空间，调动学生自主思考的积极性，每个实验的结束部分都有相应的思考问题要回答，这些内容都是学生实验报告上必须回答的，是通过实验以后，反映学生理论和实践的一个提高。

本书在编写过程中，得到了许多同仁的指点和帮助，得到了南京工业大学信息学院领导、南京工业大学教务处的支持和帮助，在此表示感谢！作者特别要感谢在整个编写过程一直给予我们指点的南京工业大学电工实验室主任帅仁俊博士。

作 者

2003年10月

目 录

前言

第 1 章 数字集成电路	1
1 知识简介	1
1.1 数字集成电路识别	1
1.2 TTL 与 CMOS 集成电路使用规则	2
2 数字集成电路测量技术	5
2.1 集成逻辑门电路	5
2.2 组合逻辑集成电路	5
2.3 时序逻辑集成电路	7
2.4 脉冲波形的产生与整形	16
2.5 A/D、D/A 转换器及其应用	23
2.6 存储器	26
2.7 现场可编程逻辑门阵列 FPGA	28
3 VHDL 语言及数字系统的计算机辅助设计	34
3.1 VHDL 语言	34
3.2 数字系统的计算机辅助设计	43
第 2 章 数字实验	47
1 基础实验	47
实验一 双踪示波器的使用及脉冲参数测量	47
实验二 基本门电路的逻辑功能及参数测量	49
实验三 集电极开路门 (OC 门) 和三态门的功能及应用	50
实验四 用小规模集成电路 (SSI) 设计组合逻辑电路	51
实验五 半加器和全加器	52
实验六 数据编码器、译码器和数值比较器	53
实验七 集成触发器及其应用	54
实验八 计数器及其应用	55
实验九 寄存器及其应用	55
实验十 随机存储器的应用和扩展	56
实验十一 脉冲产生与整形电路	58
实验十二 555 集成定时器及其典型应用	60
实验十三 集成 D/A 和 A/D 转换器的应用	60

2 综合实验	62
实验一 抢答电路设计实验	62
实验二 电子秒表的设计实验	63
实验三 数字计数器的软件仿真、硬件测试	64
第3章 课程设计	67
课题一 汽车尾灯控制电路	67
课题二 数字温度计	68
课题三 电梯控制电路设计	70
附录	71
附录一 数字电路实验系统 NB-3 的使用	71
附录二 示波器的使用	72
附录三 实验注意事项及故障的排除	76
附录四 对实验报告的要求	78
附录五 GW48 系统使用注意事项及相关图表	83
附录六 常用集成电路型号及引脚图	90
参考文献	96

第 1 章 数字集成电路

1 知识简介

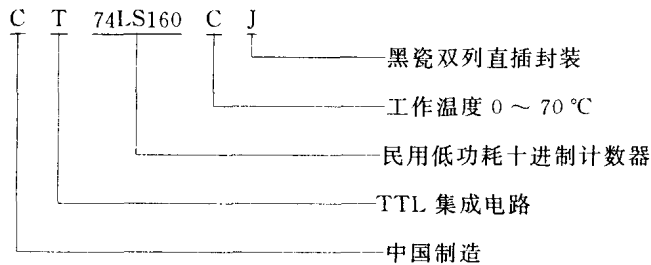
集成电路 (Integrated Circuit) 是相对分离元件而言的, 简称 IC。它将若干没有封装的电路元件 (如晶体管、电阻等) 不可分割地联系在一起, 并在电学上加以互连, 以完成特定的功能。数字集成电路是指完成数字逻辑功能的集成电路。集成电路按集成度可分为小规模集成电路 (简称 SSI, 集成度为 10 个门电路)、中规模集成电路 (简称 MSI, 集成度为 10~100 个门电路) 和大规模集成电路 (简称 LSI, 集成度为 100~1000 个门电路) 等若干类。在传统的数字电路教学实验中, 经常使用的是中、小规模数字集成电路, 由于近年来可编程逻辑器件的应用普及, 为了适应实际需要, 新的数字电路教学实验中, 大规模集成电路及其构成的数字系统设计正在越来越多地被应用。

1.1 数字集成电路识别

1.1.1 集成电路的型号命名法 (GB3430-89)

器件的型号由五部分组成, 其各部分的符号及意义见表 1-1。

示例:



1.1.2 集成逻辑技术分类与电路的性能指标

目前, 已经成熟的逻辑技术主要有以下三种:

(1) TTL 逻辑 (晶体管-晶体管逻辑)。

1) TTL (中速 TTL 或称标准 TTL);

2) STTL (肖特基 TTL);

3) LSTTL (低功耗肖特基 TTL);

4) ALSTTL (先进低功耗肖特基 TTL)。

(2) ECL 逻辑 (发射极耦合逻辑)。

(3) CMOS 逻辑 (互补金属-氧化物-半导体逻辑)。

1) PMOS (P 沟道型 MOS 集成电路);

2) NMOS (N 沟道型 MOS 集成电路);

3) CMOS (互补型 MOS 集成电路), 它包括以下几种:

- CMOS (标准 CMOS4000 系列);
- HC (高速 CMOS 系列);
- HCT (与 TTL 兼容的 HCMOS 系列)。

表 1-1 半导体器件型号命名法

第一部分		第二部分		第三部分		第四部分	第五部分
用数字表示器件的电极数		用字母表示器件的材料和极性		用字母表示器件的类别		用数字表示器件的序号	用字母表示规格号
符号	意义	符号	意义	符号	意义	意义	意义
2	二极管	A	N 型锗材料	P	普通管	反映了极限参数、直流参数和交流参数等的级别	反映了承受反向击穿电压的程度。如规格号为 A、B、C、D……, 其中 A 承受的反向击穿电压最低, B 次之……
		B	P 型锗材料	V	微波管		
		C	N 型硅材料	W	稳压管		
		D	P 型硅材料	C	参量管		
3	三极管	A	PNP 型锗材料	Z	整流管		
		B	NPN 型锗材料	L	整流堆		
		C	PNP 型硅材料	S	隧道管		
		D	NPN 型硅材料	N	阻尼管		
		E	化合物材料	U	光电器件		
				K	开关管		
				X	低频小功率管 ($f_a < 3\text{MHz}$, $P_c < 1\text{W}$)		
				G	高频小功率管 ($f_a \geq 3\text{MHz}$, $P_c < 1\text{W}$)		
				D	低频大功率管 ($f_a < 3\text{MHz}$, $P_c \geq 1\text{W}$)		
				A	高频大功率管 ($f_a \geq 3\text{MHz}$, $P_c \geq 1\text{W}$)		
				T	半导体闸流管(可控整流器)		
				Y	体效应器件		
		B	雪崩管				
		J	阶跃恢复管				
		CS	场效应器件				
		BT	半导体特殊器件				
		FH	复合管				
		PIN	PIN 型管				
		JG	激光器件				

根据器件使用环境不同, TTL 系列和 HCMOS 分为 54 军用系列和 74 民用系列, 集成逻辑技术的分类与电路的性能指标见表 1-2。

1.2 TTL 与 CMOS 集成电路使用规则

1.2.1 TTL 电路使用规则

(1) 电源。

常用 74 系列的 TTL 门电路的电源电压范围为 $+5\text{V} \pm 10\%$, 因为 TTL 电路存在尖峰电流, 集成电路需要良好接地, 并要求电源内阻尽可能小, 数字逻辑电路和强电控制电路要分别接地, 避免强电控制电路地线上的干扰。

表 1-2 几种逻辑电路的参数比较

电路种类	工作电压	每个门的功耗 p	门延时	扇出系数
TTL 标准	+5V	10mW	10ns	10
TTL 标准肖特基	+5V	20mW	3ns	10
TTL 低功耗肖特基	+5V	2mW	10ns	10
ECL 标准	-5.2V	25mW	2ns	10
CMOS	+3V~+18V	μ W 级	ns 级	50

(2) 输入端。

1) 当 TTL 输入端需要通过电阻 R 接地时, 要考虑电阻值的选择。若要输出稳定工作在高电平, 选择 $R < 0.7k\Omega$; 若要输出稳定工作在低电平, 选择 $R > 2k\Omega$ 。对于不同系列的 TTL 集成器件, 要求 R 的阻值不同, 应视所用器件而定。但 R 的接入降低了噪声容限, 因此削弱了电路的抗干扰能力。

2) 输入端悬空时相当于逻辑“1”, 但悬空易受外界干扰, 所以, 输入端应根据要求连接到正确的电平上, 若前级有足够的驱动能力, 可以考虑将多个输入端并接在前级同一个输出端上。

(3) 输出端。

输出端不允许直接接电源 V_{CC} , 但可以通过一个 $3\sim 5k\Omega$ 的电阻接到 V_{CC} , 以提高输出电平, 不允许直接接地, 除 OC 门和三态门以外, TTL 电路的输出端不允许并联使用, 否则会损坏器件。

1.2.2 CMOS 电路使用规则

(1) 电源。

CMOS 集成器件较 TTL 电路有一个较宽的电压工作范围, 但不同的电源电压下工作, 其输出阻抗、工作频率和功耗也不同, 使用时一定要注意, 提高电源电压可以提高 CMOS 门电路的噪声容限, 从而提高电路的抗干扰能力, 但电源电压选得越高, 电路的功耗越大。不过 CMOS 处于静态时, 输入电流几乎为 0, 输出由于采用互补结构, 静态时一个晶体管处于截止状态, 因此电路处于静态时的功耗很低。

(2) 输入端。

CMOS 集成电路的多余输入端一定不能悬空, MOS 集成电路的输入端具有很高的输入阻抗 (达到 $10^{12}\Omega$), 如果在输入端存在一个极小的漏电流, 就会产生极高的电压降, 致使输入的 SiO_2 绝缘层被击穿而损坏电路, 所以, 有时静电的干扰都有可能使器件损坏; 虽然, 现在门电路增加了输入保护电路, 但悬空的输入端一样容易引入干扰, 而干扰信号以电荷的形式在输入端的寄生电容上积累, 如果寄生电容上的电荷积累少, 相当于在输入端接低电平; 而积累多, 则相当在输入端接高电平, 这样就可能导致电路的输出状态不能确定。

(3) 输出端。

其输出端的使用基本和 TTL 相同。但 CMOS 门应尽量减少电容负载, 电容负载会降低 CMOS 集成电路的工作速度和增加功耗。

1.2.3 TTL 和 CMOS 带负载时的接口问题

在实际工程中,常常要用 TTL 或 CMOS 电路去驱动指示灯,发光二极管 LED、继电器等负载。对于小电流,电平能够匹配的负载可以直接驱动,如图 1-1 所示。如果负载电流较大,可将同一芯片上的多个门并联作为驱动器,如图 1-2 所示。

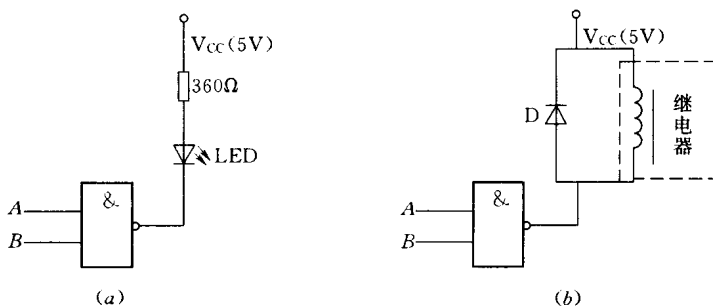


图 1-1 门电路直接驱动小电流负载

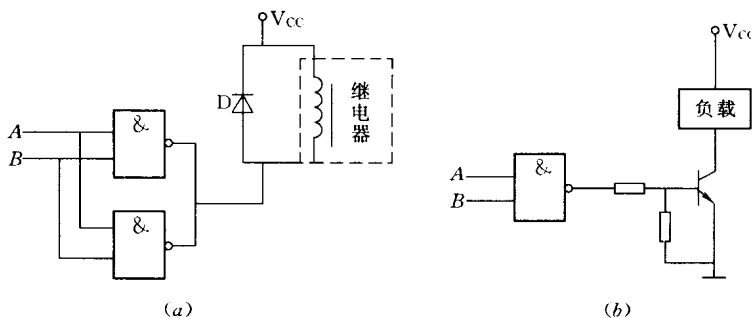


图 1-2 门电路驱动大电流负载

1.2.4 TTL 与 CMOS 器件之间的接口问题

(1) TTL 驱动 4000 系列和 74HC 系列。

当 TTL 和 CMOS 都采用 5V 电源时, TTL 的输出高电平电压 $V_{OH(min)}$ 为 2.4V 或 2.7V, 而 CMOS4000 系列和 74HC 系列电路的 $V_{IH(min)}$ 为 3.5V, 显然不能满足要求, 这时可在 TTL 电路的输出端和电源之间, 接上一个上拉电阻, 以提高输出电平, 如图 1-3 (a) 所示。上拉电阻阻值取决于负载器件的数目及 TTL 和 CMOS 器件的电流参数, 一般在几百欧姆至几千欧姆之间。当 TTL 和 CMOS 器件采用不同的电压, 则应使用 OC 门, 同时使用上拉电阻, 如图 1-3 (b) 所示。

(2) TTL 驱动 74HCT 系列。

74HCT 系列与 TTL 器件电压兼容, 因此两者可以直接相连, 不需外加器件。

(3) CMOS 驱动 TTL 门。

当 TTL 和 CMOS 电路都采用 +5V 电压时, 用 CMOS 驱动 TTL 门, 两者之间的电压参数是相容的, 但 CMOS 门的驱动能力较差, 及 CMOS 门的 I_{OH} 、 I_{OL} 参数较小, 解决的办法是可以将同一芯片上的多个门并联使用, 也可以在 CMOS 门的输出端与 TTL 门的输入之间加一 CMOS 驱动器。

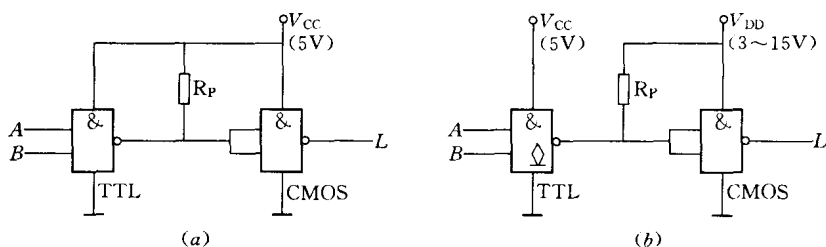


图 1-3 TTL 与 CMOS 器件之间的接口
(a) 电源电压相同时的接口；(b) 电源电压不同时的接口

2 数字集成电路测量技术

2.1 集成逻辑门电路

2.1.1 集成反相器与缓冲器

在数字电路中，反相器就是“非门”电路，例如 74LS04 通用型六反相器，以及与之具有相同逻辑功能且管脚兼容的器件：74HC04（CMOS 器件），CD4069（CMOS 器件）等。74LS05 也是六反相器，不同的是它是集电极开路输出（OC 门），在实际使用时，必须在输出端和电源之间接一个 $1\sim 3\text{k}\Omega$ 的上拉电阻。

缓冲器的输出与输入同相位，它用于改变输入输出电平以及提高电路的驱动能力，如 74LS07，以及与兼容的 74HC07（CMOS 器件）、74LS17 等。若要更强驱动能力的门电路，可采用 ULN2000A 系列，该系列的吸收电流可达 500mA，输出管耐压为 50V 左右，它们有很强的高低电平驱动能力，可用于小型继电器、微型步进电机的相绕组驱动，如图 1-1 (b) 所示。

2.1.2 集成 OC 门

OC 门即集电极开路门，其输出端可以并联使用，实现线与的逻辑功能，OC 门可以用做电平转换，OC 门还可以用做高压显示驱动，总线缓冲驱动等，使用时必须注意外接负载上拉电阻，并正确选择阻值。由于 OC 门受负载电阻的限制，工作速度慢，驱动容性负载能力较差，所以仅仅用于速度要求不高的系统中，随着器件的发展，现应用越来越少。

2.1.3 态门

一般集成电路的输出端只有高、低电平两种值，三态门还有一个状态——高阻态，也叫禁止态，三态门可以并联使用，实现总线连接，典型电路连接如图 1-4 所示，常用的器件有 74LS125、74HC125、74HC126、74HC244 等。

三态门驱动能力强，开关速度快，在中、大规模集成中被广泛应用，作为计算机和外围电路的接口电路。

2.1.4 集成异或门

异或门是实现数码比较常用的一种集成电路，在大规模可编程逻辑器件的输出电路或在系统设计中，经常采用异或门作为可控反相器，可以方便地控制输出为原变量或反变量。

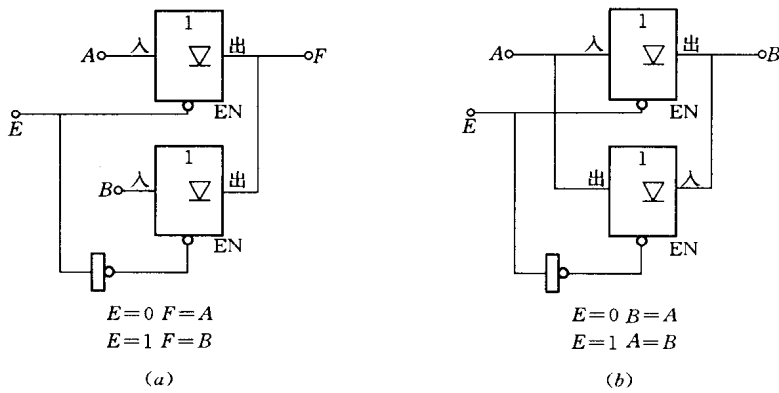


图 1-4 三态门的总线传输

(a) 三态门的单向总线传输；(b) 三态门的双向总线传输

2.2 组合逻辑集成电路

2.2.1 集成编码器

编码器的逻辑功能是将加在电路若干个输入端中的某一个输入端的信号变成相应的一组二进制代码输出。常用的编码器有 8/3 优先编码器 74LS148/348 和 10/4 优先编码器 74LS147 等。

2.2.2 集成译码器

译码是编码的相反过程，译码器是对具有特定意义的输入代码进行翻译，将其转换成相应的输出信号。常见的有二进制译码器如 74LS138 等、二—十进制译码器如 74LS42、74LS45 (OC 门) 等和数字显示译码器如 74LS47 (输出低电平有效)、74LS48 (输出高电平有效)、CD4511 (输出高电平有效) 等器件。

注意：数字显示译码器的作用是接收二—十进制数据，经译码后去驱动显示器，常用的显示器是 LED 七段数字显示器，由于 LED 有共阴极和共阳极两种结构，故所用的译码器输出高电平有效的驱动共阴极数码管，如所用的译码器输出低电平有效的驱动共阳极数码管。

2.2.3 集成数据选择器

数据选择是指经过选择，把多个通道的数据传送到唯一的公共数据通道上去。实现数据选择功能的逻辑电路称为数据选择器。这种器件在微机系统、数字通讯设备中用得较多。常用的器件有八选一选择器：74LS151、74LS251 (三态门)，双四选一数据选择器 74LS153、74LS253、CD4539B。

数据选择器除了实现有选择的数据传送外，还可以有其他的用途，常用的如下：

(1) 函数发生器，根据数据选择器输出函数表达式 $Y = \sum_{i=0}^{n-1} E m_i d_i$ ，可以用数据选择器来实现任意组合逻辑函数。

(2) 实现并行数据到串行数据的转换。

2.2.4 集成数据比较器

数据比较器按照数据的传输方式分为串行比较器和并行数据比较器。常用的数据比较

器有 74LS85 和 CD4585B 四位二进制数据比较器。

2.2.5 全加器

考虑低位进位 C_{i-1} 的两个二进制数码 (A_i, B_i) 相加, 称为全加器。常用的有超前进位二位加法器 74LS183、超前进位四位加法器 74LS283 和超前进位产生器 74182。

2.2.6 奇偶检测器

该检测器是用奇偶校验的方法来检查数据传输和数码记录中是否出现错误的集成电路。典型芯片有 CT74180/CT54180、CT74LS1280/CT54S1280、CT74LS280/CT54LS280、CD4531 等。

下面通过一个例子, 说明奇偶校验系统的应用。图 1-5 是一个奇偶校验系统, 图中的片 (1) 是奇产生器, 奇控制输入端 ODD 接收数据“1”, 偶控制输入端 EVEN 接地 (即数据“0”)。当数据 $D_0 \sim D_7$ 中“1”的个数为偶数时, $F_{OD} = \overline{\text{EVEN}} = 1$; 当数据 $D_0 \sim D_7$ 中“1”的个数为奇数时, $F_{OD} = \text{ODD} = 0$ 。这样, 片 (1) 的输出 F_{OD} 与数据 $D_0 \sim D_7$ 构成 9 位数据, F_{OD} 是奇产生/校验位。不管数据 $D_0 \sim D_7$ 中“1”的个数是奇数还是偶数, 加上 F_{OD} (第 9 位) 的数据后, 组成 9 位数据中“1”的个数一定是奇数, 所以片 (1) 为奇产生器。

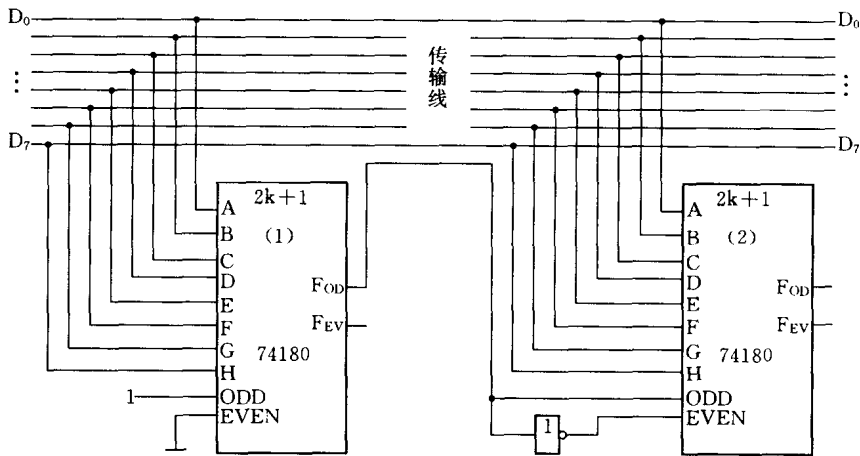


图 1-5 奇偶校验系统

片 (2) 是奇校验器, 将传输的 9 位数据中的 $D_0 \sim D_7$ 接到 A~H 端, 片 (1) 的奇产生/校验位 F_{OD} 接到片 (2) 的奇控制输入端 ODD, 偶控制输入端 EVEN 接 $\overline{F_{OD}}$ 。这样, 如果原数据 $D_0 \sim D_7$ 中有偶数个“1”, $F_{OD} = 1$; 或 $D_0 \sim D_7$ 中有奇数个“1”, $F_{OD} = 0$, 表示数据传输正确。如果传输过程有一个数据位发生了差错, 即由 0 变为 1 或由 1 变为 0, 则使 9 位数据中“1”的个数由奇数变为偶数, 片 (2) 的输出 $F_{OD} = 0, F_{EV} = 1$, 表示数据传输出错。

2.3 时序逻辑集成电路

2.3.1 触发器

触发器是一种具有记忆功能的器件, N 位触发器可以记忆 N 位二进制信息。而 N 位二进制符号有 2^N 种不同的组合, 因此由 N 级触发器构成的电路, 可以记忆 2^N 种不同的信息。触发器按功能分为: RS、D、JK、T 等; 而按照触发方式来分, 有电位触发器、主从触发

器、边沿触发器。

在数字电路中，各种信息都是用二进制这一基本工作信号来表示的，而触发器是存放这种信号的基本单元。由于触发器结构简单，工作可靠，在基本触发器的基础上能演变出许许多多的其他应用电路，因此被广泛运用。特别是时钟控制的触发器为同时控制多个触发器的工作状态提供了条件，它是时序电路的基础单元电路，常被用来构造信息的传输、缓冲、锁存电路及其他常用电路。下面是集成触发器典型应用的几个例子。

(1) 触发器构成的寄存器。

每个触发器都能寄存 1 位二进制信息，因此触发器可用来构成寄存器，如图 1-7 所示。

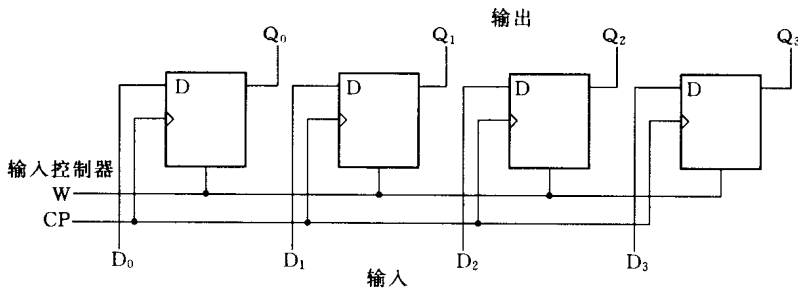


图 1-6 由 D 触发器构成的四位寄存器

(2) 触发器构成的移位寄存器。

移位寄存器可将寄存器有效的二进制数进行左移或右移。用触发器构成的移位寄存器如图 1-7 所示，它将各触发器的输入与输出之间串行连接。各触发器的时钟控制端连在一起采用同步控制。设所有触发器的初始状态都处于 0 状态 ($Q=0, \bar{Q}=1$)。

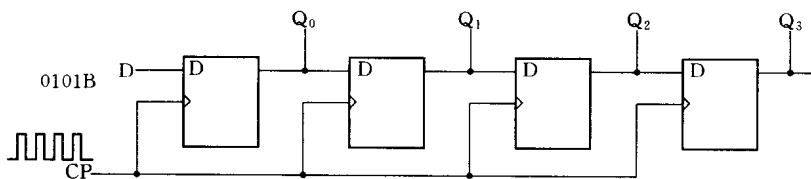


图 1-7 移位寄存器

触发器构成的单脉冲去抖电路

实际应用中，有时需要产生一个单脉冲作为开关输入信号，如抢答器中的抢答信号、键盘输入信号、中断请求信号等。若采用机械式的开关电路会产生抖动现象，并由此引起错误信息。图 1-8 (a) 是用基本 RS 触发器构成的单脉冲去抖电路。设开关 S 的初始位置打在 B 点，此时，触发器被置 0，输出端 $Q=0, \bar{Q}=1$ ；当开关 S 由 B 点打到 A 点后，触发器被置 1，输出端 $Q=1, \bar{Q}=0$ ；当开关 S 由 A 点再打回到 B 点后，触发器的输出又变回原来的状态 $Q=0, \bar{Q}=1$ 。在触发器的 Q 端产生一个正脉冲。虽然在开关 S 由 B 到 A 或由 A 到 B 的运动过程中会出现与 A、B 两点都不接触的中间状态。

(3) 触发器构成的分频电路。

用 D 触发器可以组成分频电路，其电路及波形如图 1-9 (a) 所示。图中 CP 是由信号

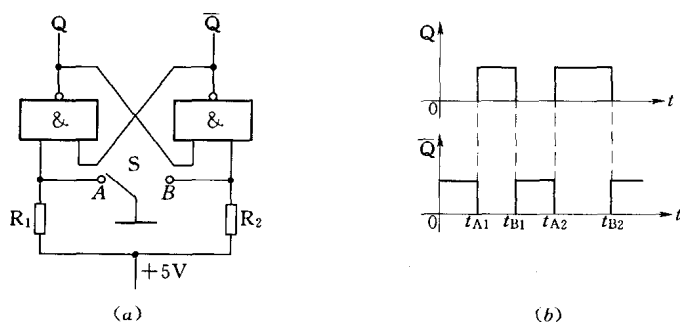


图 1-8 单脉冲去抖电路

(a) 电路图; (b) 单脉冲波形

源或振荡电路发出的脉冲信号, 将 \bar{Q} 接到 D 端。设 D 触发器的初始状态为 $Q=0, \bar{Q}=1$, 即 $D=\bar{Q}=1$ 。当时钟 CP 上升沿到来时, D 触发器将发生翻转, 使 $Q=1, \bar{Q}=0$; 当下一个时钟上升沿到来时, D 触发器又发生翻转, 即每一个时钟周期, 触发器都翻转一次。经过两个时钟周期, 输出信号才变化一个周期。所以经过由 D 触发器组成的分频电路后, 输出脉冲频率将减至 $1/2$, 称为二分频。若在其输出端再串接一个同样的分频电路就能实现四分频, 同理若接 n 分频电路就能构成 $1/2^n$ 倍的分频器。如果按图 1-9 (b) 进行接线, 可构成倍频电路, 其原理读者可自行分析。

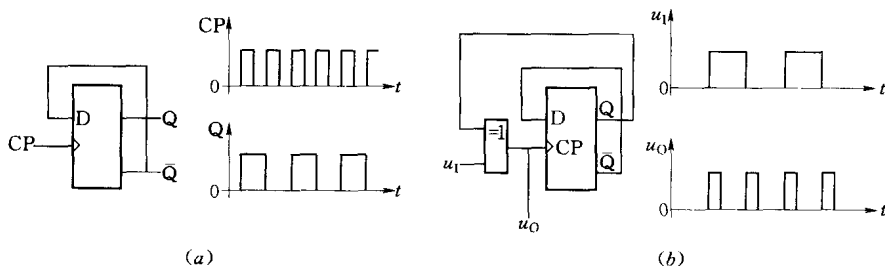


图 1-9 D 触发器组成分频和倍频电路

(a) 分频电路及时序; (b) 倍频电路及时序

2.3.2 计数器

计数器的基本功能就是对输入脉冲的个数进行计数。计数器是数字系统中应用最广泛的时序逻辑部件之一, 除了计数以外, 还可以用作定时、分频、信号产生和执行数字运算等, 是数字设备和数字系统中不可缺少的组成部分。目前生产厂家已制造出了具有不同功能的集成计数芯片, 各种计数器的不同点主要表现在计数方式 (同步计数或异步计数)、输出编码形式 (自然二进制码、BCD 编码、时序分配输出)、计数规律 (加法计数、减法计数或可逆计数)、预置方式 (同步预置或异步预置) 以及复位方式 (同步复位或异步复位) 等六个方面。常见的 MSI 计数器见表 1-3。

MSI 计数器都有计数使能端、计数预置端和清零端等控制端。灵活运用各个控制端是好用 MSI 计数器的关键。下面是集成计数器典型应用的几个例子。

(1) 任意进制计数器的构成。

表 1-3 常用计数器的型号和功能

类 型	型 号	功 能
计 数 器	7468	双十进制计数器
	74LS90	十进制计数器
	74LS92	十二分频计数器
	74LS93	4 位二进制计数器
	74LS160	同步十进制计数器
	74LS161	4 位二进制同步计数器 (异步清除)
	74LS162	十进制同步计数器 (同步清除)
	74LS163	4 位二进制同步计数器 (同步清除)
	74LS168	可预置制十进制同步加/减计数器
	74LS169	可预置 4 位二进制同步加、减计数器
	74LS190	可预置十进制同步加/减计数器
	74LS191	可预置制 4 位二进制同步加/减计数器
	74LS192	可预置十进制同步加/减计数器 (双时钟)
	74LS193	可预置 4 位二进制同步加/减计数器 (双时钟)
	74LS196	可预置十进制计数器
	74LS197	可预置二进制计数器
	74LS290	十进制计数器
	74LS293	4 位二进制计数器
	74LS390	双 4 位十进制计数器
	74LS393	双 4 位二进制计数器 (异步清除)
	74LS490	双 4 位十进制计数器
	74LS568	可预置十进制同步加/减计数器 (三态)
	74LS569	可预置二进制同步加/减计数器 (三态)
	74LS668	十进制同步加/减计数器
	74LS669	二进制同步加/减计数器
	74LS690	可预置十进制同步计数器/寄存器 (直接清除、三态)
	74LS691	可预置二进制同步计数器/寄存器 (直接清除、三态)
	74LS692	可预置十进制同步计数器/寄存器 (同步清除、三态)
	74LS693	可预置二进制同步计数器/寄存器 (同步清除、三态)
	74LS696	十进制同步加/减计数器 (三态、直接清除)
74LS697	二进制同步加/减计数器 (三态、直接清除)	
74LS698	十进制同步加/减计数器 (三态、同步清除)	
74LS699	二进制同步加/减计数器 (三态、同步清除)	

利用计数器的清零端和预制数的功能，可以构成任意进制计数器。

1) 脉冲复位法。脉冲复位法就是利用适当的反馈信号送到计数器的清零端，从而达到组成所需模的计数器。复位法的关键在于求复位函数（连接到计数器的清零端），对于异步清零的计数器，因为清零不需要时钟，所以如果求模 M 计数器，计数顺序从 $0 \sim M-1$ ，则复位函数为 $F = \overline{M}$ ；对于同步清零的计数器，因为清零需要时钟，所以如果求模 M 计数器，计数顺序从 $0 \sim M-1$ ，则复位函数为 $F = \overline{M-1}$ 。

2) 预置数法。预置数法要求连接到预置数控制端的反馈函数和置数端 $D_3D_2D_1D_0$ 的值如图 1-10 所示。

a. 置“0”法。

这种方法和复位法基本相同，只是反馈信号送到预置数控制端，且置数端 $D_3D_2D_1D_0$ 的值都置零。

b. 用进位预置法（该方法仅仅适应于同步置数计数器）。

用进位输出预置法是把进位输出经反相后接至计数器的预置端 \overline{LD} ，然后根据设计需要，把计数器的预置数数据输入端 $DCBA$ 接好预置数据即可。预置数据值可由下式得到

$$(\text{预置数据值})_2 = \text{计数器的模值} - \text{改变后的模值}$$

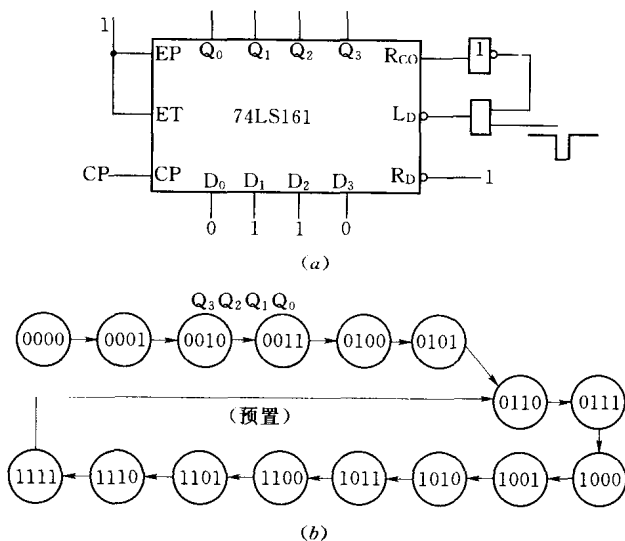


图 1-10 用进位输出 C 预置法实现模十计数器

(a) 计数器原理图；(b) 状态转移图

c. 用 Q 输出反馈置数法。

用计数器的 Q 输出接至预置端也可以改变计数器的模值图 1-11 就是一个示例。

(2) MSI 计数器的级联。

利用计数器的进位输出作为控制脉冲，可以将多个计数器进行级联，构成模大于一片计数器容量的计数器。计数器级联的方式包括：同步级联、异步级联两种。下面两个示例分别表示了这两种方式，如图 1-12 所示。

(3) MSI 计数器组成分频器。