

电子情报研究报告

INFORMATION REPORTS ON ELECTRONICS

专用集成电路的发展与对策

27

2-2

机械电子工业部电子科技情报研究所

ETIRI MMEI

电子情报研究报告
(内部资料)

编辑出版：机电部电子科技情报研究所

发 行：北京 750 信箱 21 分箱

出版日期：1991 年 10 月

定 价：10 元

Wa c02

TW43

G353

报告 题 名	中 文	专用集成电路的发展与对策				
	英 文					
完成单位		机械电子工业部电子科技情报研究所				
主要完成人		罗敬承 王根成				
报告密级		课题代号				
类	型	分类号	0830	总页数	27	
审查批准人 (职务或技术职称)						
键	词	集成电路 专用集成电路 军用 对策	完成日期	1991年9月		
摘要: 本报告研究了专用集成电路 (ASIC) 的技术发展现状和趋势、应用状况、市场现状及预测和军用 ASIC 的发展, 并对我国 ASIC 发展现状及所存在的问题进行了分析, 提出了涉及资金投入、军用 ASIC、设计、标准工艺加工线、封装与测试、教育等七点建议。						

专用集成电路的发展与对策

一、引言

电子系统产品市场竞争激烈,技术发展迅速,不断向小型化、高性能化、多功能化及个性化(差别化)飞跃发展,同时产品的市场寿命日益缩短,因而对短期内能实现任意逻辑功能的专用集成电路(ASIC)的需求激增。整个 80 年代,ASIC 市场持续高速增长,在整个集成电路市场中所占的比重也越来越大。现在 ASIC 已成为集成电路的一大分支和重要的组成部分。

ASIC 在数据处理、通信、工业和军事以及消费类电子产品领域中都已获得了广泛应用,促进了这些领域产品和装备的更新换代和技术进步,不断向小型、轻量、高性能、多功能、高可靠性和高保密性方向发展。这些进展对经济建设和国防建设都具有重要意义。

在 ASIC 发展的初期,只是用集成度高的 ASIC 取代中、小规模的标准逻辑电路,而今,ASIC 不仅超出了数字逻辑电路的范围,扩大到模拟电路领域,而且已开始迈向在一个芯片上集成一个子系统,甚至集成整个系统的新阶段。

ASIC 之所以如此迅速地发展,一方面是由于应用市场迫切需要的牵引,另一方面是由于 CAD 技术,及微电子技术本身的发展推动的结果。

我国 ASIC 的发展刚刚起步,在国民经济的某些重点领域和军事领域对 ASIC 的需求十分迫切。但是,整个国家的信息化发展水平不高,总的市场需求量较小,微电子生产技术水平还不能适应 ASIC 发展的需要。如何推动我国 ASIC 产业的形成和发展是当前急待解决的问题。

二、ASIC 技术发展现状和趋势

ASIC 技术的发展离不开 CAD 技术和半导体工艺技术的发展。与标准集成电路相比,ASIC 的突出特点是开发周期短、成本低、功能强、生产批量小、品种多。这些特点说明 CAD 技术是 ASIC 技术发展的基础。CAD 技术与 ASIC 技术同步发展、相辅相成。从表 1 可以看出,不同复杂程度的各代 IC 产品对应着不同的设计系统。另一方面,ASIC 的发展为 CAE 工作站产业提供了日益扩大的强大的市场,促进了 CAE 产业的发展。例如,1988 年 CAE 工作站销售市场分布是:航空航天/国防占 20%,消费类占 18%,通信占 17%,计算机占 17%,而半导体所占比比重高达 28%。CAE 市场迅速扩大,价格迅速下降,使应用更加普及。现在,电子系统厂家普遍可以建立自己的 ASIC 设计系统或设计中心,而不需花很大的投资,这无疑会提高系统设计师的设计效率,加速电子产品更新换代,也必然会推动 ASIC 的发展。

以 DRAM 为代表的 VLSI 的发展,推动了工艺技术的进步。而这些新技术的成果正以越来越快的速度被 ASIC 吸收。如微细加工技术,从 80 年代初开始,每代 DRAM 所达到的最小线宽(设计规则)一般迟后两年就在 ASIC 中得以采用。4M DRAM 于 1989 年投产,其设计规则为 0.8μ ,现在许多先进的半导体厂家的 ASIC 产品也已采用了 0.8μ 工艺,甚至有的厂家采用了 0.6μ 工艺。

BiCMOS 工艺技术结合了双极和 CMOS 两种工艺技术的特点,其发展对 ASIC 技术是一个很大的推动。ASIC 的工艺加工线采用 BiCMOS 技术被认为是最近几年最重要的技术进展。

多层布线是 ASIC 工艺技术的关键。随着微细加工技术的进步,电路复杂度提高,布线微

细化、密集化,布线所产生的延迟成为影响电路性能的关键因素。现在,ASIC 中 3 层布线已达到生产水平,不久将达到 4~5 层。另外,采用高熔点、高电导的金属及其硅化物,以及多种金属及合金的布线材料和工艺的研究也在广泛进行。图 1 示出了 ASIC 工艺技术随年代的变化。

表 1 CAD 系统与 IC 的集成度发展的相应关系

	60 年代	70 年代	80 年代	90 年代
IC 集成度	晶体管~IC	IC~LSI	LSI~VLSI	VLSI~
设计工具	手工	CAD/CAM	CAE	综合 EDA(电子设计自动化系统)
主要供应商	半导体大厂家 内部自行研究 开发	Calma Applicon Computer Vision	Mentor Daisy Valid	?
计算机 (特征)	大型计算机 (成批处理)	小型计算机 (独立)	EWS (会话设计)	高性能 EWS (RISC)

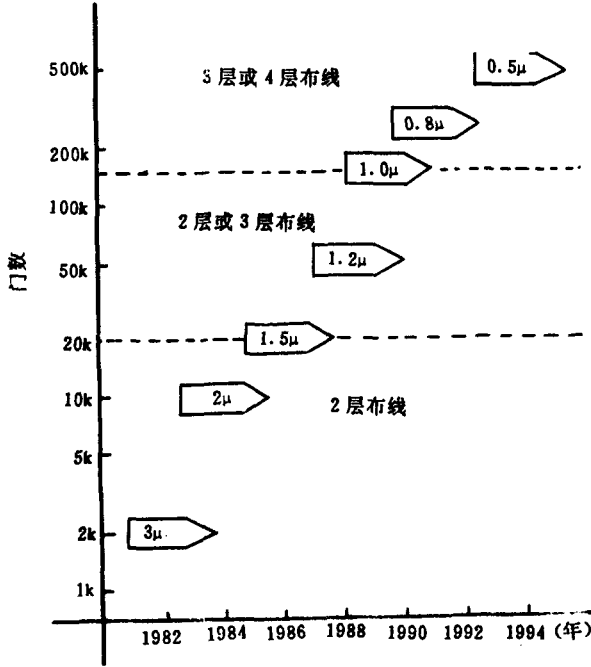
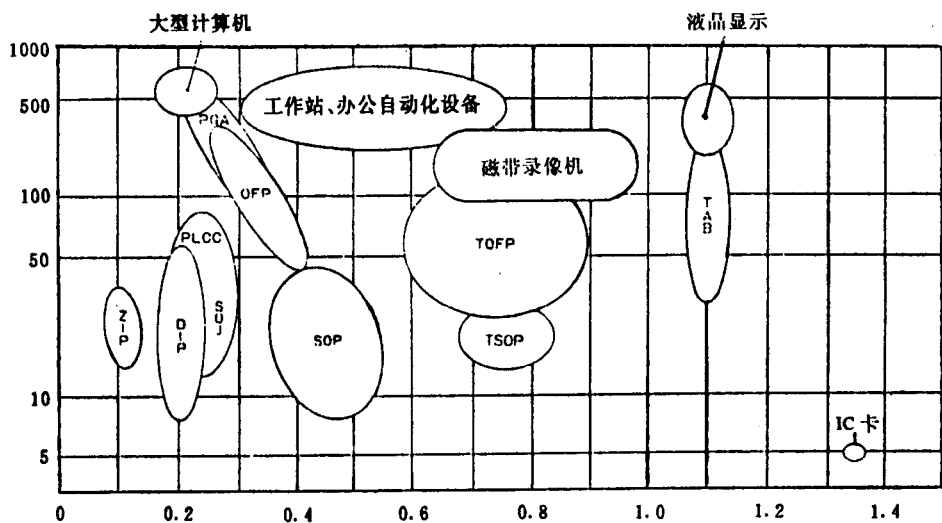


图 1 CMOS ASIC 工艺的变迁

随着 ASIC 复杂度的提高,封装的多引线化、高密度化、低热阻化、低电感化以及外形结构多样化等等都是有待开发的技术课题。过去的封装是以 DIP 为代表的插入型封装,而现在是以 QFP 为代表的表面安装型封装为主流。根据不同电子系统和 ASIC 性能的要求,需要采用各种不同形式的封装。图 2 示出各种封装形式的外引线数与封装后的薄度(高度的倒数)的关系。

随着 ASIC 门数的增加,要求相应地增加封装的外引线数。图 3 示出了外引线数与 ASIC 门数的关系。目前 300 条外引线的封装已达到实用化。下一步是要将 500 条外引线的封装实用化。富士通的 ECL 专用集成电路已采用 561 条外引线的 PGA 封装。引线增多,其间距减小,将产生一系列封装技术问题。此外,随着芯片加工技术的进步,芯片成本降低很快,封装成本在 ASIC 总成本中占有相当大的比重。因此低成本封装技术的开发也是一个重要课题。



- | | | | |
|-------|-----------|-------|------------|
| DIP: | 双列直插封装 | PGA: | 引线方格阵列式封装 |
| ZIP: | Z形直插封装 | SOP: | 小外形封装 |
| SOJ: | 小外形J形引线封装 | TQFP: | 薄型四面引线扁平封装 |
| PLCC: | 塑封有引线芯片载体 | TSOP: | 薄型小外形封装 |
| QFP: | 四面引线扁平封装 | TAB: | 带式自动键合 |

图2 各种封装形式的外引线数与封装后的薄度的关系

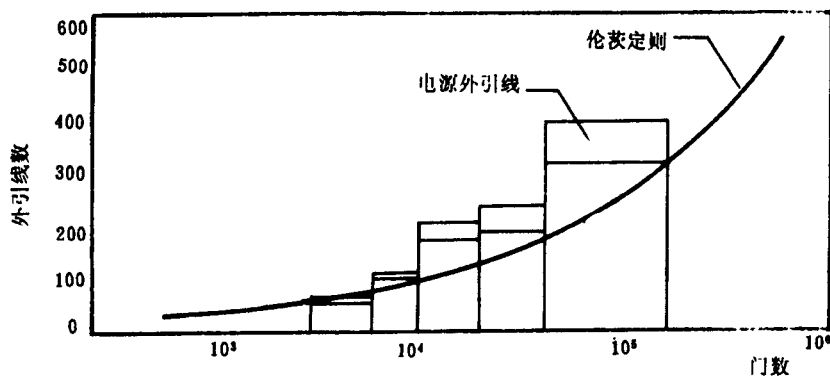


图3 门阵列的门数与外引线数的关系

(伦茨定则: 输入输出外引线数 = $4.3 \times (\text{回路数})^n$, $n=0.672$)

随着设计技术及加工技术的发展, 各种 ASIC 品种也有许多新的进展, 现分述如下:

(一) 门阵列 (GA)

门阵列是以典型的门电路作为基本单元, 在芯片上有规则地排列成阵列而得名。这些基本单元之间、元件之间尚未作相互连线。这样的芯片称为门阵列母片。芯片厂家可大批量地生产这种母片。当用户提出特定电路规范时, 通过 CAD 系统设计 1 块或几块掩模, 使母片上的单元通过金属互联实现用户所需的电路。

各种工艺技术和设计结构的发展使门阵列向高集成化和高速化方向迅速推进。图 4 示出三种不同类型的结构。图 4(a)为最初的结构,称为通道型门阵列,在由基本单元组成的各行之间都留有布线用的通道;图 4(b)为复合型门阵列的一例,在门阵列中包含有 RAM、ROM、ALU 等专用电路;图 4(c)为无通道型门阵列,又称为门海(SOG),即在整个芯片上布满基本单元,不留布线通道。布线区和宏单元的形狀可以自由决定,但布线区下面的单元不再使用。普通的通道型门阵列的最大缺点是芯片面积利用率低,集成度受到限制,设计灵活性差,单元分散,布线往往过长,降低了电路速度。随着门阵列应用的扩大,除要求逻辑功能外,还要求构成 RAM、ROM、ALU 等电路,在通道型门阵列中也可以用基本单元来实现这些功能,但单元使用效率低,布线长度及相应的布线电容增加,从而使延时增大。因此,有必要在门阵列中加入 RAM、ROM、ALU 等专用电路,还可以加入运放、A/D 和 D/A 转换器等模拟电路,构成复合型门阵列,以适应多功能、高性能的要求。在门海中,单元密度很大,因此,各种逻辑电路及存储器等专用功能电路都可以有效地布局在较小的面积内,不仅提高了集成度,并增加了电路布线设计的自由度;降低了连线延迟,并使电路达到最佳化。在门的利用率方面,虽然门海一般不及通道型门阵列高,前者一般在 70%以下,而后者可高达 90%以上,但前者总门数高得多,因此,实际可用门数仍比后者大得多。

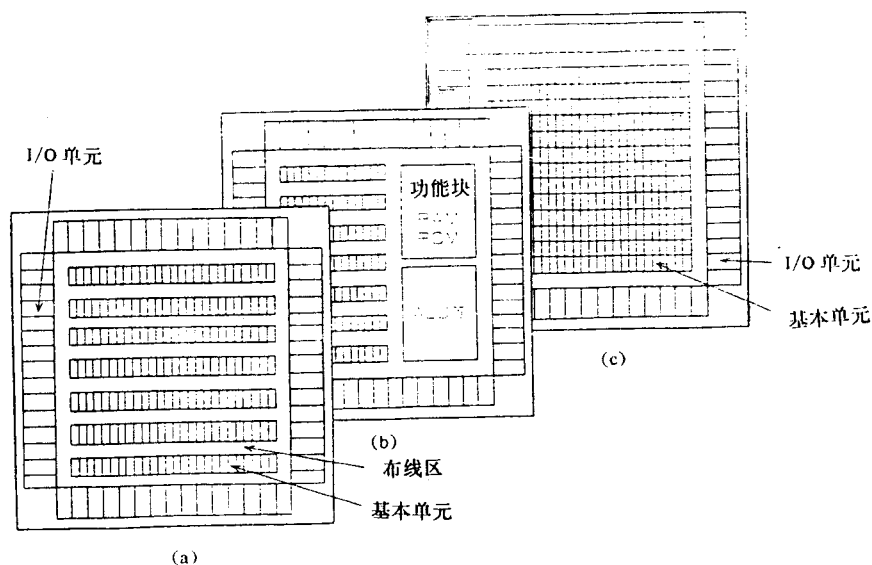


图 4 门阵列结构示例

初期开发的门阵列大多采用双极工艺,用 TTL、ECL、CML(电流型逻辑)、NTL(非阈值逻辑)、I²L(集成注入逻辑)等作为内部逻辑电路。

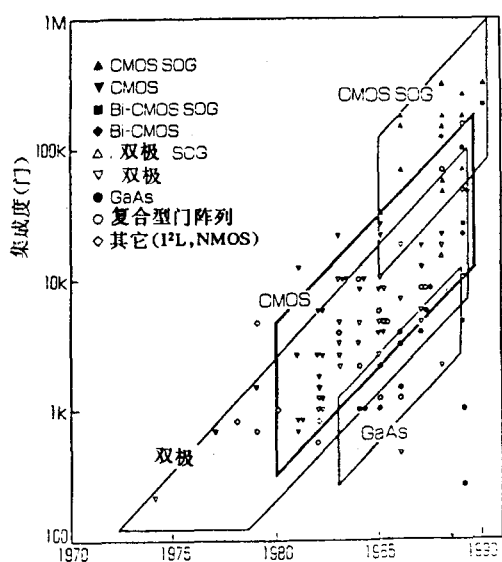
进入 80 年代后,由于微细加工技术的发展,并采用了 CMOS 技术,使得门阵列的集成度大大提高,很快达到万门级,其应用及市场迅速扩大。1990 年 IBM 采用 0.8 μ m CMOS,4 层金属布线工艺,实现了 30 万等效门的两输入 NAND 门的门阵列,典型门延时达 180PS,芯片上包含 200 万门个晶体管。美国国家半导体公司和 LSI 逻辑公司也分别制出 25 万门 CMOS 门海和 23 万 HCMOS 门海。CMOS 集成度高,但速度较慢,因而在 80 年代中期开发了 BiCMOS 门阵。日本一些公司在门阵列技术和市场方面占有优势,如 NEC 于 1986 年推出最大门数 3140 门,延时 0.8ns 的 BiCMOS-4 系列后,以每年 200%以上的速度增长,在世界市场上确定了它的地位。在此工艺基础上,缩小设计线宽,1987 年又推出了最大门数 10348 门,延时 0.8ns 的 BiCMOS-4A

系列产品,达到当时世界上最高集成度的水平,1989年又开始开发 BiCMOS-5 系列,这是第二代的 BiCMOS 门阵列,其特征一是延时达到 0.5ns 的超高速领域,可用于 32 位 PC 机和 ISDN 等,二是加入了 ECL 接口,三是达到 2.5 万门的高集成度。在 1990 年 NEC 的 BiCMOS 门海产品已达到 15 万门,这是世界最高集成度的 BiCMOS 产品水平。同时,富士通还发表了设计规则 0.8 μ m,20 万门的混合 CMOS/BiCMOS 门海,并将于下半年投产,两输入 NAND 门延时为 400ps,可组合 18KRAM 和 64KROM。

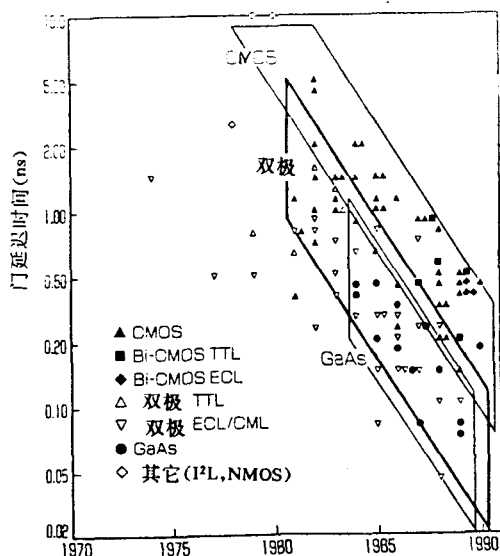
双极门阵列逐步被 BiCMOS 门阵列所取代,现在只有双极 ECL 门阵列仍保留相当的增长,主要用于大型计算机等要求极高速度的领域。1989 年富士通公司研制成功 54000 门 ECL 门阵列,采用了 5 层布线工艺,内部延时达到 96ps。同年,NEC 也开发出最大门数为 35656 门,基本门延时为 90ps 的超高速 ECL 门阵列产品 ECL-4A 系列。

未来超高速电路的发展寄希望于 GaAs IC。80 年代后半期,GaAs 超高速门阵列有了显著进展。美国 Vitesse 半导体公司的 GaAs 门阵列首先突破万门大关,其万门产品 VSC10000 的运算速度高达 1.2GHz,门延时约为 100ps,与 SiECL 万门门阵列相比,不仅速度快而且功耗低,其延时功耗乘积仅为 SiECL 的 1/4~1/2。1990 年该公司的 GaAs 门阵列 VSC30K 已达到 30528 门,内部延时 90ps,D 触发器的频率在 1GHz 以上,延时功耗乘积为 0.025PJ,采用 344 条外引线的陶瓷 QFP 封装。预计 90 年代 GaAs 门阵列将有突破性的进展,市场将迅速扩大,1989~1994 年平均增长率达 111%。

总的来说,门阵列中 CMOS 工艺是主流,占一半以上;双极工艺约占 30%,今后市场仍有增长,但其比重将下降,BiCMOS 工艺刚刚兴起,今后将迅速增长。



(a)



(b)

图 5 门阵列的集成度(a)和延时(b)随年度的推移

由于结构设计、工艺技术的进步,推动门阵列迅速向高功能化和高速化方向发展。图 5(a)和(b)示出 20 年来国际固体电路会议 (ISSCC) 和 10 年来定制 IC 会议 (CICC) 上发表的门阵列在高集成度和高速化方面的进展。门阵列的集成度以每 3 年 3~4 倍的速度提高,在不到 20 年

的时间内提高了 1000 倍。在高速化方面,近 10 年来的进展约为每 3 年 2~3 倍。门阵列发展方向是提高集成度、速度、增强功能、增加 I/O 数等等。

(二) 标准单元集成电路 (CBIC)

广义的标准单元集成电路又称为基于单元的集成电路,简称为 CBIC (Cell Based IC),它的所有掩模都是为用户定制的,是用一个单元库中的各种电路单元通过 CAD 系统自动布局和布线组合成满足用户电路规范的电路。单元库中的各种单元的版图已预先设计好,测试好,这些单元包括从与非门 (NAND)、或非门 (NOR) 等小规模逻辑电路到 RAM、ROM、ALU 等大规模电路乃至 CPU 和微机外围电路,以及各种模拟电路单元。根据单元规模的大小分别称为宏单元 (Macro Cell),巨单元 (Mega Cell)、超宏单元 (Super Macro),或超级单元 (Super Cell) 等,现在有的人也把库中的单元均称为标准单元。

CBIC 是在 80 年代中期迅速发展起来的一类 ASIC 产品。随着 CAD 系统的改进和单元库的充实和完备,开发周期进一步缩短,开发成本降低,其设计灵活性大,功能性强的优越性更加显著,应用日益广泛,在 ASIC 各类产品中,CBIC 的市场增长最为迅速(参见表 4),现已成为仅次于门阵列的主要产品。

CBIC 在结构设计方面也有新的发展,图 6 示出 CBIC 的不同结构。最初的 CBIC,如图 6 (a),称为标准单元(狭义的)型,其特点是在版图设计中,各单元的高度相等,由于单元的规模不同,单元长度可以不同。由单元连成的各行之间是布线通道,除了布线通道的宽度可随布线密度而变化之外,它与通道型门阵列很相似。这种结构与门阵列相比,只能起到提高芯片面积利用率的作用。由于版图布线软件的发展,出现了积木型或模块型 (Building Block) 结构,如图 6 (c),其特点是单元的高度和长度均无限制。因此增加了版图设计自由度,可以实现高速、高密度的最佳设计。这样 RAM、ROM、ALU、CPU 和微机外围电路,甚至模/数和数/模转换器及各种模拟功能块都可以作为库单元来使用,使 CBIC 能更好地适应多功能的要求。此外,图 6(a)和 6 (c)两种结构还可以结合起来构成复合型 CBIC,如图 6(b)所示。

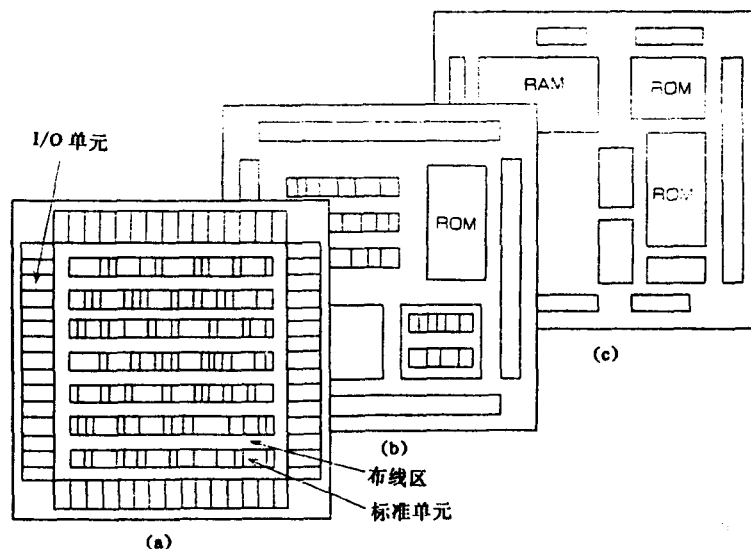


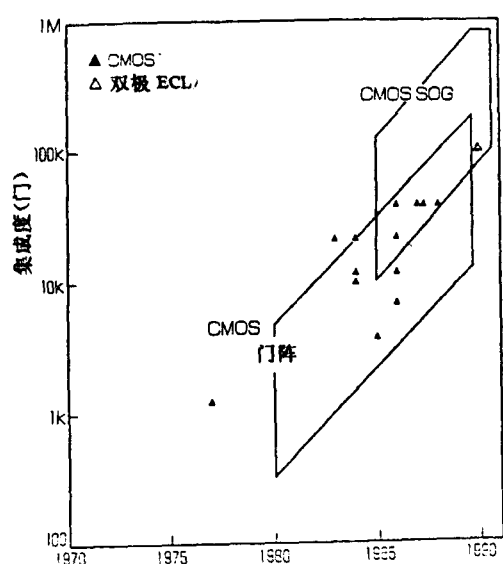
图 6 CBIC 结构示例

在 CBIC 中,采用 MOS 工艺的占绝大多数,约占 95%;而采用双极工艺的极少,仅占 4%左右;BiCMOS 工艺发展较晚,但增长速度惊人,预计 1989~1994 年间 BiCMOS 型 CBIC 年均增长率高达 154.6%。GaAs 的 CBIC 还有待将来的发展。

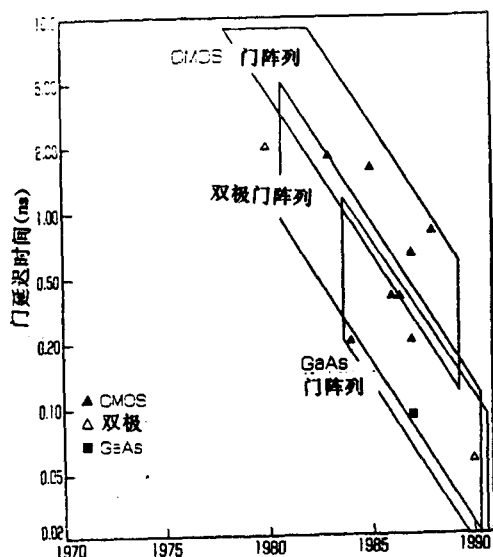
CBIC 的性能水平主要取决于单元库和设计工具的完备和先进性。近几年来,美国莫托洛拉、TI、国家半导体、英特尔、AMD、日本的 NEC、富士通等大公司都在积极建立和充实自己的单元库特别是充实大规模,强功能的各种巨、宏单元,以及从数字到模拟宏单元。由于许多高精度的模拟功能不能用元件完全固定的模拟阵列来实现,在此情况下,CBIC 具有压倒优势。因此,今后充实模拟宏单元是一个重要任务。近年来,1~2 μ 的单元库有不少商品,如 NEC 的 1.2 μ 的 SC-5 单元库。现在许多公司已建立了 0.8 μ 的单元库,从而进入亚微米领域。

富士通公司于 1990 年发表了采用单元设计法在 14.72mm 见方的芯片上实现了 10 万等效门的 ECL 电路,最小门延时降到 54PS,采用 561 条外引线的 PGA 封装。

CBIC 在集成度和速度方面的进展如图 7(a)和(b)所示。与图 5(a)和(b)相对比,在图 7(a)和(b)中标出了门阵列的集成度和速度范围,可以看到,CMOS 型 CBIC 的集成度增长趋势与 CMOS 型门阵列几乎是相同的。而高速化的发展趋势,对应于同一种工艺技术,与门阵列的趋势也大致相同。



(a)



(b)

图 7 CBIC 的集成度(a)和延时(b)随年度的推移
(图中画出了各种门阵列的相应值的范围,以作比较)

(三)可编程逻辑器件(PLD)

PLD 的基本型可分为现场可编程阵列逻辑(FPLA)和可编程阵列逻辑(PAL)。在 FPLA 中,AND 阵列和 OR 阵列均可编程(写入)。在 PAL 中,AND 阵列是可编程的,而 OR 阵列是固定的。与 PROM 和 EPROM 相对应,编程可以用熔丝法和电编程法来实现。PLD 最初是在双极 PROM 技术的基础上发展的,集成规模小。近几年来,在工艺技术和设计结构方面都取得了很

大进展。MOS 型 PLD 的发展,使其集成规模大大提高,应用扩大,市场迅速增长,而双极市场则呈负增长趋势。1987 年,在 PLD 市场中,双极(主要是 TTL)占 83.7%,MOS 仅占 16.3%,而现在 MOS 约占一半,到 1994 年产将占 73.4%。80 年代中期,美国 Xilinx 公司推出了现场可编程门阵列(FPGA),随后,AMD 公司和 Actel 公司也积极发展。现在 FPGA 的集成度正逐步接近门阵列。逻辑单元阵列(LCA)是 FPGA 的一种,现已被广泛使用,其编程不用熔丝法,而是利用内部 RAM 实现寄存器编程,因而编程容易,且可重新编程。LCA 的特征与基本型(AND-OR)结构 PLD 和门阵列相比较示于表 2。

表 2 LCA 的特征

	PLD (AND-OR 结构)	LCA	门阵列
结构	AND-OR 阵列 (两种逻辑)	逻辑模块+布线 (多种逻辑)	门+布线 (多种逻辑)
时钟信号	各 F/F 共通	可自由设定	可自由设定
F/F 数	0~128	122~784	可自由设定
I/O 数	18~60	20~144	14~256
门数	150~3000	1200~9000(20000)	500~50000
编程	在编程机上用熔丝, EPROM/EEPROM 单元	在编程机上用 RAM	在芯片加工线上用掩模
开发周期	非常短	短	短

PLD 最突出的特点是用户可以自己编程,即时实现所需的逻辑电路,而且还可以重新编程(改写),十分方便。PLD 具有开发周期短,开发费用低,修改设计容易,以及风险小等优点,但目前在集成密度、速度、功耗、设计灵活性等方面还较差,能实现的功能受到限制,价格也较高。但是,今后随着工艺技术和设计结构的发展,PLD 在价格性能方面都将得到改进,在提高集成规模方面,今后几年 FPGA 将可达到 2~3 万甚至 5 万可用门。有的厂家认为,在 90 年代末将会出现 10 万门的可编程器件。在速度方面,现今的器件延时已达到 5ns,并即将推进到亚毫微秒。显然这样的 PLD 的集成度与低端门阵列相当,由于 PLD 的独特优点,它必将挤占一部分门阵列市场。目前 PLD 的市场约 10 亿美元,到 1994 年将可达到约 18 亿美元。PLD 在 ASIC 中的比重维持在 10%左右。

(四)模拟和数/模混合 ASIC

在数字集成电路应用中,用 ASIC 取代标准数字电路大大促进了整机的小型化和高性能化,但是在同一整机中,在数字电路所占空间大大减小的同时,模拟电路,如转换器、接口电路等所占空间仍不变。这是因为模拟 ASIC 的发展还存在许多问题,未能实用。

模拟阵列,或称线性阵列,就是二极管、晶体管、电阻、电容及其他元件构成的阵列。它与门阵列相似,预先制出模拟阵列母片,通过 CAD 系统定制掩模版,用于各元件间的金属化布线,形成用户所要求的模拟电路。

这种模拟设计能用的元件数有限。用基于模拟单元的设计(CBIC)就不存在这种限制。设计者可以选择具有所需特性的模拟单元,通过布线组成模拟 ASIC。

在一个单片上做模拟和数字两种功能混合的 ASIC 时,若用门阵列,则实现的模拟功能的

分辨率和精度较差。采用混合信号的基于单元的设计,在理论上,具有任何功能的单元都能做在芯片的任何地方。实际上,设计者必须解决交调失真、隔离等问题。数/模混合模式的设计问题是复杂的。当今的设计师必须具有数字和模拟两种电路设计的知识,还必须掌握在同一芯片上混合这两种设计的技术。Harris 半导体公司在它的混合单元设计中采用了新的介质技术。当布线或电路元件靠近时,在电路元件间形成的氧化层介质,有助于防止噪声、交调失真和电感效应等问题。Gould AMI 公司在混合信号 ASIC 中,混合采用了不同的特征尺寸,在基于单元设计的数字电路部分用 1.0μ 工艺,而在模拟单元中用 3.0μ 工艺来设计和制造。

由于模拟设计的复杂性、缺乏设计人员和设计工具等原因,模拟 ASIC 的发展远落后于数字 ASIC。这种情况短期内还不会改变。模拟市场增长缓慢,1989 年,数字 ASIC 销售值为 48 亿美元,而模拟 ASIC 仅 2.58 亿美元。但是模拟 ASIC 潜在的市场还是较大的。其应用市场包括磁盘驱动器、通信设备、自动控制装置、军事、商业航空、家用电器和工业自动化,以及医用电子设备等。据 80 年代末的调查,20% 的用户希望在基于单元的电路中加入模拟电路,估计到 90 年代将有 50% 的 ASIC 是模/数混合的电路。但这种估计可能过高。实际上,目前还没有几家 ASIC 厂家能降低成本,有效地满足用户的需求。近年来,许多公司正在重新考虑他们的经营战略。过去,NEC、富士通等公司都销售模拟阵列母片,现已决定开展基于单元设计的业务。西欧一些公司在模拟阵列方面占有较大的市场,约占世界市场的 40%,美国占 45%,日本仅占 15%。最近,欧洲 SGS-汤姆逊微电子公司已在日本开展模拟/数字混合 ASIC 业务。近几年来已有许多公司在开发混合模式设计并在测试工具方面开展了许多工作。今后还必须加强开发、促进模拟 ASIC 的发展。

(五)全定制集成电路(FCIC)

全定制集成电路所用的全套掩模都是为用户的特定电路定制的,而且是用手工设计方法或至少是部分地用手工设计方法使电路优化,以获得最高的速度等性能和最小的芯片面积,由于需用手工设计,设计周期一般长达 1 年以上。现在大多数用户是把短周期放在首要地位,因此多采用半定制 ASIC。全定制只适用于生产批量很大的电子产品,如电子表、计算器等等。全定制 ASIC 的市场正在逐渐缩小,据预测,1989~1994 年间,年均增长率为 -3.5%,其在 ASIC 总市场中的比重从 1987 年的 40% 下降到 1994 年的 12.2%。

(六)专用标准集成电路(ASSP)

ASSP 是为特定应用领域,而不是为特定用户专门开发和生产的大规模集成电路,是为了能适应尽可能多的用户和尽可能多的机种使用而把共通的部分加以大规模集成的电路。这是一类器件厂家主导型的专用电路。ASSP 的主要应用领域是图象处理设备、通信设备、磁盘、电话机、复印机、收音机、打印机、台式计算机、电源设备、钟表等等。这类电路生产批量很大。其设计方法基本上是采用全定制设计。但是缩短开发周期、扩大新品种开发越来越成为 ASSP 的主要目标。因此现在采用门阵列设计和标准单元设计的自动设计方式也逐步成为 ASSP 设计方法的主流。

对广义的 ASIC 而言,其中也包括 ASSP(日本常用这种分类方法),但对狭义的 ASIC 而言是不包括 ASSP(美国常用此类方法)。ASSP 与狭义 ASIC 的根本区别在于前者可以卖给多家用户,而后者强调只能卖给一家用户,不然就不属于 ASIC 了。例如,Intel 公司采用门阵列技术设计和生产各种 MPU 外围电路,在市场上很快推出这些产品,但由于可卖给多家用户,因而不归

属于 ASIC。

三、ASIC 的应用

ASIC 的主要应用领域是数据处理和通信,其次是工业和军事,消费类电子产品应用也占有一定市场。以 ASIC 的主流产品门阵列为例,1988 年其世界市场销售额为 28.3 亿美元,其中数据处理应用占 42%,通信应用占 18%,工业应用占 16%,军事应用占 14%,消费类应用占 10%;在 ASIC 中居第二位的產品,CBIC,1988 年世界市场销售额为 12 亿美元。在上述五类应用中,数据处理应用的比重高达 60%,通信应用也高达 28%,其他三类应用仅各占 4%,但从发展趋势来看这三类应用将有较大增长。特别是美国,在 ASIC 销售额中,军事应用方面居第三位,其比重高达 18.2%而且工业应用方面增长很快,将从 1987 年的 8.6%增长到 1992 年的 12.5%。

由于工艺技术的进步,ASIC 不断向大规模化和高速化方向发展。应用日益广泛。不同的应用领域对集成规模和速度有不同的要求,如图 8 所示。针对不同的要求应选择不同工艺、不同种类的 ASIC 来实现。一般来说,目前 CMOS 应用范围最广,从小规模的民用产品到需要 10 万门以上的大型计算机中都广为应用。在光通信和测试仪器以及 LSI 测试设备等应用中,要求延迟时间小于 0.5ns 的超高速工作,宜选择 ECL 或 GaAs;在小型、超小型或大型计算机的应用中,不但要求亚毫微秒的速度,而且还要求几万门至几十万门的集成规模,则需选择 BiCMOS 工艺。工艺技术的选择是一个复杂的问题,随着技术的改进和灵活巧妙的设计,使各种工艺之间的界线变得模糊起来,其间的差别正在缩小。CMOS 和 BiCMOS 工艺的改进正在压缩双极技术独占的性能范围。图 9 示出了对于不同的时钟频率,采用不同工艺技术所占的比例。

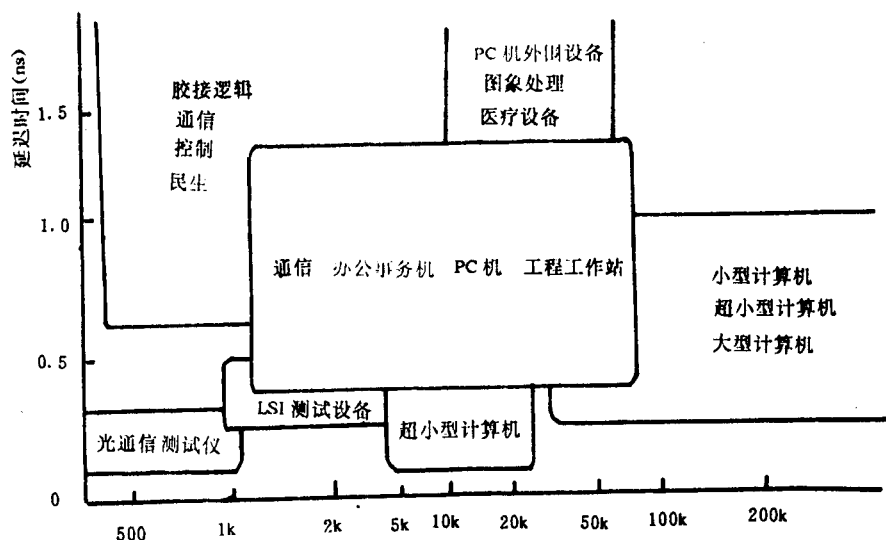


图 8 不同应用对 ASIC 的延时和门数的要求

* 将原有中小规模 IC 直接以大规模 ASIC 来实现,称之为胶接逻辑(glue logic)

不同种类的 ASIC 之间的界线也随着设计结构的发展模糊起来。特别是在门海和 CBIC 之间难分利弊。表 3 示出不同种类的 ASIC 的比较。

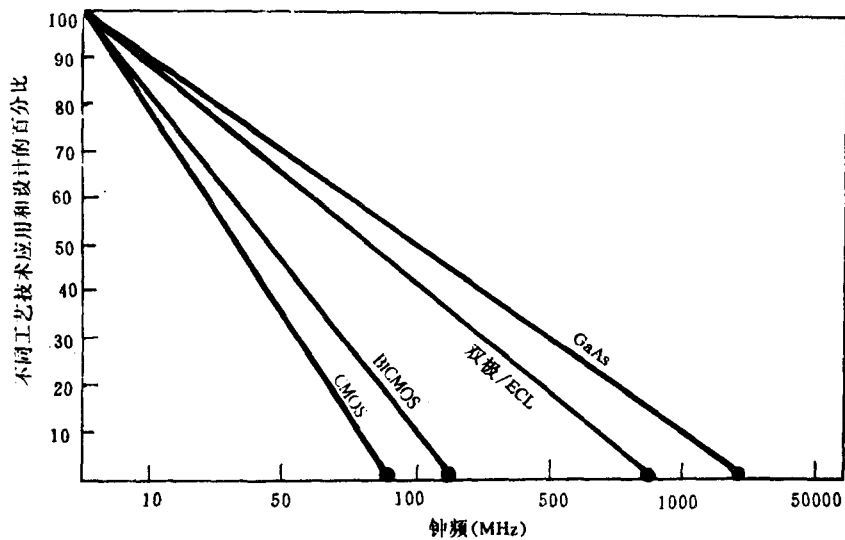


图9 在不同的钟频下,不同工艺技术应用和设计的百分比

表3 各种 ASIC 产品特点的比较

	GA	CBIC	PLD	FCIC
开发周期	短(几天~2月)	长(1~3月)	最短(几天)	最长(~1年)
开发成本	低	高	最低	最高
生产成本(单价)	中	低	最高	最低
集成度	中	高	最低	最高
芯片面积利用率	低	高	最低	最高
电路优化程度	低	高	最低	最高
设计灵活性 (自由度)	低	高	最低	最高
风险性	低	高	最低	最高
相适应的整机产量	小、中量	大	最小	最大
最近动向	• SOG 出现,集成度提高 • 应用范围扩大 • 大规模化(~300K门) • 高速化(~0.4ns) • BiCMOS	• 大规模化(~100K门) • 可编译单元 • 模拟宏单元 • BiCMOS	• 大规模化(~20K门) • 低功耗化	逐步被 CBIC 取代

对用户来说,ASIC 与标准 IC 的根本差别是采用标准电路的情况下,用户对电路设计是被动的,而在采用 ASIC 时,用户对电路设计有很大的主动权。随着工艺技术和结构设计的发展,由芯片厂家与用户密切合作来进行 ASIC 产品的开发是最佳的方式。图 10 表示出 ASIC 设计中芯片厂家与用户的关系。实际上用户可以根据自己情况参与部分设计,也可以完全委托芯片厂家或设计中心来设计。

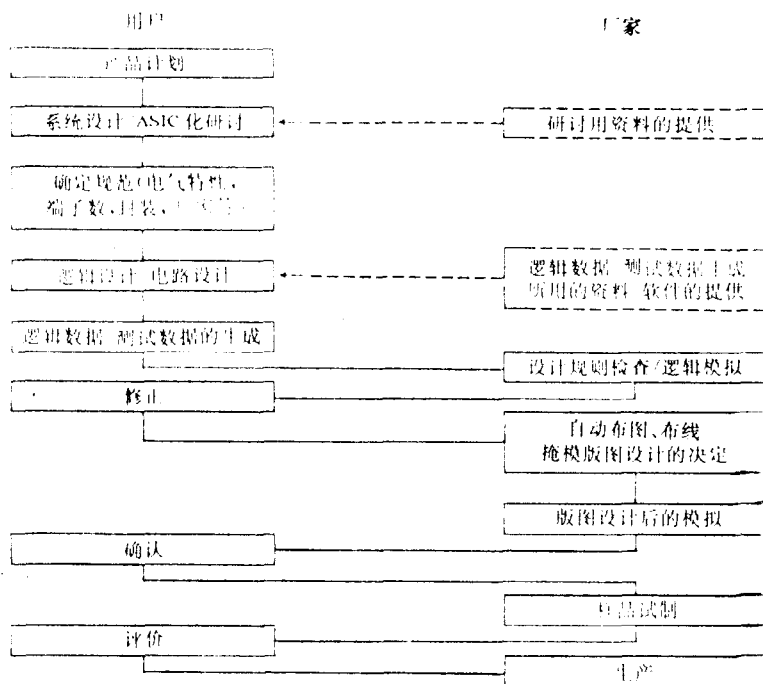


图 10 门阵列和 CBIC 开发中用户和厂家的关系

从下面一些应用实例可以看出 ASIC 对电子系统产品的革新所产生的威力和巨大的潜力。

在个人计算机中使用 ASIC, 使所需的集成电路数大大减少。例如, 1984 年, 一台 AT 型个人计算机主板要用 125 块标准逻辑集成电路和 7 块 ASIC, 而到 1989 年, 所用电路减少到 9 块标准逻辑电路和 9 块 ASIC。因此, 电路板所占空间减小 75%。

NEC 开发了作为战略情报系统 (SIS) 核心的计算机 S3600 系列。这是一种通用大型计算机, 该机采用了 NEC 新近开发的 15 万门门海, 其设计规则为 0.8μ , 延时为 300ps。中央运算处理部分都包括在一块板内。其目标是取代该公司采用双极门阵列的 S610 和 S630 大型计算机, 速度约提高到 3 倍, 功耗降到 $1/3$ 。15 万门的 BiCMOS 门阵在当今也是最高的实用化水平。逻辑电路的封装采用 48.26mm 见方的 528 条外引线的 PGA 封装。而过去 S610 和 S630 等机型采用的是 300 门或 2000 门等规模较小的双极门阵列。

ASIC 集成度不断提高, 功能不断增强, 现在已开始进入系统集成的新时代, 在一些特殊应用中显示出突出的能力。在 1990 年 2 月 ISSCC 上发表了美国施乐研究中心和斯坦福大学联合研制成功的用于 ULSI 测试的单片功能测试器, 具有 VLSI 测试器的全部功能。它采用 1.6μ CMOS 技术, 在 $9.0 \times 9.4\text{mm}^2$ 的芯片上制作了 20 万个晶体管。同时, NEC 也宣告研制成功用于机器翻译系统的 20 位字典查找处理器 (DISP), 它包含一个 160K 位相联存储器和一个近似字符串查找处理器。该芯片用 0.8μ CMOS 工艺, 三层金属布线, 共有 1200 万个晶体管, 工作频率为 33MHz。用 20 个这样的 DISP 就可以构成一个 5 万字的字典系统。日本还制作了 MUSE-E 解码器, 将 8000 块芯片 (50 万门) 的原型设计减小到 100 块芯片, 包括 26 种不同的 ASIC 设计。

四、ASIC 市场现状和预测

虽然早在 1962 年美国 TI 就提出了门阵列的概念,1969 年 RCA 又提出了标准单元设计概念,60 年代中期已有一些门阵列产品投入市场,但是,在 ASIC 发展初期,由于设计自动化程度低,ASIC 的优越性尚未充分显露出来,市场需求小,因而不如存储器和微处理器发展快。但进入 80 年代以后,随着 CAD 技术和 IC 工艺的迅速发展,开发周期短、成本低、功能强的 ASIC 既具有现实可能性,又为电子产品的加速更新换代所要求。在技术进步的驱动和市场需求的牵引下,80 年代 ASIC 进入高速发展时期,一般年增长率比标准集成电路的增长率高得多,因而在整个 IC 市场中 ASIC 所占比重不断扩大。1983 年 ASIC 所占比重不足 10%,而 1989 年已达 15.2%,预计 1993 年将增至 20%以上。

根据 Dataquest 公司市场报告的数据,可推算出不同种类,不同工艺结构的产品的比重随年代的推移和年均增长率,如表 4 所示。

表 4 各类 ASIC 产品的比重和年均增长率

	1987	1989	1994	年均增长率(%) (1989~1994 年)
ASIC 总消费额 (百万美元)	6225.1	8605.8	17814.4	15.7
MOS/ASIC(%)	70.7	73.8	72.8	15.3
双极/ASIC(%)	28.8	24.9	16.2	6.1
BiCMOS/ASIC(%)	0.50	1.3	11.0	78.6
GA/ASIC(%)	37.0	41.3	51.2	20.8
MOS/GA(%)	62.7	67.5	63.9	19.6
双极/GA(%)	35.9	30.1	20.4	11.8
BiCMOS/GA(%)	1.4	2.9	15.7	69.2
PLD/ASIC(%)	8.1	10.4	10.0	14.7
MOS/PLD(%)	16.3	37.4	73.4	31.3
双极/PLD(%)	83.7	62.6	26.6	-3.3
CBIC/ASIC(%)	15.3	18.0	26.6	25.0
MOS/CBIC(%)	96.1	95.5	84.9	22.1
双极/CBIC(%)	3.9	4.2	3.8	23.0
BiCMOS/CBIC(%)	0	0.3	11.3	154.6
FCIC/ASIC(%)	39.6	30.3	12.2	-3.5

由以上数据可以看到,世界 ASIC 市场增长迅速,在四大类 ASIC 产品中,从销售额的增长速度来看,CBIC 增长最快,其次是门阵列,PLD 也有相当的增长,只有 FCIC 为负增长。门阵列一直是 ASIC 市场的主流产品,到 1994 年将占 ASIC 市场的一半,CBIC 的比重将占 1/4 强,居第二位。两者共占 ASIC 市场的 78%左右。

从 ASIC 产品的工艺结构来看,MOS 工艺是主流,在 ASIC 市场中占 70%以上;特别是在 CBIC 中其比重高达 90%以上;在 PLD 中,MOS 器件中市场增长很快,其比重也迅速提高。BiCMOS 是近几年迅速发展起来的新技术,今后几年内 BiCMOS ASIC 年均增长率高达

78.6%，特别是在 CBIC 中竟高达 154.6%。在门阵列和 CBIC 两大类主要产品中，BiCMOS 工艺的比重也迅猛增长，双极型 ASIC 市场仍有一定增长，但其比重呈下降趋势，主要是在超高速应用中还需要采用 ECL 双极工艺。此外，最近几年，GaAs IC 技术发展迅速，GaAs 门阵列与 SiECL 门阵列相比，不但速度高得多，而且其功耗低得多。但目前由于价格较高，应用受到限制，今后随工艺技术的发展，其市场将迅速扩大。表 5 示出对这两种高速门阵列世界市场发展的预测。GaAs 门阵列市场远比 Si 双极 ECL 门阵列增长快，但其市场规模较小在超高速应用中，Si 双极 ECL 电路仍是主要产品。

ASIC 的应用主要是在逻辑电路领域。据 ICE 公司预测，ASIC 逻辑市场将迅速发展，其在逻辑集成电路市场中的比重将从 1982 年的 23% 增加到 1988 年的 39%，到 1993 年将增加到 58%，从而超过标准逻辑电路市场。由于 PLD 的独特优点，特别是近几年来可编程门阵列发展迅速，有人估计，今后 PLD 将大量取代标准逻辑电路，到 1995 年，在总的逻辑电路市场中，PLD 将占 30%，其它 ASIC 占 40%，标准逻辑占 30%。

表 5 高速门阵列世界市场现状和预测

	1988	1990	1992	1994	1996	年均增长率(%) (1988~1996)
Si 双极 ECL (百万美元)	682	912	1331	1817	2743	19
GaAs (百万美元)	2	24	94	295	792	111

五、美国军用 ASIC 的发展

(一) 市场状况

近年来美国军用集成电路占美国集成电路市场的 10% 左右，预计到 1993 年军用集成电路市场将达 23.45 亿美元，1987 年至 1993 年年均增长率为 8%，而同期军用 ASIC 年均增长率达 14.2%，到 1993 年军用 ASIC 市场将达 6.05 亿美元(见表 6)。

表 6 美国军用集成电路市场

(单位: 百万美元)

	1987	1988	1989	1990	1991	1992	1993	年均增长率 (1987~1993)
军用 IC (A)	1450	1545	1675	1865	1970	2140	2340	8%
军用 ASIC (B)	273	325	368	496	498	546	605	14.2%
B/A (%)	18.8	21.0	22.0	26.6	25.3	25.5	25.9	

军用 ASIC 是十分重要的发展领域，它在军用集成电路中所占的比重，1987 年为 18.8%，1993 年将增至 25.9%。而全部 ASIC(军用与民用合计)在全部集成电路中的比重 1988 年仅为 14.7%，1993 年也不过约 21%。

在军用逻辑电路中，ASIC 所占的比重增长更快，预计经过 1990 年至 1992 年的较平滑增长之后，1993 年将迅速增长，届时军用 ASIC 逻辑电路占军用逻辑电路的比重将达 70%。

在军用 ASIC 中，门阵列始终是主要产品，多年来其比重一直占 70% 以上。然而，预计从 1990 年起，随着 CBIC 的不断发展，CBIC 占军用 ASIC 的比重将不断增长，门阵列的比重将逐