

DSP应用开发教程系列



TMS320C54x

DSP硬件开发教程

清源科技 编著



机械工业出版社
CHINA MACHINE PRESS

DSP 应用开发教程系列

TMS320C54x DSP 硬件开发教程

清源科技 编著

机械工业出版社

本书全面介绍了 TMS320C54x 系列 DSP 的基本原理、硬件结构和资源,以及硬件电路设计。全书详尽地介绍了 TMS320C54x 系列 DSP 的 CPU 结构、存储器、寻址方法、片内外设和总线接口,并着重讲述了 DSP 的串行接口、DMA 控制器、HPI 模块、DSP 的总线接口和扩展方法以及 DSP 与各种外设的接口方法及应用板系统的设计。在介绍硬件的同时,还讲述了在硬件基础上进行软件设计的知识,包括 DSP 对语音信号的处理, FIR 滤波器、无限脉动响应滤波器(IIR)和 DSP 自举加载等。书中以丰富的实例,提供给读者学习和使用 TMS320C54x 系列 DSP 的技巧和经验。

本书主要面向从事自动控制、信息处理、语音处理、通信、多媒体、网络以及相关电子仪器仪表系统设计技术人员,也适合高校从事科研和学习的师生学习参考,是一本全面而实用的 TMS320C54x 系列 DSP 学习教程。

图书在版编目(CIP)数据

TMS320C54x DSP 硬件开发教程/清源科技编著. —北京:机械工业出版社, 2003.8

(DSP 应用开发教程系列)

ISBN 7-111-13029-4

I. T… II. 清… III. 数字信号—信号处理—数字通信系统, TMS320C54x DSP—教材 IV. TN914.3

中国版本图书馆 CIP 数据核字(2003)第 080454 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑:吉玲 封面设计:张静

责任印制:路琳

北京机工印刷厂印刷·新华书店北京发行所发行

2003 年 9 月第 1 版第 1 次印刷

787mm×1092mm 1/16·24 25 印张·596 千字

0 001—4 000 册

定价 38.00 元

编辑信箱: jiling@mail.machineinfo.gov.cn

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

本社购书热线电话(010) 68993821、88379646

封面无防伪标均为盗版

前言

目前, DSP (Digital Signal Processor) 已经广泛应用于高速自动控制、图像处理、通信技术、无线电、语音处理、网络设备、医疗设备、仪器仪表和家电等领域; DSP 为数字信号处理提供了高效而可靠的硬件基础。目前, 应用最广泛的 DSP 是 TI (德州仪器) 公司的产品, 占到全球市场的 60% 左右, 并广泛应用于各个领域。TI 公司 DSP 的主流产品包括 TMS320C2000 系列(包括 TMS320C2x/C2xx)、TMS320C5000 系列(包括 TMS320C5x/C54x/C55x)、TMS320C6000 系列(包括 TMS320C62x/C67x), 本书主要介绍 TMS320C54x 系列 DSP。

TMS320C54x 系列 DSP 是适合于语音处理、图像处理、医疗仪器和通信技术等领域的一种 DSP。TMS320C54x 系列 DSP 具有先进的修正哈佛结构(一条程序总线、三条数据总线和四条地址总线)、专门硬件逻辑的 CPU、片内存储器、片内外设和专用的指令集合将 TMS320C54x 系列 DSP 的 CPU 和片内存储器与外设配置组合在一起的螺旋结构, 使得它可以满足众多领域的应用要求。

本书将详细地讲述 TMS320C54x 系列 DSP 的芯片结构、片内外设原理和结构、系统和外设的资源。在此基础上, 介绍如何使用 TMS320C54x 系列 DSP 的外设, 并如何进行硬件扩展接口, 最后列举了应用板硬件电路的设计以及在硬件基础上的软件设计方法和实例。全书共分 13 章, 第 1~3 章主要讲述 DSP 的结构原理, 包括 TMS320C54x 系列 DSP 的结构、CPU 的结构原理以及存储器和 I/O 空间; 第 4~5 章主要讲述寻址方法以及程序存储器的寻址方法和中断处理; 第 6 章主要讲述 TMS320C54x 系列 DSP 的流水线操作原理; 第 7~10 章主要讲述 TMS320C54x 系列 DSP 的片内外设, 包括外设映射寄存器、定时器、通用 I/O、时钟发生器、HPI、串行接口和 DMA 控制器, 并且讲述了 DSP 的总线结构和扩展方法; 第 11 章和第 12 章讲述 TMS320C54x 系列 DSP 与外设的硬件应用接口方法和实例以及应用板的硬件电路设计实例; 第 13 章讲述在 TMS320C54x 系列 DSP 硬件基础上进行软件设计的方法和实例。全书紧扣实例进行讲解, 主要讲述 TMS320C54x 系列 DSP 的硬件结构和设计方法, 同时也兼顾应用软件的设计, 理论和实例、硬件和软件环环相扣, 适于读者学习参考。

本书非常适合使用 TMS320C54x 系列 DSP 的技术人员参考, 也适合高等学校师生学习参考, 是一本全面而实用的 TMS320C54x 系列 DSP 学习教程。

本书由清源科技公司策划支持, 具体由李健博士、刘晓东博士和江思敏博士编写, 江思敏博士负责全书统稿。由于水平有限, 时间仓促, 书中缺点和不足在所难免, 敬请广大读者批评指正。作者 Email: jiangsimin@yahoo.com。

编 者
于清华园

目 录

前言

第 1 章 TMS320C54x 系列 DSP 概述	1
1.1 DSP 概述	1
1.2 TMS320 系列 DSP 简介	3
1.3 TMS320C54x 系列 DSP 的结构和特点	4
1.3.1 TMS320C54x 系列 DSP 概述	4
1.3.2 TMS320C54x 系列 DSP 的特点	5
1.3.3 TMS320VC5410A 的引脚结构	7
1.3.4 TMS320C54x DSP 的内部硬件结构	15
1.4 总线结构	17
第 2 章 存储器和 I/O 空间	18
2.1 TMS320C54x DSP 存储器概述	18
2.2 存储器空间	18
2.3 程序存储器	26
2.3.1 程序存储器的可配置性	26
2.3.2 片内 ROM 的组织	26
2.3.3 程序存储器地址映射和片内 ROM 的内容	27
2.3.4 片内 ROM 的代码内容和映射	27
2.3.5 扩展程序存储器	28
2.4 数据存储器	30
2.4.1 数据存储器的可配置性	30
2.4.2 片内 RAM 的组织	30
2.4.3 存储器映射寄存器	32
2.5 I/O 空间	33
第 3 章 中央处理单元 (CPU)	35
3.1 CPU 状态和控制寄存器	35
3.1.1 状态寄存器 ST0 和 ST1	35
3.1.2 处理器工作模式状态 (PMST) 寄存器	38
3.2 算术逻辑单元 (ALU)	40
3.2.1 ALU 的输入	41
3.2.2 溢出处理	42
3.2.3 进位位	42
3.2.4 双 16 位模式	43
3.3 累加器 A 和 B	43

3.3.1 保存累加器的内容	43
3.3.2 累加器移位和循环操作	44
3.3.3 饱和处理累加器内容	44
3.3.4 专用指令	45
3.4 桶式移位器	45
3.5 乘法器/加法器单元	46
3.5.1 乘法器的输入源	47
3.5.2 乘法/累加(MAC)指令	48
3.5.3 MAC 和 MAS 乘法运算的饱和处理	48
3.6 比较、选择和存储单元	49
3.7 指数编码器	50
第 4 章 数据寻址	52
4.1 立即寻址	52
4.2 绝对寻址	54
4.2.1 数据存储器地址 (dmad) 寻址	54
4.2.2 程序存储器地址 (pmad) 寻址	54
4.2.3 端口地址 (PA) 寻址	54
4.2.4 *(lk)寻址	55
4.3 累加器寻址	55
4.4 直接寻址	55
4.4.1 基于 DP 的直接寻址	57
4.4.2 基于 SP 的直接寻址	58
4.5 间接寻址	58
4.5.1 单操作数寻址	58
4.5.2 ARAU 和地址产生操作	59
4.5.3 单操作数地址的修改	59
4.5.4 双操作数寻址	64
4.5.5 修正(ARP)模式	67
4.6 存储器映射寄存器寻址	68
4.7 堆栈寻址	69
4.8 数据类型	70
第 5 章 程序存储器寻址及中断处理	71
5.1 程序存储器地址的产生	71
5.2 程序计数器 (PC)	72
5.3 分支转移	73
5.3.1 无条件分支转移	73
5.3.2 条件分支转移	74
5.3.3 远分支转移	74

5.4 调用	75
5.4.1 无条件调用	75
5.4.2 条件调用	75
5.4.3 远调用	76
5.5 返回	76
5.5.1 无条件返回	76
5.5.2 条件返回	77
5.5.3 远返回	78
5.6 条件操作	78
5.6.1 使用多个条件	79
5.6.2 条件执行 (XC) 指令	79
5.6.3 条件存储指令	80
5.7 重复单条指令	80
5.8 重复一个指令块	81
5.9 复位操作	82
5.10 节电模式	83
5.10.1 IDLE1 模式	84
5.10.2 IDLE2 模式	84
5.10.3 IDLE3 模式	84
5.10.4 保持 (Hold) 模式	85
5.10.5 其他节电性能	85
5.11 TMS320C54x DSP 的中断系统	85
5.11.1 TMS320C54x DSP 中断系统概述	85
5.11.2 中断标志寄存器 (IFR)	86
5.11.3 中断屏蔽寄存器 (IMR)	88
5.11.4 接收中断请求	89
5.11.5 应答中断	90
5.11.6 执行中断服务程序 (ISR)	90
5.11.7 保存中断上下文	91
5.11.8 中断等待时间	91
5.11.9 中断操作流程	92
5.11.10 重新映射中断向量地址	93
5.11.11 中断和中断向量表	94
第 6 章 流水线	99
6.1 流水线操作	99
6.1.1 流水线的分支转移指令	101
6.1.2 流水线中的调用指令	103
6.1.3 流水线中的返回指令	104

6.1.4	流水线中的条件执行	106
6.1.5	流水线中的条件调用和分支转移	107
6.2	中断和流水线	108
6.3	双访问存储器和流水线	109
6.3.1	解决取指和读操作数之间的冲突	111
6.3.2	解决写操作数和读双操作数之间的冲突	111
6.3.3	解决写操作数、写操作数和读双操作数之间的冲突	112
6.4	单访问存储器和流水线	113
6.5	流水线等待	114
6.5.1	访问存储器映射寄存器的推荐指令	114
6.5.2	更新 ARx、BK 或 SP——解决冲突	115
第 7 章	TMS320C54x DSP 的片内外设	117
7.1	片内外设映射寄存器	117
7.2	通用 I/O	120
7.2.1	分支转移控制输入引脚 ($\overline{\text{BIO}}$)	121
7.2.2	外部标志输出引脚 (XF)	121
7.3	定时器	121
7.3.1	定时器寄存器	121
7.3.2	定时器操作	123
7.4	时钟发生器	124
7.4.1	时钟发生器的硬件连接	124
7.4.2	硬件可配置的 PLL	125
7.4.3	软件可配置的 PLL	126
7.5	主机接口 (HPI)	131
7.5.1	主机接口的基本功能描述	133
7.5.2	HPI 接口操作	134
7.5.3	HPI 控制寄存器 (HPIC)	136
7.5.4	主机对 HPI 的读/写访问	138
7.5.5	DSPINT 和 HINT 功能操作	139
7.5.6	CPU 处于 IDLE2/3 状态下的 HPI 存储器的访问	140
7.5.7	复位时 HPI 存储器的访问	141
7.6	增强的 8 位 HPI (HPI-8)	142
7.6.1	增强的 8 位 HPI(HPI-8)	142
7.6.2	HPI-8 数据引脚配置为通用目标 I/O 引脚	149
7.7	增强的 16 位 HPI(HPI-16)	150
7.7.1	HPI-16 操作概述	150
7.7.2	多路复用模式	153
7.7.3	非多路复用模式	156

7.7.4 HPI-16 存储器映射	158
7.7.5 HPI-16 和 DMA 的相互关系	159
7.7.6 复位时的 HPI-16 操作	160
7.7.7 在 IDLE _n 模式下的 HPI-16 操作	160
7.7.8 改变时钟模式时的 HPI-16 访问	160
第 8 章 串行接口	161
8.1 串行接口概述	161
8.2 标准串行接口	161
8.2.1 串行接口寄存器	161
8.2.2 串行接口操作	162
8.2.3 配置串行接口	163
8.2.4 脉冲串模式发送和接收操作	166
8.2.5 连续模式的串行接口的发送和接收操作	171
8.2.6 串行接口操作注意事项	172
8.2.7 串行接口操作实例	175
8.3 带缓冲的串行接口 (BSP)	176
8.3.1 BSP 概述	176
8.3.2 标准模式的 BSP 操作	177
8.3.3 自动缓冲单元 (ABU) 操作	180
8.3.4 BSP 操作注意事项	185
8.3.5 BSP 节电操作模式	187
8.4 时分复用 (TDM) 串行接口	187
8.4.1 基本的时分复用操作	188
8.4.2 TDM 串行接口寄存器	188
8.4.3 TDM 串行接口的操作	189
8.4.4 TDM 串行接口的发送和接收操作	191
8.4.5 TDM 串行接口操作注意事项	192
8.4.6 TDM 串行接口操作实例	192
8.5 多通道带缓冲串行接口 (McBSP)	195
8.5.1 McBSP 的特性	195
8.5.2 McBSP 的内部结构和工作原理	196
8.5.3 McBSP 的配置	198
8.5.4 接收和发送控制寄存器 RCR[1,2]和 XCR[1,2]	202
8.5.5 数据发送和接收的操作流程	206
8.5.6 μ 律/A 律压缩扩展硬件操作	212
8.5.7 可编程的时钟和帧	213
8.5.8 McBSP 多通道选择配置	218
第 9 章 外部总线及其扩展	223

9.1 外部总线接口	223
9.2 外部总线操作的优先级	224
9.3 外部总线控制	225
9.3.1 等待状态发生器	225
9.3.2 分区转换逻辑	227
9.4 外部总线接口时序	229
9.4.1 存储器访问时序	229
9.4.2 I/O 访问时序	231
9.4.3 存储器和 I/O 访问时序	232
9.5 复位和节电模式的时序	234
9.5.1 复位时序	234
9.5.2 IDLE3 节电模式唤醒时序	235
9.6 保持模式	236
9.7 程序存储器的扩展应用	240
9.7.1 TMS320C54x DSP 与 Flash ROM 的接口	240
9.7.2 TMS320C54x DSP 与 SRAM 的接口	242
9.7.3 TMS320C54x DSP 与 28F400B3 的接口及软件读写操作	243
第 10 章 直接存储器访问(DMA)控制器	249
10.1 DMA 概述	249
10.2 DMA 的操作和配置	250
10.2.1 寄存器寻址	250
10.2.2 DMA 通道优先级和使能控制寄存器 (DMPREC)	253
10.2.3 通道上下文寄存器	255
10.3 扩展寻址	265
10.4 DMA 存储器映射	265
10.4.1 TMS320C5402 DMA 存储器映射	266
10.4.2 TMS320C5410 DMA 存储器映射	266
10.4.3 TMS320C5420 DMA 存储器映射	267
10.5 DMA 传输延迟	269
10.6 节电模式下的 DMA 操作	271
10.7 DMA 应用编程实例	271
第 11 章 TMS320C54x DSP 硬件接口设计	277
11.1 TMS320C54x DSP 的电源设计	277
11.1.1 DSP 供电电源设计	277
11.1.2 3.3V 和 5V 混合逻辑设计	278
11.2 DSP 系统的硬件复位电路	279
11.3 TMS320C5410 与 TLC320AC01 的连接及软件处理	281
11.3.1 TLC320AC01 简介	281

11.3.2	TLC320AC01 与 TMS320C54xDSP 的串行接口	282
11.3.3	使用 TLC320AC01 的声音回送的程序实例	284
11.4	TMS320C5410 与 TLV320AIC10 的连接	286
11.4.1	TLV320AIC10 简介	286
11.4.2	TMS320C54x DSP 与 TLV320AIC10 的连接	288
11.4.3	软件实现	288
11.5	TMS320C5402 与 PCI 总线的接口设计	290
11.6	TMS320C54x DSP 与 PC 并行接口的接口设计	292
第 12 章	TMS320C54x DSP 的应用板硬件系统	301
12.1	TMS320C54x DSP 应用板的特性	301
12.1.1	TMS320C54x DSP 应用板简介	301
12.1.2	TMS320C54x DSP 应用板的关键特性	301
12.1.3	TMS320C54x DSP 应用板的功能框图	302
12.2	TMS320C54x DSP 应用板说明	302
12.2.1	电源接口	303
12.2.2	存储器接口	303
12.2.3	晶体振荡器的选择	305
12.2.4	模拟接口	305
12.2.5	总线扩展	305
12.2.6	JTAG 接口	310
12.2.7	串行接口	311
12.2.8	与音频编解码器 (TLC320AD50) 的接口	311
12.2.9	自举加载	312
12.2.10	跳线端子	314
12.2.11	信号灯 (LED)	318
12.2.12	复位	318
12.3	GAL 逻辑程序	318
12.3.1	TMS320C5402 的存储器译码 GAL 逻辑程序	318
12.3.2	TMS320C548/C549/C5410 的存储器译码 GAL 逻辑程序	320
12.3.3	TMS320C5416 的存储器译码 GAL 逻辑程序	322
12.3.4	I/O 控制 GAL 逻辑程序	323
12.4	TMS320C54x DSP 应用板的电路图	325
第 13 章	TMS320C54x DSP 的软件设计	337
13.1	TMS320C54x DSP 的软件开发工具	337
13.2	集成开发环境 (CCS)	339
13.3	FIR 滤波器的设计	341
13.4	IIR 滤波器的设计	346
13.5	CODEC 应用程序的实现	349

13.6 TMS320C54x DSP 的自举加载	352
13.6.1 8 位或 16 位并行 EPROM 模式自举加载	353
13.6.2 I/O 自举加载	355
13.6.3 串行 (SP) 自举加载	356
13.6.4 热自举加载	358
13.6.5 HPI 自举加载	358
13.7 软件编程时需注意的几个问题	362
附录 TMS320C54x DSP 的片内外设映射寄存器	364
参考文献	373

第 1 章 TMS320C54x 系列 DSP 概述

TMS320C54x 系列低功耗的 16 位定点数字信号处理器 (Digital Signal Processor—DSP)，是 TMS320 家族的 DSP 系列产品之一。本章对当前 TMS320 家族做一个概述，并介绍 TMS320C54x 系列 DSP 的结构和特点。本书除标题外，其他地方均使用 C54x DSP 代替 TMS320C54x 系列 DSP。

1.1 DSP 概述

数字信号处理是一门广泛应用于许多领域的新兴学科。20 世纪 60 年代以来，随着计算机和信息技术的飞速发展，数字信号处理技术应运而生并得到迅速的发展。在过去的 20 多年时间里，数字信号处理已经在通信等领域得到极为广泛的应用。

1. 什么是 DSP

DSP，也称数字信号处理器，是一种具有特殊结构的微处理器。DSP 的内部采用程序总线 and 数据总线分开的哈佛结构，具有专门的硬件乘法器，广泛采用流水线操作，提供特殊的数字信号处理指令，可以用来快速实现各种数字信号处理算法。根据数字信号处理的要求，DSP 一般具有如下的主要特点：

- (1) 在一个指令周期内，可完成一次乘法和一次加法。
- (2) 程序和数据空间分开，可以同时访问指令和数据。
- (3) 片内具有快速 RAM，通常可通过独立的数据总线，在两块芯片中同时访问。
- (4) 具有低开销或无开销循环及跳转的硬件支持。
- (5) 快速的中断处理和硬件 I/O 接口支持。
- (6) 具有在单周期内操作的多个硬件地址产生器。
- (7) 可以并行执行多个操作。
- (8) 支持流水线操作，使取指、译码、取操作数和执行等操作可以重叠执行。

2. DSP 的系统构成

图 1-1 所示为一个典型的 DSP 系统框图。图中的输入信号可以有各种各样的形式。例如，它可以是传声器输出的语音信号或是电话线来的调制数字信号，也可以是编码后在数字链路上传输或存储在计算机中的图像信号等。

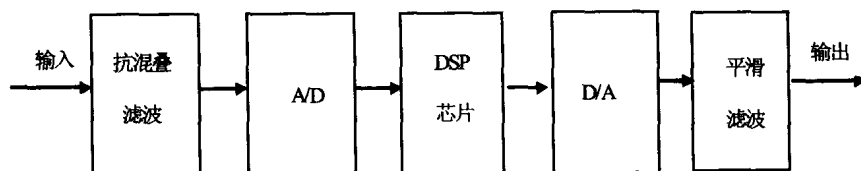


图 1-1 典型的 DSP 系统框图

输入信号首先进行滤波和采样，然后进行 A/D (Analog to Digital) 转换将模拟信号转换

为数字信号。DSP 的输入是 A/D 转换后得到的数字信号，DSP 对输入的数字信号进行处理，经过处理后的数字样值再经 D/A (Digital to Analog) 转换变为模拟信号，最后输出平滑的模拟信号，驱动功率器件或其他元件。

3. DSP 的基本结构

DSP 的基本结构包括：

(1) 哈佛结构。哈佛结构的主要特点是将程序和数据存储在不同的存储空间中，即程序存储器和数据存储器是两个相互独立的存储器，每个存储器独立编址，独立访问。与两个存储器相对应的是系统中设置了程序总线 and 数据总线，从而使数据的吞吐率提高了一倍。由于程序和数据存储在两个分开的空间中，因此取指和执行能完全重叠。

(2) 流水线操作。流水线与哈佛结构相关。DSP 广泛采用流水线，以减少指令执行的时间，从而增强了处理器的处理能力。处理器可以并行处理 2~4 条指令，每条指令处于流水线的不同阶段。图 1-2 所示为一个四级流水线操作的例子。

(3) 多总线结构。许多 DSP 内部都采用了多总线结构，这样保证在一个机器周期内，可以同时访问数据和程序存储空间。因此可以解决传统芯片的总线冲突问题，使系统的速度和效率大大提高。

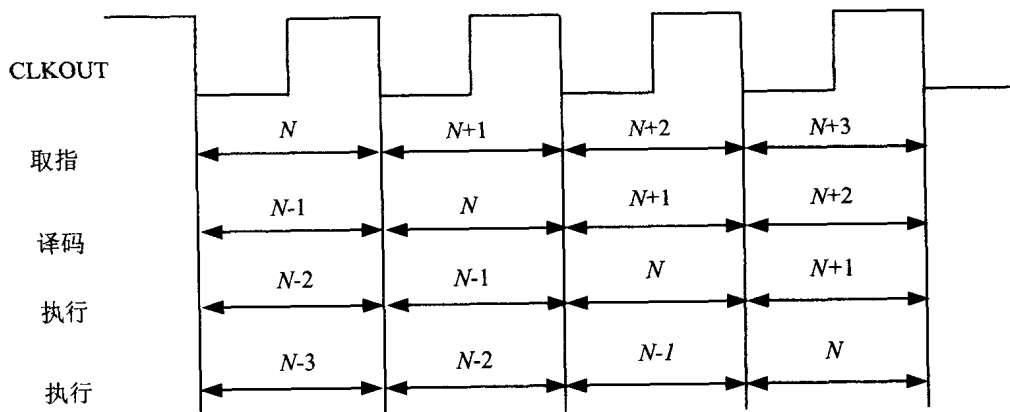


图 1-2 四级流水线操作

(4) 专用的硬件乘法器。乘法速度越快，DSP 的性能越高。由于具有专用的应用乘法器，乘法可在一个指令周期内完成。

(5) 特殊的 DSP 指令。为了更好地满足数字信号处理应用的需要，在 DSP 指令系统中，设计了一些特殊的 DSP 指令，以完成一些专门的运算。例如 C54x DSP 的 FIRS 指令，专门用于 FIR 滤波运算。

(6) 快速的指令周期。哈佛结构、流水线操作、专用的硬件乘法器、特殊的 DSP 指令，再加上集成电路的优化设计，可使 DSP 的指令周期在 50ns 以下，现在高档的 DSP 指令周期可以达到 5ns。

4. DSP 系统的特点

数字信号处理技术在近几年得到迅速的发展，应用非常广泛。它之所以发展如此迅速，主要是因为其有如下优点：

- (1) 接口和编程方便灵活。
- (2) 稳定性、可靠性好。
- (3) 精度高。
- (4) 时分复用。
- (5) 易于集成。

5. DSP 的应用

近年来, DSP 已经在信号处理、通信、雷达等许多领域得到广泛的应用。目前, DSP 的价格越来越低, 性能价格比日益提高, 具有巨大的应用潜力。DSP 的应用主要有:

- (1) 用数字信号处理, 如数字滤波、自适应滤波、快速傅里叶变换 (FFT)、相关运算、谱分析、卷积、模式匹配、窗函数、波形发生器等。
- (2) 通信领域, 如调制解调器、自适应均衡、数据加密、数据压缩、回声消除、传真、扩频通信、纠错编码、移动电话、网络通信等。
- (3) 语音处理, 如语音编码、语音合成、语音识别、语音增强、语音邮件、语音存储等。
- (4) 图形/图像, 如二维或三维图形处理、图像压缩与传输、图像增强、机器人视觉、指纹识别、图像识别等。
- (5) 军事, 如保密通信、雷达信号处理、声纳信号处理、导航与制导、航天器控制、全球定位系统 (GPS) 等。
- (6) 工业领域, 如机器人技术、数控机床、数字电机、电力系统、生产过程模拟和控制等。
- (7) 仪器仪表, 如频谱分析、函数发生器、模态分析、暂态分析、锁相环、数字示波器等。
- (8) 自动控制, 如伺服控制、机器人控制、自适应控制、人工神经网络控制等。
- (9) 医疗仪器, 如助听、超声设备、诊断工具、病人监护等。
- (10) 消费电子电器, 如高保真音响、高清晰度电视、音乐合成、音调控制、玩具与游戏等。

1.2 TMS320 系列 DSP 简介

TMS320 系列 DSP 包括定点、浮点、多处理器 DSP 和定点 DSP 控制器。TMS320 系列 DSP 的体系结构专为实时信号处理而设计, 该系列 DSP 控制器将实时处理能力和控制器外设功能集于一身, 为控制系统应用提供了一个理想的解决方案。下列特性使 TMS320 系列 DSP 成为很多信号处理及控制应用的正确选择:

- (1) 非常灵活的指令集。
- (2) 内部操作的灵活性。
- (3) 高速运算能力。
- (4) 改进的并行结构。
- (5) 低功耗。
- (6) 面向 C 语言的软件系统。

TI 公司在 1982 年成功推出了其第一代 TMS32010、TMS32011、TMS320C10/C14/C15/C16/C17 等 DSP，之后相继推出了第二代 TMS32020、TMS320C25/C26/C28 等 DSP，第三代 TMS320C30/C31/C32 DSP，第四代 TMS320C40/C44 DSP，第五代 TMS320C5x/C54x DSP，第二代 DSP 的改进型 TMS320C2xx，集多个 DSP 于一体的高性能 TMS320C8x DSP 以及目前速度最快的第六代 TMS320C62x/C67x 等 DSP。TI 公司将常用的 DSP 归纳为三大系列，即：TMS320C2000 系列（包括 TMS320C2x/C2xx）、TMS320C5000 系列（包括 TMS320C5x/C54x/C55x）、TMS320C6000 系列（TMS320C62x/C67x），如图 1-3 所示。

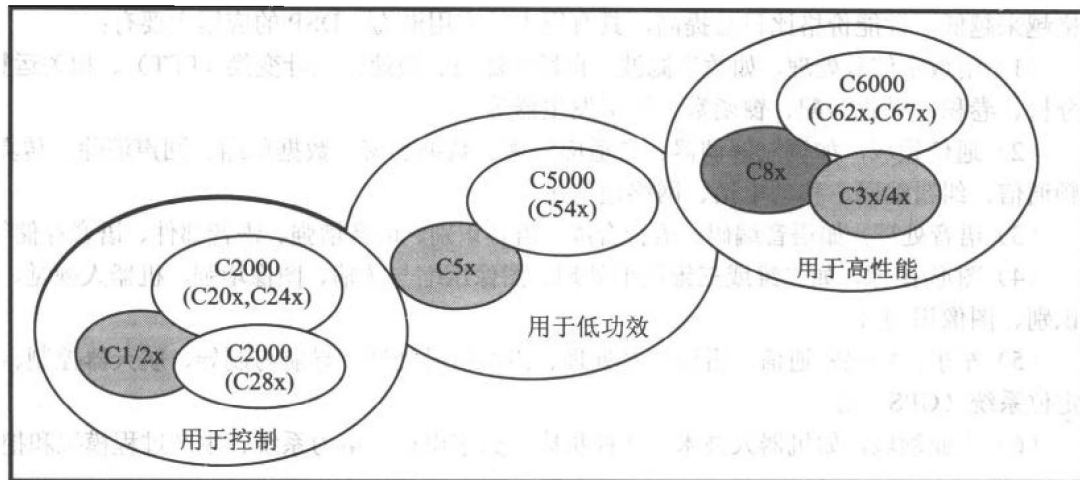


图 1-3 TI 公司 DSP 产品系列

TMS320 家族中同一代的 DSP 具有相同的 CPU 结构，但片内存储器和外设配置是不同的。派生的器件使用了新的片内存储器和外设来满足全球电子市场上大范围的应用需要。通过把存储器和外设集成为一个单片器件，TMS320 系列 DSP 降低了系统功耗，并节省了电路板的空间，提高了系统的可靠性。

1.3 TMS320C54x 系列 DSP 的结构和特点

1.3.1 TMS320C54x 系列 DSP 概述

C54x DSP 具有很高操作灵活性和速度。它具有先进的修正哈佛结构（一条程序总线、三条数据总线和四条地址总线）、专门硬件逻辑的 CPU、片内存储器、片内外设和专用的指令集、将 C54x DSP 的 CPU 和片内存储器与外设配置组合在一起的螺旋结构，使得它可以满足电子市场众多领域的应用要求。

C54x DSP 具有以下优点：

- （1）增强的哈佛结构。具有一条程序总线、三条数据总线和四条地址总线，使系统的性能大大增强。
- （2）具有高度平行和带有专门硬件逻辑的先进 CPU 设计。
- （3）为快速算法而设计的高度专用的指令系统以及优化的高级语言开发系统。

- (4) 模块化结构设计。
- (5) 高性能和低功耗的先进 IC 工艺技术。
- (6) 新的静电设计结构而获得的低功耗和增强的抗辐射能力。

1.3.2 TMS320C54x 系列 DSP 的特点

C54x DSP 是为实现低功耗、高性能而专门设计的定点 DSP 芯片，其主要特点包括：

1. CPU

- (1) 先进的多总线结构（一条程序总线、三条数据总线和四条地址总线）。
- (2) 40 位算术逻辑单元（ALU），包括一个 40 位的桶式移位器和两个独立的 40 位累加器。
- (3) 17 位×17 位并行乘法器和一个 40 位专用的加法器，用于非流水线的单周期乘法/累加（MAC）操作。
- (4) 比较、选择、储存单元（CSSU），用于维特比算子的加法/比较选择。
- (5) 指数编码器 E，用来在一个单周期内计算一个 40 位累加器中数值的指数。
- (6) 两个地址产生器，包括八个辅助寄存器和两个辅助寄存器算术单元。

注意：C5420 具有双 CPU/核心结构。

2. 存储器

- (1) 192K 字×16 位可寻址的存储器空间（64K 字的程序空间、64K 字的数据空间和 64K 字的 I/O），对于 C548、C549、C5402、C5410 和 C5420 DSP，可以扩展程序空间为 8M 字。
- (2) 片内配置见表 1-1。

表 1-1 C54x DSP 的片内配置 (单位: K 字)

芯片	程序 ROM	程序/数据 ROM	DARAM ^①	SARAM ^②
C541	20	8	5	0
C542	2	0	10	0
C543	2	0	10	0
C545	32	16	6	0
C546	32	16	6	0
C548	2	0	8	24
C549	16	16	8	24
C5402	4	4	16	0
C5410	16	0	8	56
C5420	0	0	32	168

① 双访问 RAM。

② 单访问 RAM。

3. 指令集

- (1) 单指令重复和块重复操作。