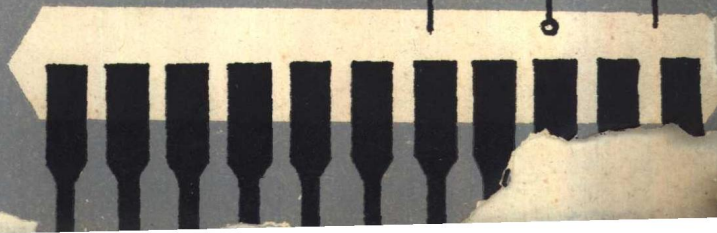
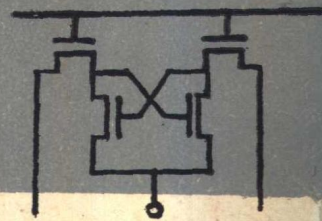


半导体存储器测试技术

上海半导体器件研究所



前 言

半导体存储器是大规模集成电路在数字系统中首次成功的应用。当前，它正有力地冲击着整个计算机存储系统领域，而且在此领域中，它将最终取代传统的磁芯存储器。

随着半导体存储器向多品种、高速和高集成化等方向发展，测试问题显得越来越突出和重要。原来磁芯存储器所沿用的测试方法已不能完全适用于半导体存储器的测试了。因此，如何有效、经济地测试半导体存储器已日益引起有关科研和生产部门的重视。

为了配合国内电子工业赶超世界先进水平和研制、生产半导体存储器的需要，我们从近几年国外半导体测试会议文摘等方面编译了部分资料，内容包括 MOS、双极型随机存取存储器、只读存储器和电荷耦合存储器的测试，供从事此项工作的工人、技术人员、领导干部及高等院校师生作参考。

在本书的编译过程中，我们曾得到华东计算技术研究所、上海计算技术研究所、四机部1424所、复旦大学等单位有关同志的帮助。华东计算技术研究所的俞书良同志和我所王儒全同志对本书的编译工作给予了热情的支持和帮助。上海人民出版社的王麟坤同志为本书绘制了封面。在此，致以衷心的感谢。

我们欢迎读者对本书所存在的问题与错误提出宝贵的批评和意见。

上海半导体器件研究所情报资料室

1977年10月



录

半导体存储器测试技术.....	(1)
动态存储器.....	(15)
半导体存储器测试.....	(18)
MOS存储器的图形灵敏度.....	(27)
4096位随机存取存储器的图形灵敏度.....	(29)
MOS随机存取存储器的诊断性测试.....	(37)
随机存取存储器的测试图形及测试对策.....	(44)
4 K随机存取存储器的测试问题及其解决方法.....	(52)
严密、高速的“移动变反”测试图形.....	(61)
存储器测试对策.....	(67)
只读存储器和可编程序只读存储器的测试需要什么条件.....	(75)
静态双极型随机存取存储器的测试.....	(86)
在芯片和插件板一级测试双极型半导体存储器所遇到的问题.....	(97)
电荷耦合存储器的测试原理.....	(99)
多少测试项目才够数?	(111)
存储器和大规模集成电路的时间测试的必要性.....	(116)
器件测试系统之探讨.....	(131)
第三代测试系统的新结构.....	(141)
计算样品统计分布的四次测量及通知非正态性分布的一种快速工作程序.....	(147)
汇编结构及改正算法.....	(153)
高速存储器 / 随机逻辑测试系统.....	(160)

半导体存储器测试技术

高 融

一、引言

测试技术是集成电路研制和生产中的关键课题之一。所谓测试,是指在研制、生产和使用集成电路时,对其主要电学特性、功能的一种测量和检验。这种测试,一方面用来判断产品质量的好坏,合格与否;另一方面则是要取得一些重要的数据,从而为改进工艺和提高产品质量服务。先进的集成电路制造技术要求研究与之相适应的测试技术,而后者反过来又促进前者的发展,因此,测试技术与电路制造技术的发展并驾齐驱。

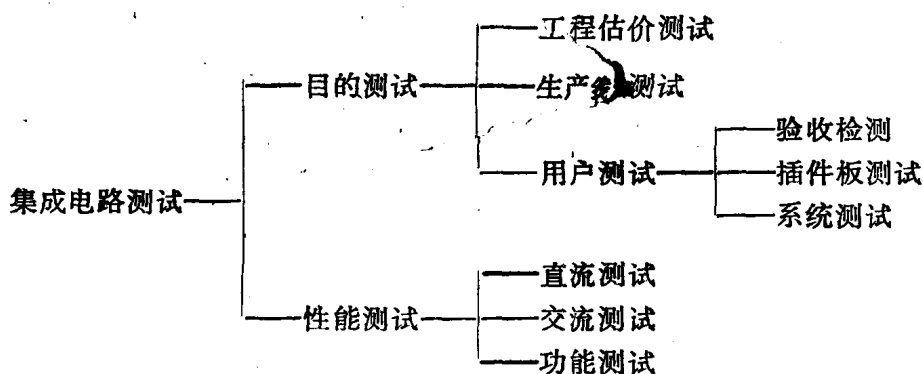
国外存储器系统测试已有二十多年的历史,这种测试主要是围绕着磁芯存储器进行的。六十年代中期,在计算机存储系统领域中,半导体存储器异军崛起,别树一帜,向磁芯存储器提出了强有力的挑战。它与后者相比,具有体积小、速度快、功耗小、成本低、可靠性高及工艺简单等优点,因此,崭露头角就显示了强大的生命力。目前,尽管磁芯存储器仍然支配着存储器领域,且其本身的发展尚未达到炉火纯青的地步,但它最终将被一种新技术——无疑是半导体技术所取代。随着半导体存储器的问世与发展,测试技术进入了一个新阶段。原来磁芯存储器所沿用的测试技术已不能适应半导体存储器测试的需要。

这两者的主要差别在于,磁芯存储器在组装前,它的每一个元件(包括每一颗磁芯、驱动器、读出放大器、译码电路等)均已经过测试,所以至少可以说在组装前它的每一个元件都是合格的。而半导体存储器则不然,由于其制造工艺和结构上的固有特点,无法事先对芯片上的每一个元件(存储单元、外围电路等)进行测试,故它不具备前者那种能保证每一个元件都合格及可更换元件的优点。而且可以肯定,在园片划片时将有一些不合格的管芯被剔除。从某种意义上来说,这是一种“一锤子买卖”,即要么通过,要么失效。由此可见,测试半导体存储器的复杂程度相当于一种系统测试。

半导体存储器的测试问题对制造厂和用户双方提出了一种挑战,即一方面随着它向高速、高集成化、多品种方向发展,存储器的测试成本变得如此昂贵,以致名目繁多的测试项目会使产品贵得无法销售,而另一方面随着它的大量生产,为了扩大销路,必然要求降低包括测试成本在内的产品成本和销售价格。这是一个突出的矛盾。解决这一矛盾的唯一办法只能从研究先进的测试技术和提高测试效率着手。本文将对国外半导体存储器测试技术作一扼要阐述。

二、测试分类及内容

集成电路测试按测试种类和内容可分为目的测试与性能测试两类,其组成如下,



1. 目的测试

半导体存储器从产品设计，研制投产，到用户使用通常经过下面三个主要测试阶段：

(1) 工程估价测试

工程估价测试的目的旨在选择作最终定型投产用的研制产品。在新产品设计与研制的最初阶段，制造厂无法用任何经济和有效的方法对它们进行充分的测试。为了解该产品的特性，检测失效与识别失效模式，并对设计作某些修改，厂方几乎必须用详尽无遗的方法（例如，结合温度、电压、定时等因素，采用多种 N^2 型图形）来测试器件，以便发现问题，采取改进措施，从而使其日臻完善，并最终能大量、经济地投产。因此，该阶段的测试显得尤为重要。它往往需要复杂和多能的测试设备。

(2) 生产线测试

生产线测试系指新产品定型投产后，在生产线上对产品进行某些项目的测量和检验。其任务是保证出厂产品的质量和合格性。半导体存储器的生产线测试是在几种不同的范围和级别进行的，这里我们仅仅介绍圆片探针台测试与封装后的测试。

a) 圆片探针台测试

它亦称管芯测试或初测。其任务是识别合格和不合格的管芯，然后对可能合格的管芯进行适当地测试。测试内容包括部分功能测试和某些重要的直流参数测试。不合格的管芯则做上记号。在划片后，将其剔除。为提高测试效率，在这一级测试上，测试每一个管芯的时间应不超过几百毫秒。

b) 封装后的测试

亦称总测，其测试范围要比初测更广泛，通常包括直流参数、功能和交流测试。功能测试的时间取决于器件的复杂程度和所采用的测试程序，一般在几百毫秒至几秒之间。直流参数测试的时间要比后两者来得长。交流测试往往最后进行。

(3) 用户测试

考虑到器件误测、装运、贮存过程中引起的缺陷或失效以及用户的特殊要求等情况和因素，用户通常在三个方面对来自制造厂的产品进行测试。这三个方面是验收检测、插件板测试和系统测试。

验收检测的内容大致与厂方的最终测试内容相仿。在这一步，必须对器件进行百分之百的功能检查，而参数测试则限于漏电流、时间响应测量及输入、输出阈电平等方面。插

件板和系统测试则是将存储器件及其它部件组装成插件板或整机后,模拟实际使用情况进行测试。

2. 性能测试

(1) 直流测试

a) 输入输出信号管脚漏电流

这是检测MOS电路栅电极破坏的方法。若有破坏,则将输入输出晶体管的栅、源或漏短路后,时钟、地址或控制信号等的输入输出管脚就会流过大电流,操作时应注意静电破坏。为防止输入输出信号管脚中的静电破坏,通常在芯片内部设保护电阻及利用MOS击穿电压的电路,保护内部,以防浪涌电压。

b) 备用时的电源电流

动态存储器的电源(尤其是漏的电源电压 V_{DD}),电流为微安级。若电流过大,就会破坏芯片内部的栅电极,或熔断布线,故应考虑由此而造成的影响。

c) 衬底偏电流

这是判断p-n结好坏的方法。在动态存储器存储单元内的p-n结额定容量中,关键问题是流经衬底的漏电流的大小。倘若存储器标准规格的环境温度为 70°C ,刷新时间为2毫秒,每位的漏电流在 10^{-10} 安以下,那么在4K随机存取存储器中,存储器阵列内的漏电流就必须控制在4微安以下。如果电流过大,动态存储器的特性就可能产生问题。

(2) 交流测试

a) 电源电流

工作时的平均电流决定功耗,根据可靠性和刷新时间的限制来决定平均电流的最大允许值。由于峰值电流同与噪声有关的存储器卡片的设计或电源设计等有关,故这是一项常规测试项目。

b) 取数时间与周期时间

在测试这两项参数时,首先应规定输出电压的“1”、“0”判断电平及输出信号的负载能力。若出现电源电压变动最大、最高结温、存储单元的存储电荷量最小这三种情况,则为速度最坏情况,故测试时尤需注意。应在允许的电源变动范围内,在取数时间或存取周期时间为最坏的条件下进行测试,并在最高环境温度与最大功耗(周期时间为最长)造成沟电导最小时的最高结温条件下测试速度。

c) 刷新时间

刷新时间与 V_{DD} 、 V_{BB} 、温度、以及p-n结中的漏电流等因素有关。例如,采用常规工艺的存储器,对于 50°C 的温度变化,刷新时间的变化约为一个数量级。此外,它还敏感地受到电路设计的影响,因此刷新时间的测试十分重要,一定要全部进行测试。

d) 地电位的变化

地电位的变化会影响取数时间与刷新时间。例如,当输入输出电压为TTL电平时,若地电位变化,则输入电压只要降低地电位变化的大小,速度(取数时间)就会下降。由曳尾电流而引起的存储单元中的电荷在读出线上消失,则容易使刷新时间下降。这是测试或使用时必须注意的一点。

交流测试常需与功能测试结合进行,如取数时间、存取周期时间往往是在某些图形及寻址时序下表现出最坏情况,而功能测试中的乒乓法与跳步写恢复法对取数时间与周期时间均能产生较坏条件。

(3) 功能测试

鉴于功能测试的重要性和复杂性,有关这方面的内容将在下一节单独加以阐述。

三、功能测试

所谓功能测试就是对存储器的读写功能进行测试,这种读写功能测试是在改变寻址序列与改变数据图形相结合的情况下进行的。内容包括检测所有存储单元能否正确地读出、写入数据与保持数据,地址译码器等外围电路能否正常工作等等。由于人们可能在任何可想象到的地址顺序中对随机存取存储器(RAM)进行寻址,因此,为寻找在各种情况下,所有可能产生的不合格因素,严格说来,必须对所有存储单元内数据的全部组合状态进行测试。在存储单元数为 n 的存储器中,由于每一位均能存取“0”和“1”这两个数据,故全部单元可能的结合就成为 2^n 。对1K RAM而言, $2^n = 2^{1024}$ 。在任何现实的数据速率下,产生 2^{1024} 个不同的图形须费时几百年,显然这是根本行不通的。因而只能选择能揭示电路中最坏条件的那些数据图形来进行测试。目前尚未找到一种适用于所有半导体存储器的最坏条件的图形,所以必须针对不同的半导体存储器选用不同的测试图形,以获得较佳的测试效果。

测试图形必须考虑能检查,(a)存储单元的简单读写功能,(b)寻址系统的正常工作,(c)单元间的相互干扰,(d)信息的保持。此外,还必须针对电路或工艺的固有弱点进行检查。

下面对目前常用的数据图形作一简单归纳:

1. 全“1”、全“0”法(All “1”、All “0”)

首先将“1”或“0”写入所有存储单元中,然后逐位读出,并将读出数据立即重新写入该单元。这样重复读写多次。若所有读出数据为全“1”或全“0”,则此项检验通过,反之,就通不过。

全“1”、全“0”法是一种最初步的测试方法。其目的是检验存储器的所有存储单元是否都具有存“1”、存“0”的功能,它至多只能保证存储器中有一个合格存储单元,而无法检查出译码器的故障。例如当地址译码器出故障,使地址不能按次序选中时,必然会使某些行或列永远选不中;另一些行或列则连续被选中。这样就会造成假象和误会。该方法的测试时间为 $4NT_c$ (N 为位数, T_c 为周期时间)。

2. 求反

首先将“1”写入所有存储单元,然后逐位读出,并立即将“0”写入该单元。在下一周期则读“0”,写“1”。这样周而复始下去。若读出数据连续为 N 位个“1”和 N 位个“0”,该项检验就算通过,否则就通不过。此方法可检测地址译码器故障。

3. 下雨

首先将“1”写入所有单元,然后逐位读出(应为“1”),并将各单元读出的数据与前一个单元的数据进行半加,再将半加后的结果写回刚读出的这个单元,如此循环,不断

进行读写。它不仅能检验各单元读、写“1”、“0”的功能与地址译码器的功能，而且也能检验每一个单元所存数据对其它各单元所存数据的抗干扰能力。

4. 校验板法 (Checkboard)

亦称棋格法或梅花检查。它将交替的“1”和“0”象方格花纹那样写入所有单元中，然后从所有单元中读出。其主要目的是检测存储阵列中相邻单元之间的短路。由于所测位的相邻单元所存数据均相反，故能检查相邻位的扩散层间的穿通所引起的漏电流，寄生MOS的 V_{th} 低而引起的漏电流，或存储器阵列内的布局所引起的耦合噪声等对刷新时间的影响。校验板法至多只能保证存储器中有两个合格单元，它对译码器故障的检测是不完全的。其测试时间为 $4NT_c$ 。若存储器的存取周期时间为500毫微秒，则测试1K RAM的时间为2毫秒，4K RAM为8毫秒，16K RAM为32毫秒。图1示出校验板法的示意图。

1	0	1	0
0	1	0	1
1	0	1	0
0	1	0	1

图1 校验板法的示意图

5. 地址互补法 (Address Complement)

亦称多重地址选择 (MASEST)。其特征是写入全部单元，然后读出全部单元时，写入与读出的顺序是 A_0 (第1号地址)、 A_{N-1} (第N-1号地址)、 A_{N-2} (第N-2号地址)、 A_1 (第2号地址)、 A_2 (第3号地址)、 A_{N-3} (第N-3号地址)……即后一个地址是已测地址的补码。该方法可检查地址译码器动作的不稳定性。由于地址译码器的各输入电压 (即地址倒相器的输出) 几乎在每两个周期中就要高低变化一次，故用周期性的地址选择是无法看出的。测试时间为 $4NT_c$ 。

6. 步进法 (Marching)

首先将“0”写入所有单元中。第二步，从 $A_0 \rightarrow A_{N-1}$ (最小到最大地址) 顺次在各单元中先读“0”，后写“1”。第三步，从 $A_{N-1} \rightarrow A_0$ 顺次在各单元中先读“1”，后写“0”。这样，所有单元又都写上了“0”。这种方法被用来检查多重寻址与译码器，且可检查写入时的噪声对存储器特性的影响。它能保证正确的地址译码，并能证实每个单元存储“1”、“0”的能力。所需测试时间为 $10NT_c$ 。

7. 走步法 (Walking)

分走步“1”和走步“0”两种方式。首先将全“0”写入所有单元中，接着在 A_0 中写入“1”。为了检查这个写入对其它地址的影响，从 A_1 到 A_{N-1} 读出“0”。然后从 A_0 读出“1”，以检查其它地址的连续读出对 A_0 的影响。再在 A_0 中写“0”，复原。然后，对所有单元重复这一过程。当“1”走步通过“0”背景后，图形变反，以进行“0”走步

通过“1”背景的检查。该测试图形对于测试直流图形的灵敏度，检测功能好坏，及地址的正常工作来讲是有效的。同时还能检查译码器与其它位的读出所产生的影响。测试时间为 $2(N^2 + 6N)T_c$ 。图2示出走步法的示意图。

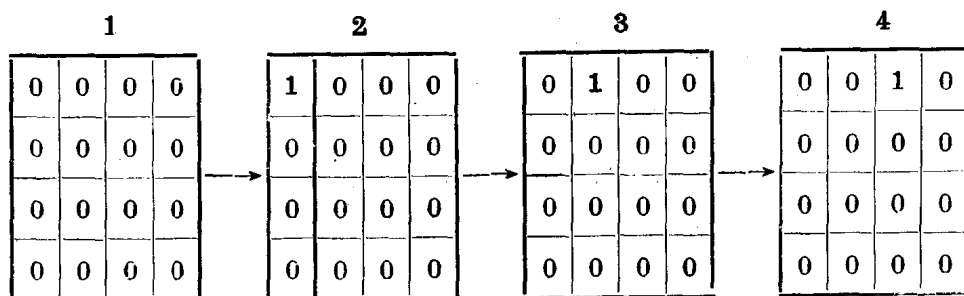


图2 走步法的示意图

8. 跳步法 (Gallop)

所有单元写“0”。将 A_0 作为测试单元，先读“0”，后写“1”。然后，交替读该测试单元与其它各地址，即从 A_0 中读“1”，从 A_1 中读“0”，从 A_0 中读“1”，从 A_1 中读“0”等。该测试单元重新写入“0”，然后各单元依次作为测试单元。再用相反数据重复此举。这是一种图形灵敏度测试，用它来检查从一个地址到其它任何地址的最坏情况下的取数时间。这种方法还可检查动态译码器与读出的影响等。跳步法是RAM最通常采用的测试方法之一，它在检测RAM的失效模式方面是较为有效的，其缺点是测试时间较长，为 $8N^2T_c$ 。图3示出跳步法的示意图。

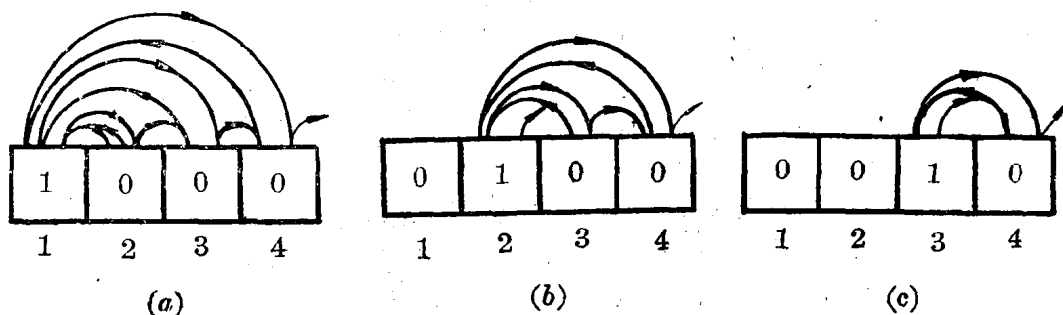


图3 跳步法的示意图

9. 乒乓法 (Ping Pong)

这是一种简化了的跳步法。首先将“0”写入所有单元，接着 A_0 写“1”，然后 A_1 读“0” → A_0 读“1”， A_2 读“0” → A_0 读“1”……， A_{N-1} 读“0” → A_0 读“1”，这样交替地读出。测试时间为 $(4N^2 + 6N)T_c$ 。

10. 跳步写恢复法 (Galloping Write Recovery)

首先将“0”写入全部单元。先考虑 A_0, A_1 写“1” $\rightarrow A_0$ 读“0” $\rightarrow A_1$ 写“0” $\rightarrow A_0$ 读“0” $\rightarrow A_1$ 读“0” $\rightarrow A_2$ 读“0”， A_2 写“1” $\rightarrow A_0$ 读“0” $\rightarrow A_2$ 写“0” $\rightarrow A_0$ 读“0” $\rightarrow A_2$ 读“0” $\rightarrow A_3$ 读“0”，…… A_{N-1} 写“1” $\rightarrow$ ……，然后考虑 A_1 ，重复此举。此方法与跳步法的区别在于后者是检查读出影响的，而前者则是检查写入影响的。测试时间为 $(12N^2 + 2N) T_c$ 。

11. 列条法 (Column Bars)

将“0”和“1”（垂直条图形）如图4所示交替地写入各列。此图形用来检测相邻列间可能产生的短路。由于在列读出线上，将产生最大量的数据变化，因此，该图形还可对整行同时刷新的RAM作最坏情况的刷新测试。

1	0	1	0
1	0	1	0
1	0	1	0
1	0	1	0

图4 列条法的示意图

12. 行条法 (Row Bars)

将“0”和“1”（水平条图形）如图5所示交替地写入各行。此图形用来检测相邻行间可能产生的短路。该图形还被用作某些动态刷新测试的背景图形。

1	1	1	1
0	0	0	0
1	1	1	1
0	0	0	0

图5 行条法的示意图

13. 对角线法 (Diagonal)

背景写入“0”或“1”，而对角线（即行地址等于列地址的单元）则写入与背景互补的数据（“1”或“0”）。此方法用来检测译码器故障。图6示出其示意图。

1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	1

图6 对角线法的示意图

14. 奇偶图形法 (Parity)

此方法将地址奇偶性数据写入各存储单元，然后从最小地址到最大地址读出数据。由于任何译码器的失效会引起保存互补数据的两个单元相连，且改变其一的内容，故此方法可用来检测译码器和单个矩阵单元的失效。图8示出奇偶图形法的示意图。

偶 数				奇 数			
0	1	1	0	1	0	0	1
1	0	0	1	0	1	1	0
1	0	0	1	0	1	1	0
0	1	1	0	1	0	0	1

图8 奇偶图形法的示意图

15. 干扰法 (Disturb)

如图9所示，在a地址写入“1”，然后在a-1和a+1地址分别写入“0”，检查地址是否为“1”，在a-1和a+1地址分别写入“1”，检查a地址是否为“1”。a-1和a+1地址反复写入“1”和“0”，检查a地址是否受到干扰。

0	0	0	1	0
a-1	a	a+1		
0	1	1	1	0
a-1	a	a+1		
0	0	1	0	0
a-1	a	a+1		

图9 干扰法的示意图

干扰法可分为读干扰、行干扰、写修改行干扰、正交干扰、对角线干扰、环绕干扰等，这里不一一赘述。

16. 移动变反法 (Moving Inversion)

地址以 2^0 、 2^1 、 2^2 、 2^3 …… 2^n 次方的增量变化 (n = 地址位数)，最大增量即为 2^n 。而数据是每读出一遍以后全部变成反码。与跳步法相比，此方法的优点是以较短的测试时间获得较多的地址跳跃。

以上测试图形围绕着地址和数据的变化可以互相结合从而引伸出新的图形。如校验板法可以一个一个单元相间变化，也可如图10所示以四个、十六个单元……相间变化成为不同尺寸的方格图。

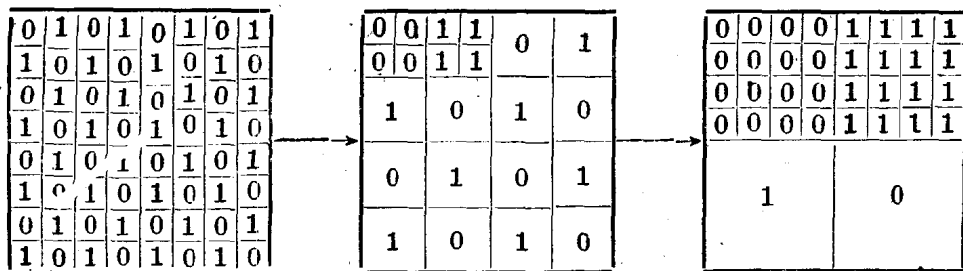


图10 四个、十六个单元相间变化的校验板

数据图形按测试时间可分为N型与 N^2 型两类（N为存储器单片容量）。在上述数据图形中，全“1”全“0”法、校验板法、行列条法、步进法、对角线法、奇偶图形法、地址互补法等均属N型图形，而走步法、跳步法、乒乓法、跳步写恢复法等均属 N^2 型图形。由于对完整、有效与经济的测试来说，N型图形省时但不彻底， N^2 型图形彻底但费时或浪费，因此用户与制造厂之间对究竟采用何种图形为好这个问题争论不休，至今尚未偃旗息鼓。为寻求简单而有效的方案，制造厂通常在N型中选择一些有效图形进行测试，而通过抽样的方法，用 N^2 型图形来进行鉴定。但随着存储器向大容量方向发展，测试时间越来越冗长，因而必须寻求种种省时的方法。所谓移动对角线(Shifted or Sliding Diagonal)就是在此基础上产生的，这是一种 $N^{\frac{1}{2}}$ 型图形。首先按固定对角线法将“0”和“1”分别写入各存储单元与对角线内。然后在列方向上，存储器从最小地址读到最大地址。在第0列，存储器将在读63个“0”后读一个“1”。在第63列，存储器将在读一个“1”后读63个“0”。接下来将对角线右移一次，重写存储器，然后再读。此图形重复64次就能保证每一个读出放大器读过63个“0”后读一个“1”及所有其它组合。然后用互补数据图形重复上述此举。这种方法对检测读出放大器故障来说是有效的。此图形的示意图示于图10。

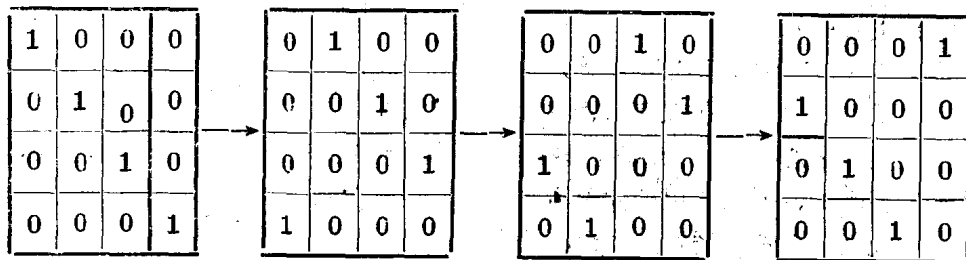


图10 移动对角线法的示意图

四、半导体存储器的失效方式

半导体存储器的失效方式可分为两种，一种是硬失效即致命失效，另一种是软失效。现简介如下，

1. 硬失效

这种失效方式通常表现为部分甚至全部存储单元根本不能进行读写操作，且完全失去存储功能。它往往是由于工艺或掩模版的缺陷所造成的。常见的硬失效有，存储单元的短

路或开路，地址倒相器或地址译码器的短路或开路以及读出写入迴路的短路或开路。此外，由于漏电过大或击穿电压太低往往也会导致某些存储单元随着工作时间的增加而完全失效。

2. 软失效

在某些寻址时序或存储矩阵中某种数据分布下，一些存储单元的信息由于耦合电容而受到破坏，也就是表现出对图形的灵敏度。这种现象称为软失效。例如寻址序列变化时，引起行、列译码器传输延迟的变化，有时往往使读出和写入时间拉长，以致无法在正常的速度下工作。同时会增加存储矩阵的寄生效应，发生错误的耦合，以致破坏正确的存储数据。数据图形变化时，也会造成寄生效应或不应有的单元间耦合。在一定的地址时序下，有些数据图形使读出放大器在写周期内过载，以致读出时它来不及恢复，由此就会造成数据出错或使读出周期拉长。在高速工作情况下，随着芯片内部温度的升高，内部节点的漏电增加，这样就可能使存储电荷泄漏，并使存储单元失效。因此，不得不用增加刷新次数的办法来加以弥补。

在半导体存储器的失效方式中，图形灵敏度是一个值得注意的问题。图形灵敏度分为致命失效和软性失效两大类。致命失效系指存储器一个具体位置上数据的实际变化，而软性失效则是指由于时序或数据图形不同而引起的工作特性的变化。由于测试器件的数据图形总是有限的，所以图形灵敏度问题有时经常在系统工作时表现出来，而不出现于器体测试过程。

五、测试仪概况

随着半导体存储器向高集成度、高速化方向发展，对研制高速、高水平存储器测试仪的要求越来越迫切了。本节择其要者，撮要如下。

1. 测试仪发展概况

国外数字集成电路测试系统的发展大体上经历了三代。第一代测试系统，即最早的集成电路自动测试系统(ATS)仅仅用来测试小规模集成电路，其中包括初期的DTL与TTL逻辑电路，及某些早期的MOS器件。测试内容通常包括直流、交流以及很有限的功能检测。该系统最显著的特征系采用硬件逻辑来实现其控制功能，机器都是全自动化的。由于第一代测试系统的硬件控制逻辑过于严格，因此它将机器的灵活性限制得很死，使其无法摆脱最初设计概念的束缚。随着程序特性的任何变化或器件的发展，就要求硬件或机器功能作相应的变化与扩展。第二代测试系统的特征是将小型计算机作为测试系统的控制器。测试系统的电子设备与计算机直接接口，且全部控制操作均通过一个专用的软设备系统来实现。该系统的另一个重要特点就是采用高级测试程序语言，并有效地将计算机作为数据处理机来整理测试结果。与第一代相比较，尽管第二代的功能有了较大改进，但由于结构复杂等方面的原因，它的灵活性实际上并不能全部实现。测试仪的模块化是第三代结构的最重要特征之一。它与前两代的主要区别在于它采用了多重信息处理机控制网络。该系统的典型结构是以适当配备了一些中小规模的数据存储器和处理设备的通用小型计算机为中心的。与前两代测试系统相比，第三代在应用的灵活性、测试容量、系统扩展及经济性等

方面均显示出显著的优点。

2. 部分测试仪介绍

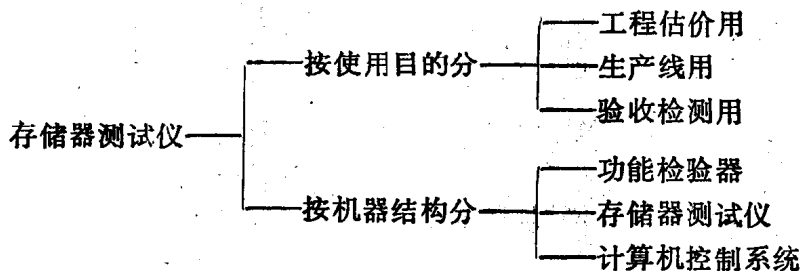
1969年, 美国麦克罗达他 (Macrodata) 公司研制成功MD—200型测试仪, 测试频率为2兆赫。1973年后又出现了测试频率为10兆赫的多重处理机型式的MD—154与MD—500系列。MD—154型实际上是一种级联计算机控制系统。由于半导体存储器的功能测试需要成百万个测试图形, 所以从通常的中断缓冲寄存器来产生这些测试图形既不切合实际又不经济, 这就需要一个能用算法联机产生测试图形的多重处理机。这样一可省去中断缓冲存储器, 二可提供真实的器件速度而无需附加操作时间。MD—154型由在计算机控制下的七块模块组成, 每块模块均能脱离其它部件独立工作。这七块模块是, (a)作测试控制与数据存储用的序列发生器(定序器), (b)产生功能测试图形的多重处理机(MD—104), (c)直流测试用的自动参数测试仪(MD—84), (d)指定电压、电流的程序可变电源(MD—45), (e)指定定时信号的可编程序时钟发生器(MD—74), (f)信号条件、被测器件与系统连接的管脚电子盒(MD—34), (g)数据入口或电传打字(ASR—33)。

日本武田理研 (Takeda Riken) 公司的LSI测试系统大体分为两类, 一类是功能较全的通用测试系统, 如T320/10等。一类是功能比较单一的专用测试系统。当前武田理研以搞专用测试系统为主, 并认为这是今后主要发展方向。测试系统的构成方式, 一般采用一台TCC—1200电子计算机 (即NOVA 1200) 控制一台测试仪, 并配上三台测试台 (指管座部分)。据认为, 这种方式较为合理。测试速度正在向30~50兆赫以上发展。

武田理研公司研制的T—320系列LSI测试系统采用计算机来控制。该系统的测试范围包括MOS和双极型集成电路、LSI/MSI逻辑阵列、RAM、ROM、印刷电路板及模块, 测试内容包括直流、交流和功能测试。它可配备三台测试台。T—320系列按测试功能可分为T—320/20、T—320/30存储器测试系统和T320/13双极型测试系统。

近年来研制成功并市售的存储器测试仪中有美国泰拉丁 (Teradyne) 公司的J387、麦罗达他公司的MD—150、西德西门子公司的Model 203、日本三和电子公司的Model 3500/20、武田理研公司的T—320/70等。

3. 测试仪分类



(1) 工程估价用

这类测试仪的主要用途是对研制中的存储器产品进行工程估价, 测试速度为10~20兆赫。表1列出以工程估价为主的美日各公司生产的半导体存储器测试仪。

(2) 生产线用

使用于生产线测试, 测试速度为10兆赫。产品有美国西部太平洋系统 (PWS) 公司的

表1 美日各公司的半

制造厂家	仙童公司 Sentry 600	麦克罗达他 公司 MD-500	阿达尔 公司 Doctor64	西方数字 公司 Spartan 770	武田理研 公司 T-320/20	麦克罗达他 公司 MD-150
测试频率	200毫微秒~ 40毫秒 可选择100毫 微秒~40毫秒 4个量程	最高为10兆赫	200赫~ 10兆赫	100赫~8兆赫 (最高) 12.5毫微秒1 挡	10赫~10兆 赫 10毫微秒1 挡	最高5兆赫
选通脉冲及 时钟相位数 时钟幅度 延迟最小分 辨能力	8相 10毫微秒~5 毫秒,4个量程 10毫微秒,可 选择0.16	8相 双相时钟	4相时钟 用Sawoo- th示波器 发生	6相	4相(最多 6相) 10毫微秒~ 99.9999毫 秒,可选择1 毫微秒	5相 最小1毫微秒
地址管脚数 输入输出管 脚数	图形发生器选 择12个管脚, 最多30个管脚	64个管脚 可选择128个 管脚	64个管脚	24~48个管脚 20~40个管脚 1/2数据管脚	48个管脚	最多42个管脚
测试台		2台可同时连 接,最多可达 4台	4台	3台	3台	
输入电平 比较器电平	+6~-30伏 可进行1/2转换 +6~-10.23 伏10毫伏1挡 +6~-30伏 40毫伏1挡 转换速度 1,000伏/微秒		驱动器, 可进行1/2 转换	驱动器0~-30 伏,0.1伏1挡 比较器0~-30 伏10毫伏过激 10毫微秒1毫 伏/毫微秒, 100PF	驱动器0~ ±30伏可进 行1/2转换, 振幅30伏 1伏/毫微秒	0~±30伏 0~±30伏
中央处理机	FST-1		PDP 8L		TACC- 1200M	Nova 1200
直流电源 直流测定	1~102.3伏 1微安~102.3 毫安 直流电源 漏电测定 耐压测定	4台 0~±100伏 电压测定7个 量程 在功能测试中 也能进行		V _{DD} V _{GG} 直流测定 多个管脚 同时测定	最多4台 0~±30伏 计测 0~±300 毫安 0~±81.9 伏	2台 0~±25伏 0~±50伏 计测 0~±100伏 ±100毫微安 ~±100毫安
标准 测试图形	校验板 全0 全1 走步1,0 对角线 乒乓	用MD-104发 生图形 跳步 多重地址选择 步进 其他		走步1,0 行干扰测试等 用微程序发生	用检验器 T-310/35 产生	用MD-100 检验器产生
微程序 存储器	32字 8位			使用27-40个 管脚的图形存 储器		
软件	Schmoo图 组合Schmoo图	16类自动作 成直方图 延迟时间测试			标准偏差 有限值偏差 批量分析	

导体存储器测试仪

阿达尔公司 Doctor 12	康普特斯特公司 Venture I	泰拉丁公司 J384	武田理研公司 T-320/30	康电子公司 3500	三和电子公司 SIM-4000	国际电气公司 VA-7000
5兆赫 可选择2种	100~400微秒 1~400微秒 可用4种微程序转换	250千赫~2.5兆赫 250千赫~10兆赫 可选择20兆赫	10赫~10兆赫	100赫~10兆赫(最大)	10千赫~10兆赫 人工设定	0.1赫~5兆赫
	8相, 4相可组成双相时钟0~40微秒, 1毫微秒1挡, 0~400微秒, 100毫微秒1挡	选通脉冲1相, 时钟4相, 使用无源电路, 分辨能力1:4000	8相时钟选通脉冲2相0~99.9999毫秒, 10毫微秒分辨能力, 可选择1毫微秒	5相	4相 人工设定0~10微秒	相位脉冲8种 最小10毫微秒
内有刷新计数器, 刷新定时器, 9~36个管脚	X 8个管脚 Y 8个管脚 附地址倒频器9~72个管脚	12个管脚 4个管脚	最多48个管脚 地址最大16位 数据最大18位	24个管脚型 最多32个管脚 脚最多20个管脚1%通路	X 6个管脚 Y 6个管脚	X 6个管脚 Y 6个管脚 输入1(最多4)输出1(最多4)内有刷新定时器
		4台	3台			最多2台
	MOS用驱动器0~±30伏 高+30~-5伏 低-30~+5伏 10毫伏1挡 1伏/毫微秒	MOS用驱动器, 0~±20伏, 比较器, ±2伏, 1毫伏, ±20毫安, 10微安	$V_{IH} + 30 \sim -5$ 伏 $V_{IL} + 5 \sim -30$ 伏 ±6伏/±30伏 1伏/毫微秒	0~±30伏 0~±30伏 1伏/毫微秒	+1.0~+20伏 -1.0~-20伏 伏比较器基准电源1台0~±10伏上升, 下降15毫微秒以下	+25~-5伏 -25~+5伏 ±2.5伏, ±25伏 1伏/毫微秒
PDP 8M 4K字	可选择CPU		TACC-1200 M, 16K字	Mingcom 2200		
	3台 0~±30伏 0~±10伏	3台 ±20伏 计测 ±1.2微安 ±500毫安 ±1.6~±160伏	4台 ±6伏/±30伏 计测 0~±300毫安 0~90伏	最多5台 0~±30伏 100微安~500毫安量程	3台 0~±200毫安	3台 +25~-5伏 -25~+5伏 VF可检出电流
	走步数据 乒乓 环绕干扰 邻位干扰 隅角干扰 位互补 其他		用检验器 T-310/35产生	跳步, 多重地址选择 WarfabRamdat Desres RawfabWalk Shipat	写和读 步进 走步 跳步 用接线盘产生程序	
32字 24位	16字 32位			不合格数据分析 地址分析 边缘测试分析		16字 40位
		Schmoo 图等				

System 40、日本三和电子公司的 Model SIM—4000、国际电气 LSI 存储器测试系统的 VA—7000等。

(3) 验收检测用

用户将其用来检验来自制造厂家的产品。这类测试仪以通过/失效测试为主，并适当地进行某些失效分析和可靠性评价。

(4) 功能检验器

功能检验器由驱动器、比较器、电源、定时系统及控制部件等组成。它具有产生图形的能力，图形发生速度为 5~40 兆赫，图形通常从贮存功能测试图形的程序库中选择，且不能由用户来修改。测试每一种存储器分别都需要有一块专门的硬件板（亦称性能板）。这块性能板限定了驱动器电平、电源电平、比较器阈电压与定时。功能检验器仅仅作出通过/失效的决定，它不能进行直流参数测试。这类检验器有麦克罗达他公司的 MD—100、104，仙童公司的 Ranger 1，康普特斯特（Computest）公司的 Interrogator 901，武田理研公司的 T—310/35，三和电子公司的 Model 1600、1610 等。机器售价为 1 万至 4 万美元。

(5) 存储器测试仪

存储器测试仪由可程序驱动器、比较器与定时系统等组成，它具有直流参数测试能力。图形发生器通常是可程序的，以产生特定的测试图形来满足特殊需要。它与功能检验器的另一个不同之处是，驱动器电平、电源电平、比较器阈电压、定时通过机器程序来限定。为提高测试速度，通常采用自动处理机来代替人工插入。机器售价为 4 万至 8 万美元。

(6) 计算机控制系统

该系统采用高级语言编程序，它不仅能进行通过/失效测试与直流参数测试，而且能列出在给定的测试程序下失效的器件数。其中，某些系统还可定量分析器件特性，譬如决定器件在不同的时钟速率和各种电源电平下的安全工作范围等。测试数据可在行式打印机上打印或在终端设备上显示，甚至还可产生三维图。机器售价为 8 万至 12 万美元。

六、结 语

综上所述，测试技术不仅在集成电路研制与生产中，而且在产品的经济成本中，均扮演了一个重要的角色。就国内大规模集成电路发展水平而言，电路制造与测试技术之间的矛盾并不显得十分突出。但随着国内这门技术的日趋成熟与完善，测试问题的紧迫性和重要性将越来越为人们所认识。

考 资 料

- [1] 《IEEE Testing to Integrated Semiconductor Memories into Computer Mainframes》，1972.
- [2] 《电子材料》（日）Vol.13, No.1, 1974.
- [3] 《电子材料》（日）Vol.13, No.9, 1974.
- [4] 《电子计测》（日）Vol.16, No.11, 1976.
- [5] 《Electronic Package and Production》，Vol.14, No.2, 1974.
- [6] 《Electronic Package and Production》，Vol.16, No.8, 1976.
- [7] 《Computer Design》，Vol.15, NO.12, 1976.