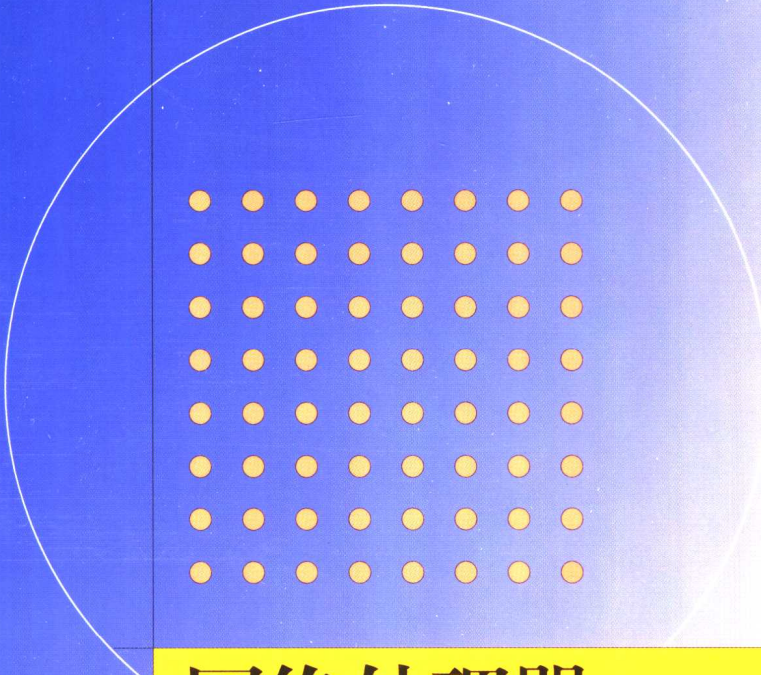


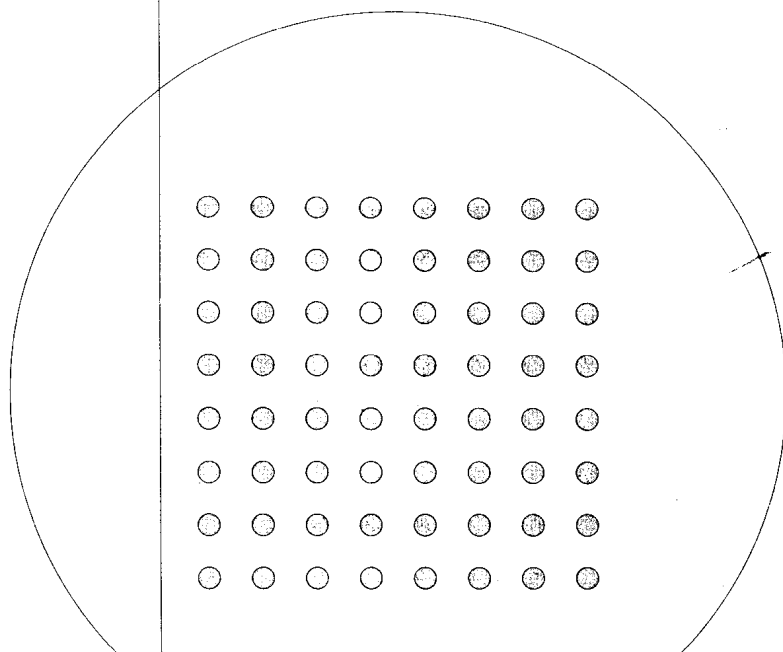


网络处理器 原理、设计与应用

石品林 程胜 孙江明 编著

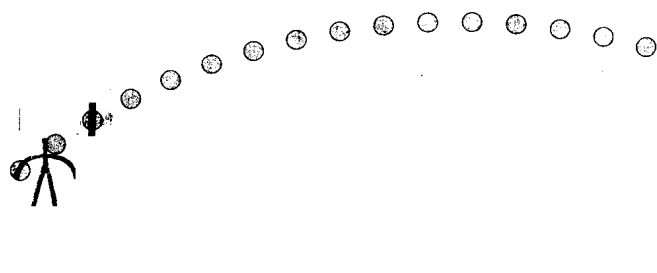


清华大学出版社



网络处理器 原理、设计与应用

石晶林 程胜 孙江明 编著



清华大学出版社
北 京

内 容 简 介

网络处理器(NP)是为网络应用领域设计的专用指令处理器,同时又是一块软件可编程的芯片。作为新兴的网络技术,它正处于高速发展时期。本书分为两个部分,第一部分介绍网络处理器的设计原理及标准规范。首先介绍 NP 的发展历史;然后简介通用网络标准及其应用,并给出其关键特征;接下来,对 IP 分组处理的技术要求及现有的解决方案进行说明;再下来介绍网络处理器的核心功能模块;最后介绍网络处理器标准化组织的工作及已制定的标准——流接口应用协议、协处理器部件接口标准 LA-1 以及网络处理器软件程序接口协议,并对现有的网络处理器及其特征进行分析,对 NP 的发展趋势做出预测。本书第二部分以 IXP1200 为核心,详细介绍了主要的应用。

本书读者对象为从事与网络处理器有关产品的开发设计人员,高等学校信息专业的高年级本科生、研究生、教师,研究机关的科研人员等。

版权所有,翻印必究。

本书封面贴有清华大学出版社激光防伪标签,无标签者不得销售。

图书在版编目(CIP)数据

网络处理器原理、设计与应用/石晶林,程胜,孙江明编著. —北京:清华大学出版社,2003
ISBN 7-302-07353-8

I. 网… II. ①石… ②程… ③孙… III. 计算机网络—微处理器 IV. TP393.02

中国版本图书馆 CIP 数据核字(2003)第 090491 号

出 版 者: 清华大学出版社

<http://www.tup.com.cn>

社 总 机: 010-62770175

地 址: 北京清华大学学研大厦

邮 编: 100084

客户服务: 010-62776969

责任编辑: 薛 慧

封面设计: 孟繁聪

版式设计: 肖 米

印 刷 者: 北京嘉实印刷有限公司

装 订 者: 北京市密云县京文制本装订厂

发 行 者: 新华书店总店北京发行所

开 本: 175×245 印张: 34 字数: 659 千字

版 次: 2003 年 12 月第 1 版 2003 年 12 月第 1 次印刷

书 号: ISBN 7-302-07353-8/TP·5335

印 数: 1~5000

定 价: 49.00 元

本书如存在文字不清、漏印以及缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话: (010)62770175-3103 或 (010)62795704。

前——为什么要使用网络处理器

随着通信技术的飞速发展，要求新一代的网络设备能够完成目前的传真业务、低速数据终端业务、视频业务、高速数据业务和多媒体终端业务的接入，能够将目前多种形式的网络，如 ATM，PSTN，DDN，X.25 等统一到同一个骨干网络环境中，实现全网的综合统一管理。除此之外，还需提供随时可能出现的新业务服务，完成业务整形、队列管理、QoS（服务质量）策略与流量工程管理，并最终实现全网灵活多样的智能化管理。这些要求在早期分组交换机和路由器中体现为更需要灵活性来支持新出台的以及经常更改的协议。高吞吐量是第二位的。这些系统由通用 CPU 和共用总线相连接的多个接口卡组成。所有从接口卡进入系统的数据通过共用总线送至处理器，由处理器处理数据且作出转发的决定。然后，数据再次通过共用总线送至目的接口卡，供传输之用。所以，当时的网络设备，如路由器或交换机都类似于 PC 机的体系结构，即，CPU+ RAM+ ROM，如图 0.1 所示。

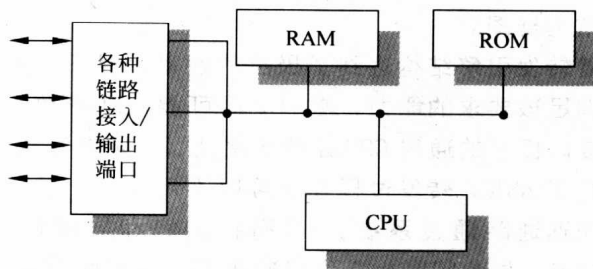


图 0.1 传统的路由器结构

图 0.1 所示类路由器的最大优点是，所有的功能几乎都由软件来完成，因此增值业务仅仅通过系统软件升级就可以实现，使得 ISP 可以在同一套系统中开发出灵活多样的服务，接入业务类型及物理端口也可以做到多样化。Cisco 2500 就是这种类型的路由交换机。

随着数据传输速率的高速增长, 共用总线结构不能令人满意地按比例增加处理速率, 这使它成为数据通路中棘手的瓶颈。为了缓解互连瓶颈, 接口卡中增添了智能处理器。这些处理器就地处理与转发大部分数据, 不再借助于主 CPU, 而有效地将转发功能分布到每块卡上。这样, 大部分数据至多通过共用总线一次而不是两次, 从而减少了总线上的业务量。

随着速度的进一步增加, 共用总线结构将寿终正寝。开始涌现出新的系统, 即以交换式结构替代共用总线。交换结构以高出 CPU 几个数量级的速度传送数据, 且可用分布式处理器进行处理, 因而消除了互连瓶颈。

在消除了互连瓶颈之后, 接口卡处理器成为新的瓶颈。一种新方案开始受到人们的喜爱, 新方案采用称为转发引擎的专用 CPU 卡的统计式共用池来实施数据处理和转发。在这类系统中, 接口卡仅发送信息包的报头, 通过交换结构送至其中一个转发引擎, 由它作出转发决定, 并将处理结果返回接口卡。接口卡再将信息包转发至相应的输出接口。

采用这个方案之后, CPU 仅需处理一部分数据, 其余的数据则直接通过高速交换结构从一个接口传送至另一个接口。新方案出现了新的术语, 即“快速通路”和“慢速通路”。任何无须 CPU 干预、直接在接口间进行传递的信息包均被认为处于快速通路中; 任何需要 CPU 处理的信息包或其一部分, 则被认为处于慢速通路中, 其中包括报头、控制包和异常包。Cisco 12000 系列就是这种方案的具体体现。

Cisco 公司提出的是多层交换式转发加路由软件计算 (Cisco 的一项 ASIC 专利) 的方案, 它将硬件交换转发的高速性与软件路由计算的灵活性结合起来, 其代表产品是 Catalyst 5000s。它对高速、大容量交换机提出的解决方案是多级的并行交换处理, 如 GSR12000。图 0.2 给出了 Cisco 公司的交换式路由器结构框图。

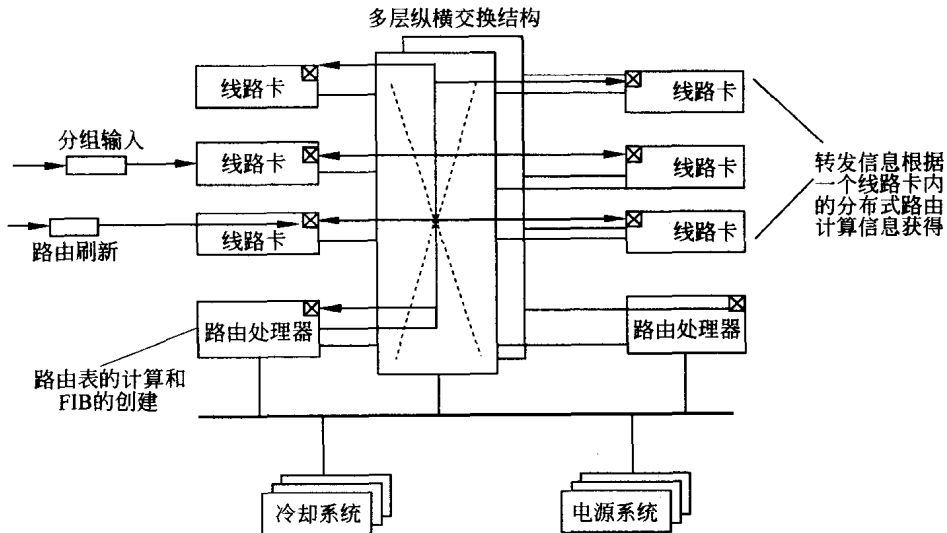
尽管转发引擎结构达到了极高的效率, 但不断增加的速度远远超过了通用 CPU 满足该要求的能力, 增加了尽可能多地将数据传入快速通路的要求。因此, 接口板上的通用 CPU 让位于高速、固定功能的 ASIC。

使用了 ASIC, 转发过程几乎可以不用 CPU。这样, 大部分信息包完全可以使用快速通路通过系统。只有控制包和异常包需经过慢速通路转发至 CPU。然而, 与此同时也丧失了通用 CPU 固有的可编程能力。系统设计者仍处于最初的权衡带宽或灵活性、速度或可编程性的两难境地。

设计人员梦寐以求的是这样一种器件: 既能安放在接口卡的快速通路中, 类似于固定功能 ASIC; 又具有更高级的编程能力, 类似于通用 CPU 的功能。这就是可编程网络处理器(programmable network processor)。

可以说, 网络处理器 (network processor, NP) 的出现是由于网络规模的膨胀性增长、用户对带宽需求的急速增加、各种新业务的层出不穷, 使得基于软件的业务处理机无法胜任新的工作。NP 的出现从另一方面说明了分组

处理不能再简单地依靠微处理器，而必须转入到可支持路由软件进化和自适应网络环境变化的可编程 ASIC 芯片上来。一方面，因为基于软件的处理最多只能支持到 OC-3/155Mbps，就是经过专门扩展后也只能做到 OC-12/622Mbps，如果再加上复杂的业务流过滤、基于路由的策略管理、数据流的统计分析和流量工程，则它们的性能将大打折扣。另一方面，集成电路设计及制造工艺的大踏步前进，使得电子设计自动化工具的发展为基于硬件的 ASIC 实现宽带通信网络数据分组的高速处理提供了可能。



- 本结构的特点：
- ① Cisco 分布式快速路由处理转发 (DCEF 专利)
 - ② Cisco 中间交换结构的“空分复用” (SRP 专利)
 - ③ 分组输入时，地址查询在本地的线路卡转发 ASIC 中完成
 - ④ 下一个时钟，所有的卡通过 Fabric 发送分组
 - ⑤ 请求发送申请输入到调度器中，以为下一次发送设置好交叉连接

图 0.2 Cisco 公司交换式路由器结构图

目前，网络节点机中的数据处理除了最基本的分组转发以外，还有繁重的信令处理、网管指令处理、路由选择处理、故障处理以及各种查找表的维护等，这些处理繁琐且不具规律性。另外，用户还要求处理机管理简便，易于升级和智能化地提供各种增值服务。因此全硬件实现上述这些功能是不现实的。它们只能是硬件与软件的折中处理，以达到最佳的综合性能为目的。网络处理器的出现正是上述目的的具体实现。

尽管网络处理器还处于摇篮时期，但已被认为是解决网络设备上市时间的灵丹妙药，受到网络设备设计人员的青睐，这些器件能够提供 ASIC 的性能和优化，还具有通用处理器的可编程性和灵活性。另一方面，网络处理器是专门为处理数据包设计的。它们是网络设备所采用的现成的硅片与软件基

础。其性能范围涵盖了客户端的集成化访问设备和驻留网关,接入外设中的多服务路由器、交换机和运营商的多千兆位路由器。以网络处理器提供的框架结构为开端,工程师能够立刻安排新业务和新功能的设计任务,包括远程管理、语音和数据融合、虚拟专用网的安全性、财务结算以及 QoS,即产品个性化的更高层次。这一切可使工程师们在与对手竞争时处于领先地位。

因特网接入、远程交换、远程访问和虚拟专用网空前的速度要求,刺激了宽带 WAN 服务业在家用和商用市场的发展。语音、数据和视频的融合迫切需要新型网络解决方案。业内分析人士预测,在未来几年内,宽带 WAN 业务将超过几百亿美元。未来几年的市场规模和持续发展的潜力正迫使设备制造商提出新型、高速增强型的解决方案。设备制造商一方面力图跟上变化的业务和技术要求,另一方面还要尽量保持产品个性化的竞争优势。对上市时间的要求是无止境的,力求在服务中尽可能长时间地使用相同的设备是无法回避的难题。网络处理器方案是当前解决这些问题的最佳办法。某些网络处理器制造商也集成了软件,这样节省了设备设计人员寻找、评估和集成操作系统及必需的网络协议栈所花费的额外时间。这类可编程硅片与软件平台是优化数据包处理的产物,包含 OSI 第 2~4 层的全部功能和保证互操作性。它们为下一代网络设备设计人员提供了现成的基础产品。一般说来,它们具有板上中央处理器内核,处理控制与管理任务,且通常有几个嵌入式辅助处理器,它们可能是称谓不同的微引擎、可编程状态机或网络处理引擎,用以负责数据包的处理。

某些网络处理器已对 DSL、宽带接入等特定服务进行了优化,这些网络处理器主要是为需要增值服务的客户端或边缘设备而设计的。实践表明,这类方案约可缩短 6 个月的设计周期。该方案的拥护者也指出,这些优点也可延续至下一代产品,因为与 ASIC 不同,其第一代产品研发的大多数软件可在后继产品中重复使用。

网络处理器的一个主要优点是具备稳定的因素。通信行业中稳定的因素似乎不多,涉及方案的制定、认可、最终被采纳的方方面面都要在短期内完成。例如,从语音、数据融合所能获取的最大价值取决于 QoS 过程的建立。当然,QoS 参数并不能很快地被完全确定。网络处理器的可编程性允许设备制造商向前推进,在标准被确认后软件安装好。目前,可采用宽带环仿真业务实现 DSL 网络电话,但是采用多业务宽带网络同样十分成功。在基于网络处理器的设备中,即便是在设备服务过程中,简单的软件下载就可对其进行修改,下载软件可重新配置辅助处理器。

同样,网络处理器将促进虚拟专用网中服务级协议和安全算法的实现。NP 可对任何现有帧中继汇编器/反汇编器中的微引擎进行远程编程,以便对帧报头实现全新的操作。例如,当 ATM 类服务被因特网工程任务组的多协议标

签转换和因特网协议 QoS 取代后,算法的调整与实现可整个进行,也可逐个实现,体现了网络处理器的灵活性。

网络处理器是通信时代的技术反映,因此进展十分迅速。通信时代的特征是业务不断增长,人们日益依赖于通信社会化的所有事物,从因特网到企业网,直到家庭网。这是一个技术飞速发展的年代,因而也需要新方法加速其发展。网络处理器必将担此重任,以满足加速设计过程的要求。NP 现在被认为是影响 IP 未来网络发展的三大关键技术(NP, ASIC, Compact PCI)之一。国际、国内都在热烈地讨论与研究着它。目前,对它的研究、开发和应用已进入了新的阶段,相关产品也已推出。广大科研人员和工程开发人员迫切需要了解并掌握 NP 技术。本书就是为了适应这种需求而编写的。

本书的编写参考了 Niraj Shah 教授著写的“Understanding Network Processor”、Matthias Gries 博士的论文“Algorithm-Architecture Trade-offs in Network Processor Design”、网络处理器论坛制定并发布的标准规范文件,同时结合了作者设计开发网络处理器的经验积累。书中第一部分的第 1、2、4、11 章以及书的附录等内容主要根据 Niraj Shah 教授的“Understanding Network Processor”一书编写,其中很多图表摘自该篇论文。Niraj Shah 教授所列的参考文献包括了近年来绝大部分的网络处理器设计文献,为便于读者查找,我们也把这些文献列出来供读者参考。第一部分的第 3 章与第 4 章重点参考了 Matthias 的博士论文。在此向 Niraj Shah 教授和 Matthias Gries 博士表示深深的敬意。

本书的编写自始至终都得到了中科院计算所李忠诚研究员的亲切关怀和悉心指导,计算所李国杰院士、樊建平研究员、徐志伟研究员等领导也给予了支持和帮助,计算所图书馆的朱书汉馆长为本书的编写提供了大量的资料,北邮-Intel 互联网交换架构实验室丁炜教授、朱新宁老师、张春红老师和张勖博士也给予了大力帮助,在此一并敬谢。

在美国硅谷长期从事通信专用大规模集成电路设计的胡国荣博士给本书提出了不少修改意见,在此向胡国荣先生表示深深的感谢。

北京邮电大学北邮-Intel 互联网交换架构实验室的程胜博士负责组织本书第二部分的编写。

中国科学院计算技术研究所网络室的孙江明先生编写了第 10 章。

本书是对网络处理器的原理分析及当前不同类型网络处理器的评述。其目的是帮助网络专业设计师更好地设计和应用网络处理器。本书主要适合于下述 4 类读者:

- 想了解当前出现的网络处理器技术及体系结构细节的人;
- 想了解网络处理器产品特征、性能及其竞争对手产品应用范围的经理;

- 想将网络处理器产品应用于其开发的设备中，但却不知如何选择网络处理器的设计师；
- 与网络处理器相关的开发人员和设计师，比如网络处理软件工程师，网络协处理器、网络测试设备和专门设计 NP 的 ASIC 工程师。

由于作者水平所限，加之网络处理器及其应用正处于不断的发展和变化之中，书中的错误和不足之处难免，恳请专家、读者指正。

目

录

前言——为什么要使用网络处理器	I
-----------------------	---

第一部分 网络处理器设计原理及标准规范

第 1 章 引言	3
1.1 什么是网络处理器	6
1.2 网络处理器的发展及分类	7
第 2 章 网络处理与网络处理器	9
2.1 OSI 网络分层	9
2.2 协议处理	15
2.2.1 ATM 交换模式	15
2.2.2 虚拟局域网 VLAN	20
2.2.3 多协议标签交换 MPLS	20
2.2.4 因特网协议版本 4:IPv4	26
2.2.5 因特网协议版本 6:IPv6	30
2.2.6 用户数据报 UDP	35
2.2.7 传输控制协议 TCP	36
2.3 网关应用	37
2.3.1 无线网络与有线网络接口处的网关	37
2.3.2 网络地址翻译 NAT	38
2.3.3 Web“交换机”	39
2.4 网络流量管理与 QoS	40
2.4.1 连接接纳控制与业务整形	40
2.4.2 QoS 的实现	43
2.4.3 IP 网中实现 QoS 的两种典型方案	46
2.5 流量计费	48

2.6 其他需要考虑的应用	49
第3章 IP分组处理	51
3.1 TCP/IP网络分层结构	51
3.2 IP分组处理流程	53
3.3 IP分组处理的主要任务	55
3.3.1 IP头解析(header parsing)	55
3.3.2 IP分组分类与路由	56
3.3.3 IP分组策略管理	60
3.3.4 分组整形	62
3.3.5 分组排队	62
3.3.6 链路调度	63
3.4 IP分组传输的QoS实现	65
3.5 IP分组处理——算法与结构的折中	65
第4章 网络处理器核心功能模块	69
4.1 模式匹配	69
4.2 查寻	69
4.3 计算	70
4.4 数据操作	70
4.5 排队管理	70
4.6 控制处理	70
4.7 NP处理器核的总结	70
第5章 网络处理器论坛	73
5.1 网络处理器论坛简介	73
5.2 网络处理器论坛的组织构成	75
5.2.1 技术教育与市场推广工作组	76
5.2.2 硬件工作组	76
5.2.3 软件工作组	79
5.2.4 性能测试评估任务组	81
第6章 NP设计参考标准:CSIX-L1	85
6.1 CSIX-L1标准	85
6.2 CSIX-L1体系结构	88
6.3 CSIX-L1功能描述	88

6.3.1	单播操作	89
6.3.2	组播操作	89
6.3.3	CSIX-L1 流量控制	90
6.4	CSIX-L1 物理应用	90
6.5	CSIX-L1 CF 帧格式	95
6.6	CSIX-L1 的运行与时序	104
6.6.1	启动	105
6.6.2	数据发送	105
6.6.3	CSIX-L1 状态机	105
6.6.4	帧迁移时序(frame transfer timing)	107
6.7	CSIX-L1 时序 AC 特性	108
6.8	CSIX-L1 直流 DC 特性	112
6.9	CSIX-L1 对 NP 设计的要求	113
第 7 章	NP 设计标准 1:流接口应用协议	115
7.1	流接口应用协议 NPSI 简介	115
7.2	NPSI 流接口结构	116
7.3	NPSI 基本特性	117
7.4	NPSI 接口信号	118
7.5	NPE-NPE 与 NPE-Fabric 接口公共功能	119
7.5.1	公共数据通路操作	119
7.5.2	公共流控通路操作	128
7.5.3	同步丢失处理	129
7.6	NPE-交换结构模式	130
7.6.1	数据通路的操作	130
7.6.2	寻址方式	131
7.6.3	单播寻址	133
7.6.4	组播寻址	135
7.6.5	流控实现	138
7.7	NPE-NPE 模式	146
7.7.1	数据操作模式	146
7.7.2	流控的实现	147
7.7.3	启动参数总结	149
7.8	物理层	150

第 8 章 协处理部件接口标准 LA-1	153
8.1 LA-1 接口概述	153
8.2 LA-1 端口操作概述	155
8.3 LA-1 端口时序规范	156
8.4 LA-1 逻辑接口	161
第 9 章 网络处理器软件程序接口协议	163
9.1 API 软件框架结构协议简介	163
9.2 API 软件框架结构模型	164
9.3 服务 API	166
9.4 操作 API	167
9.5 功能 API	167
9.6 小结	168
第 10 章 网络处理器测评技术与规范	169
10.1 NPF 的测评规范组	169
10.2 网络处理器测评体系	169
10.2.1 网络处理器的测评	170
10.2.2 网络处理器的任务和度量指标	171
10.2.3 测评规范的要求	171
10.2.4 系统测试配置	172
10.2.5 测试集	173
10.3 NPF 的交换矩阵测评规范	175
10.3.1 交换矩阵测评规范概述	175
10.3.2 交换矩阵的性能测评指标体系	176
10.4 交换矩阵测评流量模型	179
10.4.1 CF 帧和数据包	179
10.4.2 包长分布	180
10.4.3 数据包到达过程	181
10.4.4 数据包目的地址分布	183
10.4.5 组播流量与 QoS 流量	184
10.5 IPv4 转发应用级测试实现协议	184
10.5.1 术语	184
10.5.2 测试配置	185
10.5.3 基准测试	187

第 11 章 现有网络处理器设计方案介绍	191
11.1 FPP, RSP, ASI 介绍	191
11.2 Au1000	194
11.3 nP7XXX	195
11.4 MSP5000	196
11.5 SB-1250	197
11.6 PXF/Toaster 2	198
11.7 MTAP	198
11.8 CNP810SP	199
11.9 VISC	200
11.10 MXT4400	201
11.11 NP-1	201
11.12 PowerNP	202
11.13 IXP1200	205
11.14 NetVortex & NVP	206
11.15 C-5 DCP	207
11.16 PRISM IQ2000	208
11.17 Xelerated Packet Devices 公司(X40&T40)	209
11.18 现有网络处理器特点分析	211
11.18.1 NP 的并行处理分析	212
11.18.2 专用处理部件比较分析	213
11.18.3 NP 延迟的隐藏	214
11.18.4 NP 的可编程性	215
第 12 章 网络处理器设计方案选择分析	217
12.1 NP 的结构特性及其工作原理	217
12.2 网络处理器 NP 的发展态势	219
12.3 NP 设计难点分析	221
12.4 设计 NP 需要解决的问题	222
第 13 章 NP 发展展望	229
13.1 应用	229
13.2 结构	230
13.2.1 并行处理	230
13.2.2 协处理器	230

13.2.3 通信结构.....	231
13.3 映射应用到结构.....	231
13.4 总结.....	232

第二部分 Intel IXP1200 网络处理器

第 14 章 IXP1200 体系结构概述	237
14.1 IXP1200 体系结构.....	237
14.1.1 IXP1200 概述.....	237
14.1.2 IXP1200 体系结构.....	237
14.1.3 IXP1200 功能模块.....	238
14.1.4 IXP1200 体系结构特点.....	241
14.2 StrongARM 处理器概述	243
14.2.1 ARM 处理器和 ARM 处理器系列	243
14.2.2 StrongARM	244
14.3 微引擎.....	246
14.3.1 概述.....	246
14.3.2 微引擎模块.....	246
14.3.3 微引擎指令集.....	249
14.3.4 执行流水线.....	249
14.3.5 执行状态.....	249
14.3.6 微引擎编程.....	251
14.3.7 微引擎寄存器.....	252
14.3.8 逻辑运算单元 ALU 和移位器 Shifter	254
14.3.9 进程切换.....	255
14.3.10 微引擎和其他功能单元的接口	257
14.3.11 处理器间通信	257
14.4 PCI 单元.....	259
14.4.1 硬件描述.....	260
14.4.2 PCI 操作	263
14.4.3 PCI 总线地址空间	264
14.5 FBI 单元	265
14.5.1 FBI 结构	265
14.5.2 Push/Pull 引擎接口	266
14.5.3 Scratchpad 存储器	270
14.5.4 Hash 单元	271
14.5.5 FBI 控制和状态寄存器 CSR	273

14.5.6	IX 总线接口	274
14.6	SDRAM 单元	285
14.6.1	SDRAM 单元概述	285
14.6.2	SDRAM 接口	288
14.6.3	微引擎 SDRAM 传输	290
14.6.4	PCI SDRAM 传输	290
14.6.5	StrongARM 核 SDRAM 传输	290
14.6.6	SDRAM 与 IX 总线的接口	291
14.7	SRAM 单元	292
14.7.1	SSRAM 地址空间	292
14.7.2	BootROM 地址空间	294
14.7.3	SlowPort 地址空间	295
14.7.4	高级 SRAM Commands	296
14.7.5	SRAM 地址映射	297
14.8	IXP1200 系统设计与调试	298
14.8.1	IXP1200 系统设计概述	298
14.8.2	IXP1200 接口设计	298
14.8.3	IXP1200 系统调试	302
第 15 章	IXP1200 程序设计与开发平台	305
15.1	StrongARM 核上的程序开发简介	305
15.2	IXP1200 微引擎程序开发	306
15.2.1	微引擎指令系统	306
15.2.2	微引擎程序设计	365
15.2.3	微引擎程序开发平台 Developer Workbench	400
15.2.4	“Hello World”编程实例	409
15.2.5	小结	415
第 16 章	Intel IXP1200 网络处理器的应用	417
16.1	网络整体解决方案	417
16.1.1	IXP1200 应用的网络层次	417
16.1.2	IXP1200 应用的网络范围	418
16.2	应用举例	420
16.2.1	无线网络控制器	421
16.2.2	媒介网关 MG	425
16.2.3	区分服务路由器	426

16.2.4 面向应用的可编程交换	429
第 17 章 基于 IXP1200 的 IP 路由器设计	435
17.1 概述	435
17.2 系统分析与设计	436
17.2.1 系统结构	436
17.2.2 系统硬件设计	438
17.2.3 系统软件设计	438
17.3 实现	441
17.3.1 桥表管理模块	441
17.3.2 路由表管理模块	443
17.3.3 PETH driver	444
17.3.4 数据转发模块	446
第 18 章 基于 IXP1200 的 MPLS 路由器设计	463
18.1 MPLS 概述	463
18.2 系统分析与设计	464
18.2.1 系统结构	464
18.2.2 系统硬件设计	465
18.2.3 系统软件设计	466
18.3 BCNL-MPLS 路由器的实现	471
18.3.1 标签分发模块	471
18.3.2 转发表管理模块	474
18.3.3 数据转发模块	475
第 19 章 基于 IXP1200 的安全路由器设计	481
19.1 背景	481
19.2 系统构成	482
19.3 各个模块的具体功能和设计	483
19.3.1 控制平面各功能模块	483
19.3.2 数据平面各功能模块	491
19.3.3 通信模块(CM)	497
附录 A 网络处理器总结	501