

中国矿业大学新世纪教材建设工程资助教材

复杂可编程 逻辑器件与应用设计

付慧生 主编

FUZA KEBIANCHENG
LUOJI QIJIAN YU YINGYONG SHEJI

中国矿业大学出版社

中国矿业大学新世纪教材建设工程资助教材

复杂可编程逻辑器件与应用设计

主 编 付慧生

编著人员 付慧生 袁小平 庄乾起

中国矿业大学出版社

内 容 简 介

本书从阐述 PLD 器件的基本工作原理开始,重点讨论了现代大规模复杂可编程逻辑器件(CPLD)的功能与特点,并以目前世界著名的 CPLD 厂商 Altera 公司的 CPLD 器件为例,结合该公司的 MAX+PLUS II CPLD 开发系统的操作、应用,介绍了现代 CPLD 数字系统的设计、开发与应用技术。

本书注重基础,内容新颖,深入浅出,方便实用。通过本书的学习,读者将能掌握现代 CPLD 器件的工作原理、结构及其功能特性,学会操作使用 CPLD 开发系统进行数字系统设计的具体方法。

本书既可作为高等院校电气、电子类专业本科生、研究生的教材使用,也适宜作为相关专业工程技术人员学习使用 CPLD 技术的参考书。

图书在版编目(CIP)数据

复杂可编程逻辑器件与应用设计/付慧生主编. —徐
州:中国矿业大学出版社,2003.8

ISBN 7-81070-610-1

I. 复... I. 付... Ⅲ. 可编程逻辑器件—基本知
识 N. TP332.1

中国版本图书馆 CIP 数据核字(2003)第 027823 号

书 名 复杂可编程逻辑器件与应用设计

主 编 付慧生

责任编辑 何 戈

责任校对 杜锦芝

出版发行 中国矿业大学出版社

(江苏省徐州市中国矿业大学内 邮编 221008)

网 址 <http://www.cumtp.com> E-mail: cumtpvip@cumtp.com

排 版 中国矿业大学出版社排版中心

印 刷 徐州新华印刷厂

经 销 新华书店

开 本 787×1092 1/16 印张 22.5 字数 559 千字

版次印次 2003 年 8 月第 1 版 2003 年 8 月第 1 次印刷

定 价 28.00 元

(图书出现印装质量问题,本社负责调换)

前 言

现代电子科学技术的发展一日千里,电子科技的新理论、新技术不断涌现。从20世纪70年代开始发展起来的可编程逻辑器件(简称为PLD, Programmable Logic Device)是半定制ASIC的一个重要分支,也是目前数字电子技术中发展最为迅速的一个领域。芯片厂商将其作为一种通用数字器件进行设计、生产;而用户则可以在相应的EDA开发系统的支持下自行对PLD进行功能定义与设计。经过用户定义与设计的PLD器件就立即变成了具有用户所要求的特定功能的专用集成电路ASIC。尤其是具有即改即用特性的大规模集成CPLD器件的问世和广泛应用,使现代数字系统的设计与开发进入到了一个崭新的阶段。用CPLD器件开发数字系统具有设计周期短、设计风险低、应用灵活、系统功能强大的显著优点。用CPLD来进行数字系统的开发与设计已成为现代电子设计的一种方向与潮流。

数字器件的迅速发展,一方面使数字系统的设计方法发生了革命性的变化,另一方面也给我国高等院校电气、电子类专业的学生学习、掌握数字系统设计技术提出了挑战。本书作者为满足高校电气、电子类专业相关课程的教学需求,在中国矿业大学新世纪教材建设基金的支持下,按照循序渐进、逐步提高、通俗易懂、符合教学规律要求的原则,在参阅了大量中、外文技术书籍与资料的基础上,结合自己多年在PLD与数字系统设计方面教学、教改和科研的经验,编写了这本介绍CPLD/FPGA技术及其开发应用方法的教材。

本书从讨论现代数字系统的一般设计方法和要求开始,阐述PLD器件的基本工作原理,重点介绍了现代大规模复杂可编程逻辑器件(CPLD)的功能与特点。本书以著名的CPLD厂商Altera公司的CPLD器件为教学范例,结合该公司的MAX+PLUS II CPLD开发系统的操作、应用,介绍了硬件描述语言(HDL)尤其是AHDL语言的构成、特性和应用方法。书中通过CPLD应用设计举例,介绍了现代CPLD数字系统的设计、开发及与应用技术。

本书注重基础,方便实用。通过本书的学习,读者将能掌握现代CPLD器件的工作原理、结构及功能特性,学会操作使用CPLD开发系统进行数字系统设计的具体方法。考虑硬件逻辑符号需要与软件开发工具保持一致,因此本书中的硬件逻辑符号采用了数字系统设计中的国际通用符号。

本书由付慧生主编并定稿,袁小平、庄乾起参编。其中第1、2、5章和第4章的4.6、4.7节,第6章的6.1节和第8章的8.5、8.6节由付慧生编写,第3章和第4章由袁小平编写,第6章、第7章和第8章由庄乾起编写。本书的附录由付慧生、袁小平、庄乾起合编。

本书的编写计划得到了由中国矿业大学信息与电气工程学院曹国清教授、武增教授

的审核与帮助,在此表示衷心的感谢。香港骏龙科技有限公司北京办事处、南京办事处的先生们为本书的编写提供了许多技术资料,在此向他们表示诚挚的谢意。书中参考了许多学者和专家的研究成果和著作(见本书附录),在此也向他们表示衷心的感谢。

由于作者水平有限,书中一定存有不妥之处,恳请读者批评指正。

付慧生

2003 年 4 月

目 录

第 1 章 数字系统设计概论	(1)
1.1 数字系统与数字器件	(1)
1.2 构建数字系统的途径	(2)
1.3 可编程逻辑器件与 EDA 技术	(4)
1.3.1 可编程逻辑器件	(4)
1.3.2 EDA 技术	(5)
1.4 数字系统的设计方法与设计过程	(8)
1.4.1 数字系统设计的一般方法	(8)
1.4.2 数字系统的“自顶向下”(Top—Down)设计方法	(8)
1.4.3 PLD 系统的典型设计流程	(9)
1.5 PLD 技术的发展	(10)
1.5.1 早期的 PLD	(10)
1.5.2 通用型简单 PLD(SPLD)	(10)
1.5.3 CPLD/FPGA 器件	(11)
1.5.4 SOPC 发展阶段	(11)
1.6 主要 CPLD 厂商简介	(13)
习题	(14)
第 2 章 可编程逻辑器件基础	(15)
2.1 PLD 基本构成原理与基本结构	(15)
2.1.1 数字电路的基本构成	(15)
2.1.2 PLD 的构成原理与基本结构	(16)
2.1.3 PLD 的逻辑符号表示	(17)
2.2 可编程逻辑器件的编程元件	(19)
2.2.1 熔丝和反熔丝开关元件的编程原理	(19)
2.2.2 浮栅存储元件的结构与工作原理	(20)
2.2.3 SRAM 编程单元的结构	(23)
2.3 PLD 的分类与特性	(23)
2.3.1 按器件集成度划分	(23)
2.3.2 按编程次数划分	(24)
2.3.3 按编程配置特性划分	(24)

2.3.4 按器件结构类型划分	(25)
2.3.5 复杂可编程器件的基本分类	(26)
2.4 可编程只读存储器 PROM 的结构与特性	(26)
2.5 可编程逻辑阵列 PLA 的结构与特性	(28)
2.6 可编程阵列逻辑 PAL 的结构与特性	(29)
2.6.1 PAL 器件的基本结构	(29)
2.6.2 PAL 器件的输出结构	(31)
2.6.3 PAL 器件的命名规则	(33)
2.6.4 PAL16L8 简介	(33)
2.7 通用阵列逻辑 GAL 的结构与特性	(35)
2.7.1 GAL 器件的结构与分类	(35)
2.7.2 常用 GAL 器件及其主要参数	(36)
2.7.3 典型 GAL 器件 GAL16V8 的结构	(36)
2.7.4 GAL 器件的输出逻辑宏单元 OLMC	(38)
2.7.5 GAL 器件的特性	(39)
2.8 PLD 器件的编程方法与应用	(41)
2.8.1 PLD 编程初步	(41)
2.8.2 SPLD 的开发步骤	(41)
习题	(43)
第 3 章 复杂可编程逻辑器件简介	(44)
3.1 复杂可编程逻辑器件 CPLD 简介	(44)
3.2 现场可编程逻辑阵列 FPGA 简介	(45)
3.3 典型 CPLD/FPGA 的基本结构	(46)
3.3.1 Altera 公司 CPLD 的基本结构	(46)
3.3.2 Xilinx 公司 FPGA 的基本结构	(53)
3.4 CPLD 与 FPGA 的异同与特点	(57)
3.4.1 CPLD 与 FPGA 的相同点	(57)
3.4.2 CPLD 与 FPGA 的差别	(58)
3.4.3 CPLD 与 FPGA 的特点	(59)
3.5 CPLD 与 FPGA 的生产厂家、产品介绍及开发软件	(59)
3.5.1 Altera 公司	(59)
3.5.2 Xilinx 公司	(61)
3.5.3 Lattice 公司	(63)
3.5.4 CPLD/FPGA 开发软件概况	(65)
习题	(68)
第 4 章 Altera 的 CPLD 器件	(69)
4.1 Altera CPLD 器件概述	(69)

4.1.1	Altera CPLD 器件的功能与特点	(69)
4.1.2	Altera CPLD 器件系列	(71)
4.1.3	Altera CPLD 开发软件	(74)
4.2	MAX7000 系列器件简介	(76)
4.2.1	概述	(76)
4.2.2	MAX7000 系列器件的性能与特点	(77)
4.2.3	MAX7000 系列器件的结构	(79)
4.2.4	MAX7000 系列器件的特性设定	(85)
4.2.5	MAX7000 系列器件的编程测试	(86)
4.2.6	MAX7000 系列器件的定时模型	(87)
4.3	FLEX6000 系列器件简介	(88)
4.3.1	概述	(88)
4.3.2	FLEX6000 系列器件的性能与特点	(88)
4.3.3	FLEX6000 系列器件的结构	(90)
4.3.4	FLEX6000 系列器件特性的设定	(99)
4.3.5	FLEX6000 系列器件的编程测试	(99)
4.3.6	FLEX6000 系列器件的定时模型	(100)
4.4	FLEX10K 系列器件简介	(102)
4.4.1	概述	(102)
4.4.2	FLEX10K 系列器件的性能与特点	(103)
4.4.3	FLEX10K 系列器件的结构	(105)
4.4.4	FLEX10K 系列器件特性的设定	(117)
4.4.5	FLEX10K 系列器件的编程与测试	(118)
4.4.6	FLEX10K 系列器件的定时模型	(119)
4.5	APEX20K 系列器件简介	(120)
4.5.1	概述	(120)
4.5.2	APEX20K 系列器件的性能与特点	(120)
4.5.3	APEX20K 系列器件的结构	(122)
4.5.4	APEX20K 系列器件的特性设定	(134)
4.5.5	APEX20K 系列器件的编程配置与测试	(136)
4.5.6	APEX20K 系列器件的定时模型	(136)
4.6	Altera CPLD 新产品简介	(137)
4.6.1	APEX II 器件系列	(137)
4.6.2	APEX20KC 器件系列	(138)
4.7	Altera 器件的边界扫描测试	(138)
4.7.1	边界扫描测试概述	(138)
4.7.2	IEEE1149.1 BST 的结构	(140)
4.7.3	边界扫描寄存器	(142)
4.7.4	JTAG BST 的操作控制	(143)

4.7.5 JTAG 边界扫描测试原则	(144)
习题	(144)
第5章 硬件描述语言	(146)
5.1 概述	(146)
5.1.1 什么是硬件描述语言	(146)
5.1.2 HDL 语言的主要特征	(147)
5.1.3 HDL 设计方法与流程	(148)
5.2 超高速集成电路硬件描述语言 VHDL 简介	(150)
5.2.1 VHDL 的发展变迁	(150)
5.2.2 VHDL 的特性	(150)
5.2.3 VHDL 的描述能力	(151)
5.2.4 12 位寄存器的 VHDL 设计范例	(152)
5.3 硬件描述语言 Verilog HDL 简介	(152)
5.3.1 Verilog HDL 的产生与发展	(152)
5.3.2 Verilog HDL 和 VHDL 的比较	(152)
5.3.3 Verilog HDL 应用情况	(154)
5.3.4 12 位寄存器的 Verilog HDL 设计范例	(154)
5.4 其他硬件电路描述语言简介	(155)
5.4.1 ABEL—HDL	(155)
5.4.2 AHDL	(155)
5.5 Altera 的硬件描述语言 AHDL	(155)
5.5.1 AHDL 概述	(155)
5.5.2 AHDL 的基本元素	(157)
5.5.3 AHDL 设计的结构组成	(165)
5.5.4 AHDL 设计中的段(Section)	(167)
5.5.5 AHDL 的语句(Statement)	(181)
5.5.6 MAX+PLUS II 中的 AHDL 模板	(184)
5.5.7 AHDL 设计举例	(185)
5.5.8 AHDL 设计建议	(196)
习题	(199)
第6章 Altera 的 CPLD 开发系统	(200)
6.1 概述	(200)
6.1.1 MAX+PLUS II 版本简介	(200)
6.1.2 运行 MAX+PLUS II 对 PC 机的要求	(201)
6.1.3 MAX+PLUS II 学生版的安装过程	(201)
6.1.4 MAX+PLUS II 功能特性概述	(203)
6.1.5 MAX+PLUS II 的一般设计过程	(204)

6.2	MAX+PLUS II 的设计输入方法	(204)
6.2.1	常用设计输入方法	(204)
6.2.2	MAX+PLUS II 的优点	(205)
6.3	MAX+PLUS II 的设计输入	(205)
6.3.1	图形输入方法	(205)
6.3.2	图形编辑方法的使用	(206)
6.4	波形仿真	(209)
6.4.1	波形编辑界面的进入	(209)
6.4.2	波形仿真的一些设置	(212)
6.5	文本编辑输入	(213)
6.5.1	文本编辑输入中模板(Templates)的使用	(214)
6.5.2	文本输入的编译	(215)
6.6	底层编辑	(216)
6.6.1	器件的指定	(216)
6.6.2	管脚分配	(216)
6.7	波形输入及符号编辑	(217)
6.7.1	波形输入编辑	(217)
6.7.2	用波形输入法编辑四位加法器	(219)
6.7.3	时序电路的波形输入	(219)
6.7.4	符号编辑	(220)
6.8	图形输入、文本输入、波形输入的综合应用	(221)
6.8.1	模块生成方法	(221)
6.8.2	波形编辑和文本编辑形成的模块在图形编辑时的使用	(225)
6.9	MAX+PLUS II 的高级使用	(226)
6.9.1	使用 LPM 宏单元库	(226)
6.9.2	参数化模块在文本编辑中的使用	(229)
6.10	CPLD 中内嵌 RAM 块 EAB 的使用	(230)
6.10.1	PM_ROM 在图形编辑中的使用	(230)
6.10.2	LPM_RAM 的使用	(238)
6.11	自定义参数化模块的方法	(239)
6.12	Quartus II CPLD 开发系统简介	(240)
6.12.1	Quartus II 的特性	(240)
6.12.2	Quartus II 的设计输入	(241)
6.12.3	利用 Quartus II 2.0 进行数字钟设计	(241)
	习题	(254)
第 7 章	CPLD 器件的配置与编程下载	(255)
7.1	概述	(255)
7.1.1	器件编程分类	(255)

7.1.2 器件的工作状态	(255)
7.2 编程下载操作步骤	(256)
7.2.1 打开编程窗口	(256)
7.2.2 利用 Altera 编程器对 MAX 系列器件进行编程	(256)
7.2.3 通过 JTAG 实现在系统编程	(257)
7.2.4 对多个器件同时进行设置编程	(258)
7.2.5 利用 Byteblaster 电缆配置 FLEX 系列器件	(258)
7.3 AlteraCPLD 器件的配置与下载	(259)
7.3.1 配置类型	(259)
7.3.2 Byteblaster 配制电缆接口电路	(269)
习题	(271)
第 8 章 CPLD 应用设计	(272)
8.1 CPLD 频率计的设计	(272)
8.2 CPLD 器件在人机接口中的应用	(282)
8.3 CPLD 在微机系统中的应用	(286)
8.4 CPLD 器件在通信中的应用	(295)
8.5 FIR 数字滤波器设计	(303)
8.5.1 FIR 结构和设计算法	(303)
8.5.2 设计输入	(305)
8.6 交通信号的控制系统设计	(315)
8.6.1 系统的功能要求	(315)
8.6.2 系统算法设计	(316)
8.6.3 设计输入	(316)
习题	(320)
附录一 常用 CPLD 器件的引脚	(321)
附录二 CPLD 实验系统简介	(324)
附录三 CPLDEE—4 实验开发系统简介	(339)
附录四 CPLDDN 下载软件简介	(343)
参考文献	(348)

第1章 数字系统设计概论

1.1 数字系统与数字器件

21 世纪是信息化的世纪。信息化社会的基础和特征是电子信息技术的飞速发展与基于微电子器件(即集成电路,简称为 IC)的电子产品在社会生产和生活中的广泛应用。电子信息产业已成为现代国家最重要的基础产业之一,是国民经济的重要组成部分。

在现代电子设备中,无一不大量使用着集成电路。换言之,集成电路是现代电子设备的核心,集成电路的功能与特性决定了现代电子设备的功能与水平。电子设备的更新与升级主要体现在所使用的集成电路的更新换代上。在现代社会中,对于集成电路的研究、设计、制造与应用水平的高低,决定了一个国家的现代化水平。

40 多年来,微电子技术获得了飞速的发展与进步,使集成电路经历了从中、小规模集成到大规模、超大规模集成的发展历程,一片大规模或超大规模集成的芯片往往集成了数十万到数千万个晶体管,如此规模巨大而又复杂的芯片设计与开发导致人工设计难以为继甚至不能进行,因此基于计算机自动化辅助设计的 EDA(Electronic Design Automation)技术应运而生,使现代电子设计理论、设计方法、开发工具及应用方式发生了巨大变化,改变了人们进行电子设计的方法和途径。

由于数字电子技术能够可靠、有效地进行并完成信息的传输、转换、处理和存储,所以现代电子技术与电子产品都是以数字化作为发展的方向和重点。现代社会已开始进入数字化生存与发展的阶段,基于数字 IC 的各种数字电子产品(计算机、数字影视产品、数字通信设备、数控机械加工设备)获得了广泛应用。正是人类在生产、生活各方面不断增长的各种应用需求,促进了微电子技术 with 集成电路科技的快速发展与进步。

一个数字电子设备(产品),小到一个数字电子钟,大到一台数控车床或超级计算机,都是一个“数字系统”。所谓“数字系统”,就是可以完成某种(或多种)特定的、不那么单一的数字电路功能的系统。构成数字系统的基本部件,人们称其为“数字器件”(主要是数字 IC 芯片或数字逻辑芯片)。也就是说,数字器件是构成数字系统的“元素”或“细胞”。

一般认为,数字系统与数字器件的主要区别,在于数字系统一般应包含某种控制器及受控单元,并且功能不那么单一,并不仅仅只看系统是否相当复杂及芯片集成度的高低。例如,一个大规模集成的数字存储器,虽然其集成度可能很高,但因该芯片功能单一(只存储数据)、并且对外不具有控制功能,所以它一般只被认为是一个数字器件而非一个数字系统。若人们利用一片或几片中、小规模数字芯片构成一个数字电子钟,虽然该数字电子钟的芯片集成度并不一定很高,但该数字电子钟却可被认为是一个数字系统。因为数字电子钟内不仅包含有受控单元(如计数器),也有某种控制器(如分频控制电路,校时、预置电路等)。在“数

字电子技术”课程中,人们讲授的是标准 TTL 或 CMOS 数字集成电路(如各种门电路、计数器、寄存器、译码器等),这些数字 IC 都是能够完成某一确定电路功能的单一性芯片,故它们都是数字器件。

近 10 多年来,随着大规模集成电子技术的迅速发展,人们已经能够在单一半导体芯片上设计、制造百万个以上的晶体管,这种高集成度的 IC 芯片已经开始具备以往一个数字系统的全部特性与功能,这就产生了现代所谓的“单片系统”(SOC,即 System On a Chip)。此时数字器件已发展成为数字系统。由于单片系统集成度高、功耗低、功能强大、工作可靠,正越来越受到人们的重视,今后必将会有光明的发展前景。

1.2 构建数字系统的途径

构建一个数字系统,一般可以使用如下 4 类数字器件:

(1) 标准化的中、小规模数字集成电路。

如人们最常用到的 74/54 系列 TTL 数字集成电路和 CD4000/4500 系列 CMOS 数字集成电路。这是构建数字系统的基本方法。在“数字电子技术”课程中,主要讲述的就是这类标准数字器件的特性、功能及其应用方法。掌握标准化中、小规模数字集成电路的特性与应用方法是对一个电子设计工程师的基本要求。

标准化的中、小规模数字集成电路简单易用、价格低廉、应用广泛,是设计数字系统的基本方法之一。但该类器件的集成度较低,功能受限,一般需要用较多的芯片才能构建一个数字系统,并需要进行大量的芯片间连线,致使系统构成复杂、功耗高、可靠性偏低。

(2) 基于 LSI(大规模集成 Large Scale Integration)或 VLSI(超大规模集成 Very Large Scale Integration)的微处理器。

如各种通用或嵌入式 CPU、MCU(微控制器)及数字信号处理器 DSP。CPU、MCU、DSP 是人们用来构建数字电子计算机及数控与信息处理设备的核心器件,也是构建现代数字系统的主要方法之一。CPU、MCU、DSP 依靠执行指令(软件)可以方便地实现几乎任意的数字逻辑功能,其应用灵活性极强。但这些微处理器一般需要一定的数字接口器件相配合才能有效工作,依靠执行软件来完成数字逻辑功能的工作方法导致其工作速度相对较慢,故在一些需要高速、实时工作的应用场合它们的应用就受到一定的限制。

(3) 基于 LSI 或 VLSI 的专用集成电路 ASIC。

ASIC(即 Application Specific IC)是一种为完成某种特定的电路功能而专门设计、生产的 IC 器件。它可以将电子系统的一部分或全部集成在一块芯片上,以完成某种特定的电路功能,如数字电子钟内的计时、驱动专用芯片,家用 VCD/DVD 中使用的数字解码芯片等,都属于 ASIC。这种为完成特定电路功能或满足特定应用需要而专门设计、定制的大规模集成器件,需要用户向芯片生产厂家定制或定购。

ASIC 性能强、功耗低、工作可靠性高、保密性高、大批量应用时成本也较低,故在电子系统中得到了广泛应用。但其功能单一且不能改变,不适宜在电子产品的研发阶段使用。

ASIC 按其功能的不同可分为数字 ASIC、模拟 ASIC 及混合型 ASIC。若按照设计方法的不同,ASIC 又可分为全定制和半定制两类。

全定制 ASIC 是一种基于晶体管版图而设计的 IC 芯片。芯片设计师从芯片上晶体管的

构造、位置、连线开始进行设计、制造,使全定制 ASIC 的集成度高、芯片内部利用率高、工作速度快、功能强、功耗低。但因为是定制设计与制造,故设计费用高,研制周期长,只适宜在电子系统设计定型后大批量工业生产的场合中使用。对某些性能要求高、批量大的应用场合,人们一般采用全定制 ASIC。

半定制 ASIC 是一种可进行约束性设计的芯片。约束设计的主要目的是简化设计,缩短设计周期,提高芯片的成品率,以便在最短的时间内设计出芯片,在占领市场的过程中予以改进与完善。目前广泛采用的半定制 ASIC 通常包括标准单元(Standard Cell)和门阵列(Gate Array)两大类。有人认为也可以把后面将要介绍的可编程逻辑器件(简称为 PLD, Programmable Logic Device)归类于一种半定制的 ASIC。

标准单元是芯片厂商提供的已设计好、经确认具有一定通用功能的成熟逻辑功能块,它是一种芯片“IP”(Intelligence Property)。标准单元通常都存储在芯片设计的数据库中,设计人员根据用户的功能需求加以调用。

门阵列也是一种具有通用功能的成熟逻辑功能块。阵列中包含了基本的逻辑门、触发器和各种缓冲器,但阵列中的布线可由用户根据设计功能需要予以确定。

基于标准单元和门阵列的半定制 ASIC 为用户提供了根据系统功能要求确定电路、控制内部布线的设计选择,但使用半定制 ASIC 仍需要由用户向芯片生产厂家定制。虽然其设计周期较全定制 ASIC 快,但制作芯片掩模、制版与投片仍需要用户投入较多的经费。

总而言之,使用 ASIC 进行数字系统设计需要较高的开发费用,设计与制造周期也较长,所以 ASIC 只适合在大批量工业应用的场合中使用。

(4) 基于 LSI/VLSI 的可编程逻辑器件。

可编程逻辑器件简称为 PLD(Programmable Logic Device)。这是一种从 20 世纪 70 年代开始发展起来的一种完全由用户自行定义芯片逻辑功能的“通用型”数字器件。它可以看做是半定制 ASIC 的一个重要分支,也是目前数字电子技术中发展最为迅速的一个领域。芯片厂商将其作为一种通用数字器件进行设计、生产,而用户则可以在相应的 EDA 开发系统的支持下自行对 PLD 进行功能定义与设计。经过用户定义与设计的 PLD 器件就立即变成了具有用户所要求的特定功能的专用集成电路 ASIC。如果设计有误,用户只需修改错误,重新对芯片进行定义配置即可。从这个意义上说,通用型的数字器件 PLD 可以归之为一种半定制的 ASIC。显然,这种具有即改即用特性的 PLD 器件的出现,使现代数字系统的设计与开发进入到了一个崭新的阶段。

由于 PLD 是一种大批量生产的数字逻辑器件,所以其开发、生产的成本低,芯片性能可靠。PLD 具有的能够对器件现场定义逻辑功能以及硬件逻辑工作方式,使之不仅具有类似微处理器的使用灵活、用途广泛的优点,也具备全定制 ASIC 工作速度快、性能可靠的特性,这将非常有益于数字系统的研究与开发。用 PLD 开发数字系统具有设计周期短、设计风险低、应用灵活、系统功能强大等显著优点。用 PLD 来进行数字系统的开发与设计已成为现代电子设计的一种方向与潮流。

1.3 可编程逻辑器件与 EDA 技术

1.3.1 可编程逻辑器件

可编程逻辑器件(以下简称为 PLD)的问世与快速发展,使系统设计者自己设计专用 IC 芯片(ASIC)并在最短时间内将设计出的 ASIC 芯片投入实际应用成为可能。

早期的可编程逻辑器件只有可编程只读存储器(PROM)、紫外线可擦除的只读存储器(EPROM)和电可擦除只读存储器(E²PROM)三种。由于结构的限制,这类芯片只能完成简单的数字逻辑功能。之后出现了一类结构上稍复杂的可编程逻辑器件。这一阶段的产品主要有 PAL (Programmable Array Logic 即可编程阵列逻辑)和 GAL (General Array Logic 即通用阵列逻辑)。GAL 是在 PAL 的基础上进行改进、提高后获得的。它们都能完成各种不太复杂的数字逻辑功能。PAL/GAL 器件的集成度一般都不超过 1 000 门,故人们常称其为简单可编程逻辑器件 SPLD (Simple Programmable Logic Device)

典型的 PAL 由一个可编程的“与”平面和一个固定的“或”平面构成,其输出可以通过触发器有选择地被置为寄存状态或直通。由于任意一个组合逻辑都可以用“与—或”表达式来描述,所以 PAL 能以乘积和的形式完成大量的组合逻辑功能。

PAL 器件是可编程的,实现 PAL 编程的工艺有反熔丝技术、EPROM 技术和 E²PROM 技术。在 PAL 的基础上发展起来的通用阵列逻辑 GAL,如 GAL16V8、GAL22V10 等,其输出结构是可编程的逻辑宏单元,因而它的设计具有更大的灵活性与更强的逻辑功能。GAL 采用的是 E²PROM 工艺进行编程,实现了电可擦除、电可改写,至今仍得到广泛的使用。

还有一类结构更为灵活的逻辑器件是可编程逻辑阵列(PLA),它也由一个“与”平面和一个“或”平面构成,但是这两个平面都可以编程应用。PLA 器件既有现场可编程的,也有掩模可编程的,但由于与之配套的开发软件设计起来较为困难,故 PLA 在应用中较少见到。

这些早期的 SPLD 器件的一个共同特点是可以实现速度特性良好的数字逻辑功能,但其相对简单的物理结构也使它们只能实现规模较小的数字电路。为了弥补这一缺陷,20 世纪 80 年代中期,美国 Altera 公司和 Xilinx 公司分别推出了类似于 PAL 结构的扩展型复杂可编程逻辑器件 CPLD (Complex Programmable Logic Device) 和与标准门阵列结构类似的现场可编程门阵列 FPGA (Field Programmable Gate Array)。CPLD/FPGA 都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点,并兼容了 PLD 和通用门阵列的优点,可实现大规模的数字电路与系统,编程也很灵活,可多次、随时地更改芯片的逻辑功能。同 SPLD 器件相比,CPLD/FPGA 的集成度可做得很高(可达几万到几百万门/片),用它可以替代几十至几千块普通的标准数字集成芯片。用这样的一张 CPLD/FPGA 就可能实现一个数字系统或子系统。这种高功能、高集成度的器件目前在世界范围都受到电子设计人员的广泛关注和普遍欢迎。经过了这十几年的发展,许多知名的公司都开发出了种类繁多的 CPLD/FPGA 器件。与专用 ASIC 芯片相比,CPLD/FPGA 具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点,因此已广泛应用于数字系统与数字产品的设计与生产中。几乎所有应用门阵列、ASIC、SPLD 和中小规模通用数字集成电路的场合都可应用 CPLD 或 FPGA 器件。

由于 Altera 公司的 CPLD 器件系列和 Xilinx 公司的 FPGA 器件系列开发较早,种类较多,功能最强,因此其知名度也最高,它们在世界 PLD 市场上占有最大的市场份额。

1.3.2 EDA 技术

1.3.2.1 EAD 技术简介

PLD 器件尤其是大规模集成的 CPLD/FPGA 器件的设计与应用必须要得到电子设计自动化(Electronic Design Automation, 即 EDA)工具软件的支持。这是 PLD 器件与普通数字逻辑器件(如 74/54 系列 TTL 器件和 CD4000 系列 CMOS 器件)在应用方法上最显著的差异。

自从 20 世纪 60 年代人们设计、制造出数字集成电路以来,数字器件的集成度经历了从小规模集成 SSI(Small Scale Integrated, ≤ 100 半导体元件)、中规模集成(MSI, Midle Scale Integrated, $\leq 1\ 000$ 半导体元件)到大规模集成 LSI(Large Scale Integrated, $\leq 10\ 000$ 半导体元件)和超大规模集成 VLSI(Very Large Scale Integrated, $> 10\ 000$ 半导体元件)的发展历程。而数字系统的设计方法也随着同时代微电子技术和计算机技术的不断发展而从手工电路设计走向了电子设计自动化(EDA)阶段。

大规模或超大规模集成器件的开发与应用及电子系统功能的提高,使得相应的设计和验证变得十分复杂,手工化的电子设计已经难以开展甚至不可能进行。在这种情况下,人们开始利用现代电子计算机进行电子电路与 IC 的辅助设计,逐渐发展、建立起了一套完整的电子系统设计、分析、仿真、综合的技术手段与计算机软件工具包,使得整个电子系统与 IC 的设计能够在计算机平台上进行。换言之,EDA 技术是以现代电子计算机为设计工具和设计平台,以对电子线路硬件描述语言 HDL(Hardware Description Language)为主要系统逻辑描述手段,综合现代 CAD(计算机辅助设计)、CAT(计算机辅助测试)、CAE(计算机辅助工程)技术,自动、高速地完成系统电路逻辑编译、逻辑化简、逻辑综合、逻辑仿真、逻辑优化直至逻辑芯片版图实现的一种自动化电子系统与 IC 设计的技术和设计工具。

EDA 主要能辅助进行三方面的系统设计与开发工作:IC 设计、电子线路设计以及 PCB 设计。没有 EDA 技术的支持,要想完成复杂的电子系统和大规模集成电路的设计与制造是不可想像的,反过来,生产制造技术的不断进步又对 EDA 技术提出新的要求。

EDA 技术中的电子线路逻辑仿真与逻辑测试功能,使用户在电子线路和系统还未实际制作出来之前,就能够对该线路或系统进行逻辑功能验证与测试。有效地提高了人们设计电子系统的工作速度和可靠度,避免了由于人们的设计失误带来的经济损失,缩短了电子产品的研发周期,促进了电子产品的更新与换代。EDA 技术的这种电子线路硬件设计软件化的设计方法,打破了电子系统设计中的硬、软件间的壁垒,成为现代电子设计技术的潮流和发展趋势。没有 EDA 技术的发展和进步,人们将无法有效设计与应用现代复杂电子系统和大规模集成电路芯片,也不会有现代电子技术的今天。EDA 技术的迅猛发展,使得整个电子系统设计与微电子器件设计的面貌发生了深刻改变。因此,学习和掌握电子系统的 EDA 设计方法和 EDA 开发工具,是我们掌握现代数字系统设计技术的必由之路。

1.3.2.2 EDA 的内容

一般认为,EDA 包括如下 3 大部分:

(1) 电子设计 CAD(Computer Aided Design 即计算机辅助设计)部分。该部分包含了在

计算机上进行电子系统的电路图的输入、存储、修改及印刷线路板(Print Curcuit Board, 即 PCB)版图设计的 EDA 软件工具,从而使人们摆脱了用手工进行电子设计时的大量繁重、重复、单调计算与绘图工作,并逐步取代人工进行电子系统的设计、分析与仿真。典型的电子设计 CAD 软件工具有 Protel 及 OrCAD 等。

(2) 电子线路和系统的仿真分析与设计部分。在这一部分中,人们可利用 EDA 软件仿真分析工具来对所设计的电子电路及系统进行功能验证或时序分析,以达到节省设计时间和设计费用、提高设计效率的目的。在现代电子设计中,仿真分析与设计是电子设计中的关键环节。性能良好的电路和系统仿真分析与设计软件中提供了大量的元件库、工具库以及多种在屏虚拟测试仪器,可进行数模混合仿真和多电路分析,一旦电路或系统设计、仿真结束,就可根据设计结果迅速进行 PCB 版图的自动布线,完成 PCB 的设计。在这方面典型的仿真设计软件有:Multisim、UltiBoard(其前身即是著名的 Electronics Workbench)、Pspice(或 Spice)、OrCAD 及 SysView 等。

(3) 电子设计 CAE(Computer Aided Engineering 即计算机辅助工程)部分。在这一部分中人们已将各种电子线路设计工具如电路图输入、编译与连接、逻辑模拟、仿真分析、版图自动生成及各种单元库都集成在一个 CAE 系统中,以实现电子系统或芯片从原理图输入到版图设计输出的全程设计自动化。利用现代 CAE 系统,人们可开展如下工作:

① 采用硬件描述语言 HDL(Hardware Description Language)以对数字系统进行功能与行为描述。HDL 是一种用于设计硬件数字系统的计算机语言,它用软件编程的方式来描述数字电子系统的逻辑功能、电路结构和连接形式,使复杂数字系统与芯片的描述规范化、标准化,便于设计师相互间交流、修改、传递与保存。与传统的数字系统电路图描述方式相比,它更适合大规模系统的设计。常用的 HDL 语言有 VHDL、Verilog HDL、AHDL 等。

② 对系统或芯片进行高层逻辑综合(High Level Synthesis),使系统或芯片的设计进入行为级描述阶段。这有助于缩短设计周期,提高设计质量。

③ 采用平面规划(Floorplaning)技术可对系统逻辑综合和芯片版图设计进行联合管理,以保证系统设计的全面性与可靠性。

④ 进行可测性设计,支持进行边界扫描、数据探测等有效提高系统与芯片工作可靠性的设计与校验。

⑤ 开展并行设计。通过一个统一的集成设计平台,将不同公司的各具特长的 EDA 工具结合为一个完整的设计平台,保证各个设计工具充分、有效地发挥功能,相互衔接与通讯,使单个设计人员或小组都能共享设计数据库与设计工具,实现电路设计、版图设计、可靠性检测的同步开展,有效提高 EDA 设计的效率。

目前国际著名的 EDA 公司如 CADENCE 公司、MENTOR 公司、SYNOPSYS 公司、HP 公司等,都有全系列的专业 EDA 软件产品。这些专业 EDA 软件产品功能强大,是开展专业 ASIC 及复杂电子系统设计的工作平台。

1.3.2.3 系统层次化设计方法

系统层次化设计是设计大型电子系统的常用方法。一个完整的数字电子系统或集成逻辑器件从概念的提出到最后物理实现,可以分为如下几个设计层次,即系统级、行为级、寄存器传输级(RTL 级)、逻辑门级、电路级和版图级。

版图级也称为物理级,是集成电路描述的最低层次。在版图级,以几何图形描述晶体管、