

575539

● 江德海 编著

薄膜电阻网络的 设计与制造

科学出版社

薄膜电阻网络的 设计与制造

江德海 编著

科学出版社

1993

(京)新登字 092 号

内 容 简 介

本书是作者参考近年来国内外发表的薄膜电阻网络的文献和资料,并结合作者近30年来从事该技术的实践经验编写成的。全书共分七章,其内容包括薄膜电阻网络图形设计、光刻技术、薄膜材料与元件、薄膜力学性质、真空镀膜技术、薄膜阻值调整及网络焊接与封装技术等。

本书可供研究、生产、应用电阻网络的科研人员、大专院校工科电子类专业的师生及电子系统的专业干部参考。

薄膜电阻网络的 设计与制造

江德海 编著

责任编辑 魏 玲

科学出版社出版

北京东黄城根北街16号

邮政编码:100717



北京朝阳区东华印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1993年10月第一版 开本:787×1092 1/32

1993年10月第一次印刷 印张:8 3/4

印数:1—1500

字数:127 000

ISBN 7-03-003631-4/TN·149

定价:7.50 元

序

近40多年来，电子技术的最大变革是电子电路的集成化和平面化。由于这种变革，电子技术有了空前的活力和更广泛的应用领域，并进入了微电子技术阶段。作为集成化和平面化技术的一部分，薄膜电阻网络技术也有了很大的发展，并将在我国的四化建设中得到越来越广泛的应用。

本书作者从事薄膜混合集成电路的设计与制造已近30年，并曾在专业性学术刊物和有关学术会议上发表过多篇论文，深受同行专家和读者的好评。由于他在混合微电子技术方面具有深广的理论和丰富的生产经验，所以到我厂工作以后，我厂薄膜混合集成电路的生产有了很快的发展，并收到了较好的经济效益。

《薄膜电阻网络的设计与制造》一书，是作者多年工作经验的总结，是理论知识与生产实践相结合的成果，因而它能可靠地指导现实生产，对于专业人员，不失为一本优良的学习参考书。相信该书的出版，对于促进我国混合微电子技术的发展，一定会起到积极的作用。

石家庄市无线电三厂厂长高级经济师

张存志

1992年

前 言

薄膜电阻网络是微电子电路中的一个重要组成部分，近30年来，薄膜电阻网络的水平及生产规模都有很大发展，应用也日趋普遍。考虑到薄膜电阻网络技术的特性和在电子技术中的重要地位，为适应我国微电子技术迅速发展的需要，特编写本书。

本书是作者近30年工作实践的结晶。它主要介绍薄膜混合集成电路中的电阻网络，双、单列直插式电阻网络，纯电阻四端网络（纯电阻衰减器）的设计、制造、工艺原理及主要材料。希望本书对从事薄膜电阻网络设计、试制、生产和教学的有关人员有一定的参考价值，并希望它能起到技术交流的作用。

在编写本书时，除参阅专家学者所编著的有关著作外，还参阅了我国第六届、第七届混合集成电路学术会议的论文，以及北京邮电学院、成都电子科技大学、西安电子科技大学、西安交通大学、天津大学等院校的有关教材，并参阅了我国历届混合集成电路科技情报交流的有关资料以及国内外有关期刊和著作上与薄膜电阻网络有关的内容。

本书的编写工作是在成都电子科技大学曲喜新教授的具体指导下进行的，曲教授对书稿进行了全面、细致的审阅，提出了许多具体修改意见。在此，谨向曲喜新教授表示衷心的感谢。此外，在编写本书的过程中，得到了石家庄市无线电三厂张存志厂长的大力支持和帮助，他为本书写了序言。李学敏工程师为本书绘制了全部插图。另外，还得到石家庄

市无线电三厂许多同志的关心和帮助。在此，向这些专家、工程技术人员及领导表示衷心的感谢。

广西南宁微晶玻璃厂对本书的出版给以大力支持，特致谢意。

由于作者水平有限，希望读者对书中的不足之处给以批评指正。

江德海

1992年4月30日

目 录

第一章 薄膜电阻网络的平面化设计	1
1.1 薄膜电阻器的设计	1
1.1.1 方电阻的概念和材料的选择	1
1.1.2 薄膜电阻器的平面化设计	3
1.2 薄膜导体的设计	11
1.3 平面化总体设计的一般规则	13
1.3.1 薄膜集成电路中电阻网络的平面化设计	13
1.3.2 单列及双列直插式薄膜电阻网络的平面化设计	18
1.3.3 薄膜衰减器的平面化设计	19
1.4 电阻网络平面化设计布局举例	26
1.4.1 薄膜电阻网络	26
1.4.2 电阻四端网络(衰减器)	28
1.5 薄膜电阻器的寄生效应	34
1.5.1 串联电感	35
1.5.2 串联电阻	35
1.5.3 分流电阻	37
1.5.4 分布电容	37
1.5.5 集肤效应	38
第二章 薄膜材料与元件	40
2.1 基片	40
2.1.1 基片材料	41
2.1.2 基片的表面性质	45
2.1.3 基片的电气性质	48

2.1.4	基片的热学性质与力学性质	48
2.1.5	基片的化学稳定性	51
2.2	薄膜导体材料	53
2.2.1	对薄膜导体材料的要求	53
2.2.2	铝膜导体材料	55
2.2.3	金膜导体材料	56
2.2.4	铜膜导体材料	58
2.2.5	真空淀积复合膜导电带工艺	60
2.3	薄膜电阻材料与元件	61
2.3.1	Ni-Cr薄膜电阻材料	61
2.3.2	Cr-SiO ₂ 薄膜电阻材料	67
2.3.3	钽膜电阻材料	72
第三章	薄膜的力学性质	79
3.1	薄膜的附着性能	79
3.2	薄膜工艺对薄膜内应力的影响	87
3.3	薄膜的机械强度	92
第四章	光刻	94
4.1	光刻工艺	94
4.2	掩模制备	99
4.2.1	金属掩模	99
4.2.2	两次光刻法(套刻)	101
4.2.3	金属掩模制备中应注意的几个问题	101
第五章	真空镀膜技术	105
5.1	真空技术的基础知识	105
5.1.1	“真空”的一般概念	105
5.1.2	真空的获得	107
5.2	真空蒸发	107
5.2.1	真空蒸发的理论基础	108
5.2.2	真空蒸发设备	113

5.2.3	蒸发源	115
5.2.4	真空蒸发薄膜的厚度分布	118
5.3	溅射	121
5.3.1	溅射的基本理论及特点	121
5.3.2	溅射技术与溅射装置	122
5.4	成膜监控技术	128
5.4.1	石英晶体监控法	129
5.4.2	光学监控法	132
5.4.3	电阻法	136
5.4.4	淀积速率监控法	137
第六章	薄膜电阻的调整	138
6.1	激光调阻	138
6.2	超声波调阻	140
6.3	氧化调阻	141
6.4	选切抽头带调阻	143
6.5	改变膜层内部结构调阻	143
6.6	其他调阻方法	144
第七章	薄膜电阻网络的焊接与封装	147
7.1	焊接	147
7.1.1	钎焊	148
7.1.2	压焊	154
7.1.3	外引线与膜层的互连	160
7.2	薄膜电阻网络的封装技术	164
7.2.1	气密性封装	165
7.2.2	非气密性封装	166
7.2.3	常用的塑料封装材料及封装工艺	168
附录	薄膜电阻网络制造中的几种常用腐蚀液	171
参考文献		174

第一章 薄膜电阻网络的 平面化设计

电阻网络平面化设计包括薄膜电阻器，薄膜混合集成电路用电阻芯片，双、单列直插式电阻网络，薄膜四端电阻网络（衰减器）的平面设计。

将网络的电原理图转换成适于集成电阻工艺的平面布置图的设计过程，称为平面化设计或平面布线。在此过程前，设计者须先了解网络的功能，各种有关材料的性能，每个元件的标称值、精度和作用，以及应具有的温度特性等。

制作在绝缘基片上的电阻网络图形，包括薄膜电阻器、薄膜导体及保护层等。

1.1 薄膜电阻器的设计

薄膜电阻器的主要设计内容是选择电阻器材料和确定电阻器的几何形状及尺寸。利用方电阻的概念来讨论它们的设计是比较方便的。

1.1.1 方电阻的概念和材料的选择

1. 方电阻的概念

长宽相等的正方形电阻膜的电阻称作方电阻。如图1.1所示的电阻器，其电阻值 R 可用下式求出：

$$R = \rho \frac{l}{dw} = \frac{\rho}{d} \cdot \frac{l}{w} \quad (\Omega) \quad (1.1)$$

式中： ρ 为电阻膜的体电阻率 ($\Omega \cdot \text{cm}$)； l 为电阻膜的长度 (cm)， w 为电阻膜的宽度 (cm)； d 为电阻膜的厚度 (cm)。

从式 (1.1) 可以看出，对于正方形电阻器来讲，因 $l=w$ ，所以其阻值仅与电阻膜的性质以及厚度有关，而与正方形的尺寸无关，这种电阻器的电阻称为方电阻 (或简称方阻)，用 R_s 表示：

$$R_s = \rho / d \quad (\Omega / \square \text{ 或 } \text{k}\Omega / \square) \quad (1.2)$$

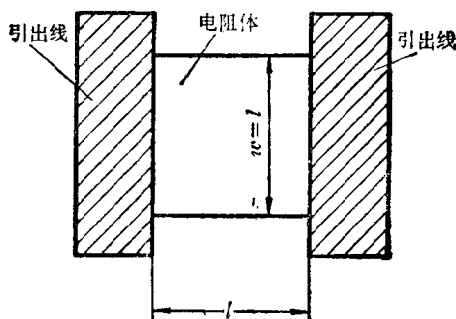


图 1.1 方电阻

方电阻的大小，主要取决于材料的性质，这是因为膜层的厚薄是有一定限度的，膜层过薄会影响结构的均匀性，甚至产生不连续，使阻值稳定性变坏，成品率降低。膜层过厚，除工艺上难以实现外，还可能使膜层内应力增加，从而也影响阻值的稳定性，使成品率降低。此外，当电阻值较大时，如果膜层过厚，电阻器在基片上所占面积增大，不利于提高它的集成度。

方电阻的大小最好能适用于电阻网络中大小不同的电阻值，即，在同一个芯片上尽可能使用一个方电阻值，用同一种材料，通过一次成膜，制作出全部电阻器。如果各电阻器的阻值相差很大 (如最大电阻值与最小电阻值之比超过 100)，则必须设计出几种方阻值的电阻器，工艺上也要采用

多次成膜，这就要增加图形设计的工作量和工序数，从而导致成品率降低，成本提高，还会降低电阻网络的集成度。

2. 电阻材料的选择

选择方电阻的问题，实际上是选择材料的问题，但选择材料的准则并非只考虑方电阻大小一项，这首先要受到工艺条件的限制。例如，在不具备直流-高频共溅射的条件下，就不能选用 NiCr-SiO_2 材料。另外，选择电阻材料还要考虑到电路功能指标对薄膜电阻性能的要求，包括标称阻值、精度、额定功率、最高工作电压、最高工作温度、电阻温度系数、噪声、频率特性、稳定性等方面。此外，还要考虑材料的价格和来源。在薄膜电阻网络中，最常用的是 Ni-Cr 、 Cr-SiO_2 、 Si 、 Ta 、 TaN 等薄膜材料。

1.1.2 薄膜电阻器的平面化设计

1. 直线形薄膜电阻器的平面化设计

(1) 阻值的确定。如图 1.2 所示，当电阻膜厚度是均

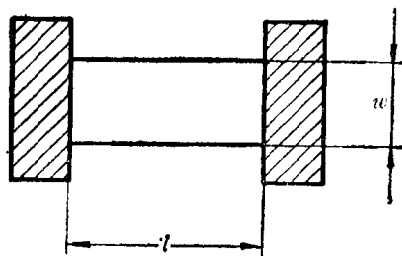


图 1.2 矩形电阻器图形

匀的，其内部结构无缺陷时，可以认为电阻器上的电流密度是均匀的，电压和电流分布也是均匀的。当用具有某一方电阻值

的电阻材料制成这样一种电阻时，其阻值的大小仅由这个电阻器的形状，即由其长度与宽度之比来确定。例如，一个电阻器的长宽比为10时，就相当于将10个这种材料的正方形相串联，其阻值即等于该方电阻的10倍。直线形薄膜电阻器的长宽比称为方数，用 N 表示。

将式(1.2)代入式(1.1)就可以得到直线形薄膜电阻器阻值和方数的关系：

$$R = R_s \frac{l}{w} = R_s N \quad (1.3)$$

为了小型化，总希望电阻器占有最小的面积。然而，电阻器长度和宽度并不是可以任意确定的，因为它们不仅受到式(1.3)所规定的长宽制约，而且还要受到电阻器额定功率和工艺条件的限制。

工艺条件限定了薄膜电阻器的最小宽度和最小长度。在采用机械掩模蒸发时，线条长度不能超过2mm。若电阻线条过长，则掩模板不能紧贴在基片上，因而电阻线条边缘会出现虚影。采用掩模板的电阻线条宽度一般为0.2mm，采用正刻法或反型金属掩蔽法制作时，一般为0.1mm。

(2) 功率密度的确定。为了达到小型化的目的，通常希望设计出尺寸尽可能小的电阻器。但是，电阻尺寸最小值除了受到工艺条件限制外，还要受到耗散功率的限制。因为电阻器是一个耗散电功率的元件，其功耗将转变为热能，一部分逸出到环境中去，一部分使电阻温度上升，温升将造成电阻值的不稳定。

为了表征电阻器负载功率的能力，引入功率密度的概念。单位面积的电阻上能承受的功率称为功率密度，用 P_0 表示。其大小涉及到基片材料的热导率、基片形状和尺寸、电阻形状和尺寸、网络封装材料、环境条件等因素，同时，还

要考虑到所选用的电阻材料。例如选用Ni-Cr电阻材料和以微晶玻璃作基片时，功率密度一般取 $15\text{mW}/\text{mm}^2$ ，而选用Ta膜和Cr-SiO电阻材料与微晶玻璃基片时，功率密度可以高一些，因为Ta膜耐热性较好，Cr-SiO膜较厚。从基片散热性能考虑，用 Al_2O_3 陶瓷基片较好，玻璃基片最差，微晶玻璃基片介于二者之间。因此，确定功率密度值是一个较复杂的问题，比较可靠的方法是通过电阻器的加速寿命试验来确定功率密度。

通常，功率密度可以用下式计算：

$$P_0 = \frac{P}{S} \quad (\text{W}/\text{cm}^2) \quad (1.4)$$

式中， P 为电阻器的功率(W)， S 为电阻器的有效散热面积(cm^2)：

$$S = lw \quad (1.5)$$

应当指出，即使在制膜时采取一定的监控措施，成膜后的薄膜的电阻精度也是有限的，一般为 $\pm(5\sim10)\%$ 。这是因为掩模板和蒸发夹具的精度以及蒸发源到基片的距离不准都会造成电阻值的分散性。欲使电阻器达到规定的标称值精度，就需要进行阻值调整。除了某些材料制成的薄膜电阻器（如Cr-SiO电阻）外，一般采用正调法（如激光调整、电火花调整、超声波调整等）将电阻器的阻值由低向高调整。为了提高成品率，保证电阻器不超过规定的功率范围，在设计电阻功率密度时必须减额计算，以弥补调整后电阻面积的减小。图形面积减小的程度要根据制造该电阻器的工艺水平来定。

(3) 长度和宽度的确定。设计出来的电阻器的几何尺寸，不但要满足电阻值的要求，还要满足功耗的要求。

当电阻器的长宽比 $N \leq 1$ 时，首先由式(1.3)~(1.5)确定

电阻器的长度为

$$l = \sqrt{\frac{P}{P_0} \cdot \frac{R}{R_s}} \quad (1.6)$$

然后, 由式 (1.3) 确定电阻器的宽度,

$$w = \frac{l R_s}{R} = \frac{l}{N} \quad (1.7)$$

如果计算出来的最小长度小于 0.5mm, 由于调整电阻工艺的需要, 需要增加电阻长度以达到 0.5mm. 此时, 宽度要相应加宽. 另外, N 值太小, 则阻值调整率太低, 阻值不易调上去, 会影响电阻的合格率.

当电阻器的长宽比 $N > 1$ 时, 应首先由式 (1.3) ~ (1.5) 确定电阻器的宽度,

$$w = \sqrt{\frac{P}{P_0} \cdot \frac{R_s}{R}} \quad (1.8)$$

则电阻器长度为

$$L = \frac{w R}{R_s} = N w \quad (1.9)$$

在用机械掩模蒸发时, 如果计算出来的宽度小于 0.2mm, 则需增加到 0.2mm. 在用正刻法或反型金属掩模法制作电阻时, 如果计算出来的宽度小于 0.1mm, 也需加宽到 0.1mm. 此时, 电阻的长度也要相应加长.

当由式 (1.6) 或式 (1.8) 求出的电阻器最小长度或宽度小于工艺条件所容许的最小值时, 应以长度为准, 在基片面积容许的条件下, 电阻器尺寸可以做得略大一些. 因为多数电阻器的宽度都比长度小得多, 而宽度越小, 因工艺因素造成的相对误差就越大, 因而对电阻器方数 (l/w) 的影响也越大, 对电阻值误差的影响也就越显著.

为了使电阻膜能够和引出端导体良好接触, 必须保证电

阻膜的每个端头都和导体重叠一定的长度，如 0.5mm 。因此，电阻膜的实际长度为 $l + 2 \times 0.5\text{mm}$ ，在设计电阻膜的图形时，一定要注意这一点。

2. 弯曲状薄膜电阻器的平面化设计

当一个电阻网络内有阻值范围很宽的多个电阻器时，那些高阻值的电阻器通过式 (1.6) 计算出来的长度 l 往往会超过基片的长度或宽度。为了提高基片平面的利用率，使得那些高阻值的电阻器也能够制作在基片表面上，需要将电阻体做成像图 1.3 所示那样的弯曲形状。在图 1.4 所示的电阻图形的直角拐弯部分的电流和电压分布是不均匀的。愈靠近拐弯内侧，其电流密度愈大，也就容易形成过热点。因此，在进行大功率电阻器的平面化设计时，往往用圆角代替直角。弯曲电阻器的方数不是简单地等于电阻线条的长度与宽度之比，必须将拐角部分的等效方数修正系数考虑在内。直角拐角部分的方数一般近似地认为等于 0.5 方。但由于用保角变换计算

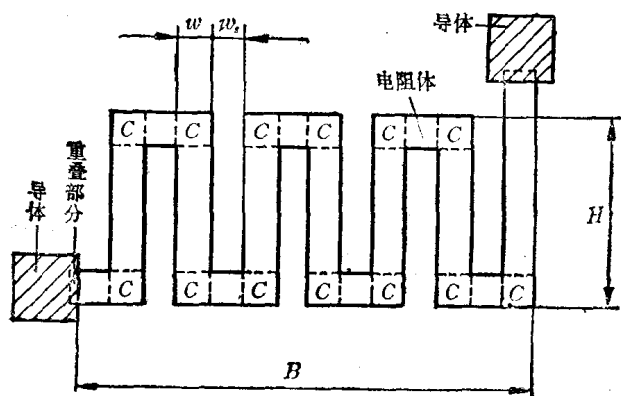


图 1.3 弯曲状薄膜电阻器
(图中 C 为拐弯部分)

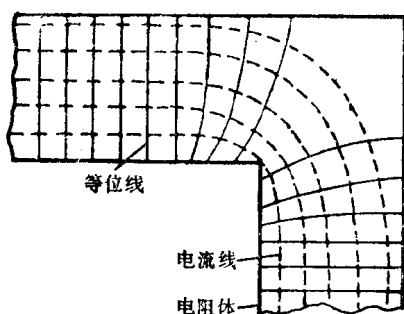


图 1.4 薄膜电阻图形的弯曲造成了电流和电压的不均匀分布

出来的各种不规则图形的较准确的有效方数如图1.5所示,拐角处的等效方数并不一定等于0.5方。

弯曲状薄膜电阻器在基片上所占的面积等于电阻器占据区域的长度 H 与宽度 B 的乘积,它根据式(1.6)计算出来的电阻线条有效长度 l 和宽度 w 以及弯曲线条间隙 w_r 之间的关系,可以近似地表示为

$$HB \approx (w + w_r)l \quad (1.10)$$

通常取 $w_r = w$, 所以

$$HB \approx 2lw \quad (1.11)$$

也就是说,在计算基片必须具有的总面积时,应该注意到弯曲状薄膜电阻器所占面积与电阻线条所占面积的差别。后者可近似地认为等于 lw ,而前者约为后者的2倍。

计算弯曲状薄膜电阻器的电阻膜宽度和计算直线状的情形一样,采用收尾法近似。当计算出的数值小于工艺条件所能容许的数值范围时,应以工艺条件所能容许的数值为准。而且在基片面积许可的条件下,尺寸可以做得大一些。电阻膜的每一个端头也都应该和导体膜重叠0.5mm。