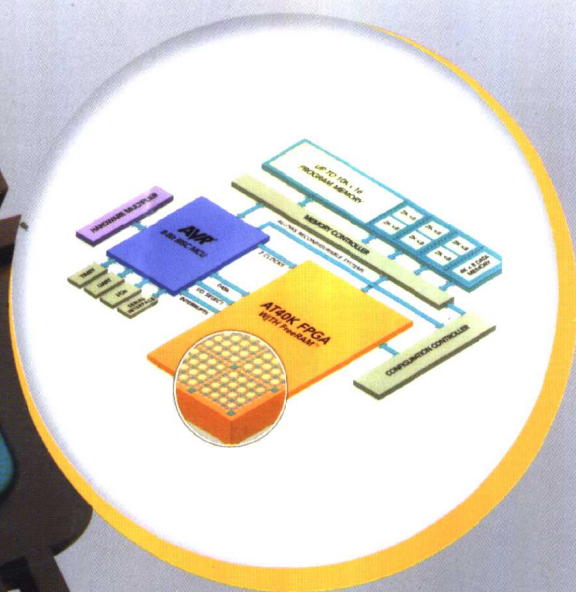
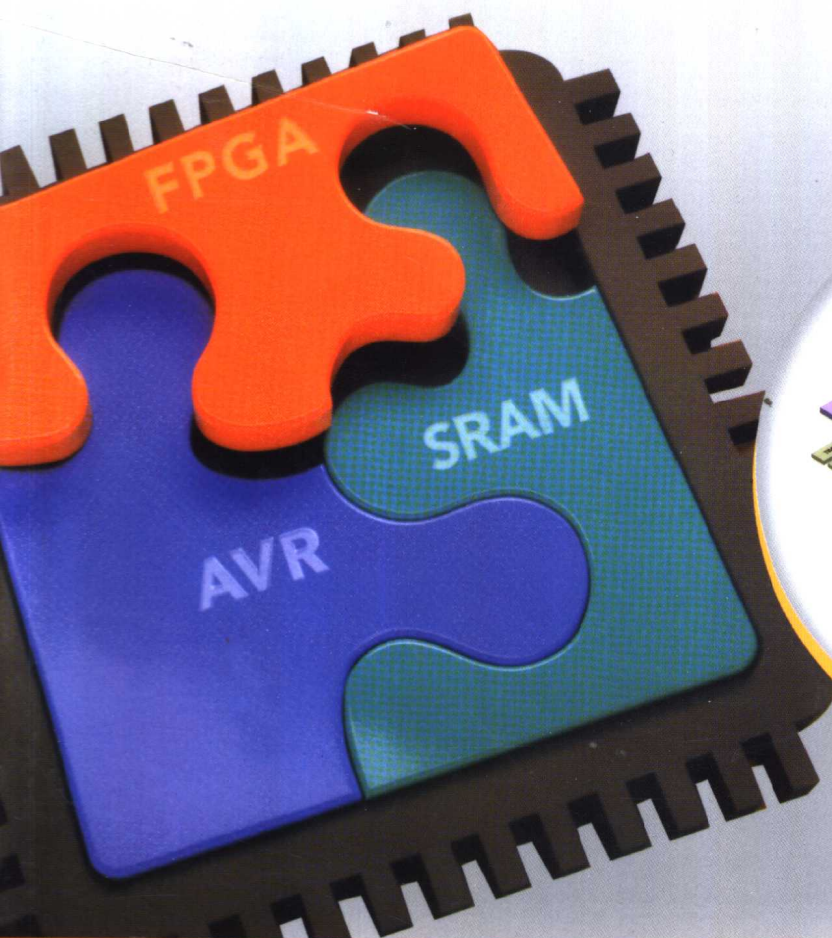


基于AVR单片机的SoC

——FPSLIC 设计入门

叶晶晶 黄 或
王 昕 叶勇建

编著



基于 AVR 单片机的 SoC ——FPSLIC 设计入门

叶晶晶 黄 或 编著
王 昕 叶勇建

北京航空航天大学出版社

<http://www.buaapress.com.cn>

内 容 简 介

本书全面介绍了美国 Atmel 公司最新推出的基于 AVR 单片机的 SoC 系统——FPSLIC。详细介绍了 FPSLIC 器件的基本原理和具体结构,以及 FPSLIC 的设计开发工具 System Designer 3.0 的具体使用方法,主要包括 AVR 单片机编程调试、FPGA 设计输入、FPGA 设计验证与实现、联合仿真与验证以及器件配置与下载。最后介绍了 Atmel 公司提供的 FPSLIC 开发包 ATSTK94,以便读者能够较快地进行实际的 FPSLIC 系统设计应用。

本书可作为广大单片机软件编程与设计开发人员,特别是从事 SoC 系统设计的工程技术人员的实用参考资料,同时也可作为大专院校相关专业本科生和研究生的教学参考书。

图书在版编目(CIP)数据

基于 AVR 单片机的 SoC:FPSLIC 设计入门/叶晶晶等编
著. —北京:北京航空航天大学出版社,2004. 2

ISBN 7-81077-437-9

I. 基… II. 叶… III. 单片微型计算机—系统设计
IV. TP368.1

中国版本图书馆 CIP 数据核字(2004)第 002116 号

基于 AVR 单片机的 SoC——FPSLIC 设计入门

叶晶晶 黄 彧 王 昕 叶勇建 编著

责任编辑 孔祥燮 王 实 王慕冰

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:(010)82317024 传真:(010)82328026

<http://www.buaapress.com.cn> E-mail:bhpress@263.net

北京市松源印刷有限公司印装 各地书店经销

*

开本:787 mm×1 092 mm 1/16 印张:20.75 字数:531 千字

2004 年 2 月第 1 版 2004 年 2 月第 1 次印刷 印数:4 000 册

ISBN 7-81077-437-9 定价:32.00 元

序

亲爱的读者,美国 ATMEL 公司又为您带来了继 AT89C51、AVR 单片机之后的又一款全新概念的半导体集成电路 FPSLIC(Field Programmable System Level Integrated Circuit)。为什么说是全新概念呢?随着半导体集成电路的迅猛发展,大规模及超大规模集成电路层出不穷,以单一微处理器作为控制系统的产品会逐渐被替换,取而代之的将是现在最流行的“片上系统”SoC(System-on-Chip)。

进入 21 世纪后,电子产品的系统设计更是趋于三高两低,即:高可靠、高速度、高保密、低电压、低功耗。欲想构成这样一个系统,凭借以往使用的单片机、存储器及外接逻辑电路来组合连接是很难的。而 SoC 则将这三种电路在半导体工艺制造上合而为一。今天 ATMEL 公司为您提供的 FPSLIC 就是这样一种电路。片上系统 FPSLIC 内部由三部分组成:高速 AVR 单片机、存储器、现场可编程门阵列 FPGA。嵌入在 FPSLIC 内部的 AVR 单片机与单一的 AVR 单片机相比,运行速度要快很多。这是因为 FPGA 的运行速度快,所以片内 AVR 单片机的运行速度也要快。片内 FPGA 的逻辑门容量为 5K~40K。这个逻辑门的容量虽然不是很大,但它比可编程逻辑器件 CPLD 的容量要大得多,所以是足够用的。

片上系统 FPSLIC 的发展其实经过了很长时间。早期的 FPSLIC 内部的 FPGA 配置存储器是放在外边的,这样带来了系统的保密问题,因裸露在外边的存储器的数据极易被复制;而现在的 FPSLIC 是真正意义上的片上系统,它将所有的存储器,即:AVR 程序存储器、数据存储器及 FPGA 配置存储器放在同一个硅片上,并且加上保密位的设置,比单一器件(AVR 及 CPLD)的保密性能更强。

随着片上系统 FPSLIC 逐渐在国内的推广,用户可能最担心的是开发系统的平台如何获取,以及器件的价格和售后服务等问题。在这里我们要说一句,那就是 ATMEL 公司不会让广大用户失望,我们会努力做好售前、售后的技术服务工作,使用户会在较短时间内掌握这一技术,并运用到生产实践中去。

本书是由北方交通大学三位老师编写的。她们多年从事这方面的专业教学,有许多经验,利用业余时间为我们广大读者编写了这本书。为此,我们向她们表示深深的感谢。另外,为了编写这本书,ATMEL 公司叶勇建先生利用业余时间筹集资料,并进行了一些翻译校对工作。还有我们要特别感谢北京航空航天大学出版社对我们的支持,为了使这本书早日与读者见面,他们甚至在节假日期间加班加点。最后我们还要感谢广大读者,没有您的参与,片上系统 FPSLIC 就不会在中国生存。

美国爱特梅尔(ATMEL)公司

2004 年 2 月 5 日



ATMEL ASIA LIMITED

美国爱特梅尔股份有限公司

亚太区总部

香港九龙尖沙咀东部麼地道

77 号华懋广场 1219 室

TEL: 00852 - 27219778

FAX: 00852 - 27221369

美国爱特梅尔股份有限公司

(北京联络处)

中国 北京市 海淀区

学院南路 70 号, 710 房间

邮政编码: 100081

邮政信箱: 北京 8125 信箱

TEL: 86 - 10 - 62180477

FAX: 86 - 10 - 62186227

美国爱特梅尔股份有限公司

(上海联络处)

中国 上海 长宁区

番禺路 586 号 4 楼

邮政编码: 200052

电话: 86 - 21 - 62809234

传真: 86 - 21 - 62807592

前 言

当今,在微电子及其应用领域正在发生一场前所未有的革命性变革,这场变革是片上系统 SoC(System on Chip)技术研究应用和发展引起的。SoC 技术是当今超大规模集成电路的发展趋势,也是 21 世纪集成电路技术的主流。纵观信息产业的进步,一切数字化产品高度发展的核心,应归功于基于半导体技术高度发展的专用集成电路,特别是系统单芯片集成技术——SoC(System on Chip)。

当前,由于复杂电路的单芯片集成技术日臻完善,使得把整个系统集成在一起成为可能。SoC 系统级芯片是电子技术和集成电路技术不断发展的产物和方向。随着单芯片的集成度越来越高,功能越来越强,现在已有技术能将一个复杂的系统集成在小小的硅芯片上。特别是在一些 PDA 产品上,开始是一些数字系统,现在正在将模拟和数字功能合成集成到同一芯片上。SoC 是各种电子技术在单芯片上的集成,是现代电子技术的完美体现和追求。SoC 将改变电子产品和系统的开发手段、方法和思想,同时也将影响电子产业的格局和生产方式。因此,在 SoC 还是最尖端和前沿的技术时,掌握 SoC 技术即掌握了电子产业发展的方向和命脉。

Atmel 公司开发了 FPSLIC(Field Programmable System Level Integrated Circuit,现场可编程系统级集成电路) AT94K 系列器件,它将 AVR、FPGA 和 SRAM 集成在单一芯片上,完美地实现了 SoC 技术。

本书主要介绍 FPSLIC 器件的硬件结构和开发软件 System Designer,简单易懂,仅作为 FPSLIC 的入门篇。通过对此书的学习,使读者初步掌握 FPSLIC 的软件编程和设计过程。

本书的主要内容分为 7 章。

第 1 章介绍 FPSLIC 器件的硬件结构和特点,包括内嵌的 FPGA 和 AVR 内核,以及 FPGA 与 AVR 的内部接口。

第 2 章为 FPSLIC 设计软件初步入门,以具体的示例指导读者进行完整的设计操作。

第 3 章概括介绍 FPSLIC 设计工具 System Designer 3.0 的使用。

第 4 章主要介绍 FPSLIC 内部 AVR 的编程。

第 5 章和第 6 章主要介绍 FPSLIC 内部 FPGA 的设计流程,包括设计输入、设计验证和实现。为了便于读者进行 FPGA 设计,在设计输入部分对 VHDL 语言进行了介绍。

第 7 章主要介绍 FPSLIC 联合验证软件的组成及其使用步骤,同时器件的配置与下载也在此介绍。还介绍 Atmel 公司提供的 FPSLIC 开发包 ATSTK94,以便读者能够较快地进行实际的 FPSLIC 系统设计应用。

由于编者水平有限,书中难免存在缺点和错误,殷切欢迎广大读者批评指正。

作者

2003 年 12 月

绪 论

为了提高系统的集成密度,以多系统功能组合而成的单系统芯片 IC 将成为电子行业的未来发展趋势。目前,在业界发展的“独立 SoC IP CORE”已经能让单系统芯片 IC 更加普及。SoC 的应用设计不但降低了系统总成本、体积和功耗,同时,也使多系统设计更加可靠。

IC 系统的集成方法有多种层次,而真正的 SoC 只需要 3 个基本元素:处理器、存储器和逻辑单元。集成了这 3 类电路也就相当于在单个芯片上实现了大多数系统的所有功能。通常,系统级集成仅局限在掩膜 ASIC,因为集成处理器、存储器和逻辑电路需要专门的实现方法。遗憾的是,只有少数设计者有机会接触掩膜 ASIC。对于不能保证年用量在几十万片以上的设计,ASIC 供应商是不会轻易接受的。对于单个设计来说,IP 和掩膜的改变等非经常性工程(NRE),成本动辄就是几十万美元。另外,ASIC 产品很不灵活,设计中的任何一点错误或修改都将导致额外的掩膜费用,以及再加工所需的较长制造周期。

综上所述,无论从功耗还是设计体积和成本方面,设计者都希望可以 from SoC 的角度进行系统设计。但在大多数情况下,设计者不可能得到期望的系统级集成。因此,大多数设计者只能依赖离散的标准器件,如微处理器、存储器、DSP 和可编程逻辑器件等,来实现电子应用产品的开发。

目前,FPGA 厂商已能提供超过一百万门的 FPGA,他们开始尝试涉足中等产量、转换迅速的 SoC 需求领域。设计者可以通过处理器的软 IP 核以及其他压缩的 IP 来实现处理器、存储器和逻辑功能,而无需自己从头做起。然而大容量的 FPGA 由于硅片体积相对较大,造成系统物理尺寸大,功耗和成本高。此外,FPGA 的大粒度结构在实现处理器时并不经济。假设采购一个独立的微处理器仅需要 6 美元,而用软核方式在大容量 FPGA 上实现相同功能则可能需要 60 美元!这对于今天高度竞争的市场来说,实在是太昂贵了。因此,大容量 FPGA 往往只是用来实现 ASIC 的原型设计,然后再转换为 ASIC;或者用于成本和功耗为次要考虑的应用,如蜂窝基站和高端网络基础设施。对于功耗、体积和成本为主要考虑因素的应用,FPGA 厂商希望以大容量 FPGA 向设计人员提供 SoC 技术的想法从本质上就是错误的。

可见,当前半导体界的问题是如何向无法达到 ASIC 的设计者,包括因为功耗、体积和成本的原因无法使用大容量 FPGA 的设计者,提供系统级集成技术。解决系统级集成的方法就是创建混合产品,即可编程系统级芯片——片上系统(SoC),它可以在一块现成的可编程芯片上提供产品所需的系统级集成。现在已经有不少 IC 厂商,在实现可编程的系统级集成方案上迈出了步子。这些新的器件所提供的系统功能包括处理器、存储器和可编程逻辑,同时不需要 ASIC 所需的 NRE 费用和冗长的制造周期。因此,可编程系统级芯片提供了掩膜 ASIC 的高集成度、低功耗、小尺寸、低成本特性,以及 FPGA 的低风险、灵活和快速上市的特性,从而使 SoC 技术受到了极大的欢迎。

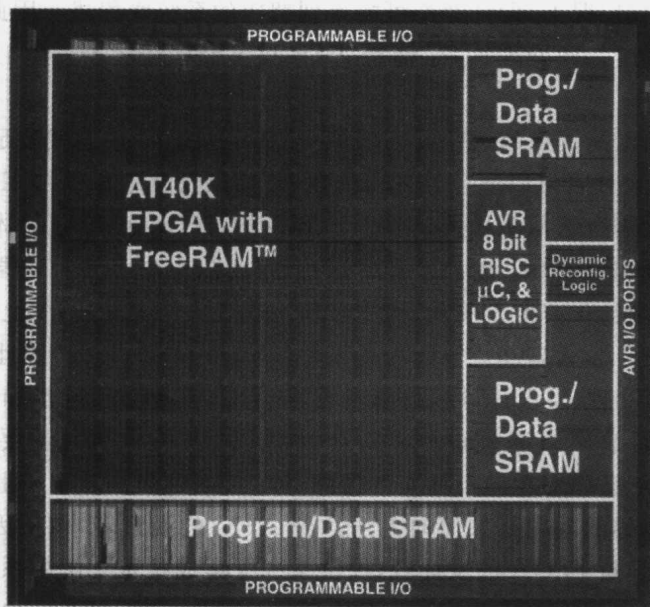
目前,已有一些 IC 厂商能够提供这种类型的可编程 SoC。美国 Atmel 公司于 1999 年末开发出了世界上第一个基于 RISC 的现场可编程系统级集成电路 FPSLIC(Field Programmable

ble System Level Integrated Circuit)。现在产品已经大量供货。Xilinx 和 Altera 公司也发布了类似的产品,集成了微处理器、存储器、不同容量的可编程逻辑单元以及外设功能。设计者利用这些优点,就可以在单片 IC 上设计系统,避免了总是与掩膜 ASIC 相伴随的复杂性和风险。

Atmel 公司可编程 SoC 的市场目标是商业和工业应用,如便携式、无线产品和 Internet 设备,功耗低以及性能和成本适当是这些设备的根本要求。Atmel 公司可编程 SoC 可应用于个人数字助理(PDA)及其配件、数码相机、MP3 播放器和 GPS 模块,以及无线家庭网络(通过 Internet 将家用设备,如安全系统、空调等白色家电连接到终端用户/制造商服务中心)等领域。尤其对于价格敏感的产品,FPSLIC 的低价格(批量订货时可低于 5 美元)无疑是最具吸引力的。

FPSLIC 的应用领域还要求器件具有代码保密功能,以保护相关人员的利益。Atmel 公司在 2002 年第一季度,发行了业界第一个程序可保密的 FPSLIC。这个系列产品可以使设计者在基于 SRAM 的系统上实现对自己所有 IP 的保护。这个代码保密能力是其他基于 SRAM 的可编程系统级集成产品所没有的。此时用户为了保护 IP,只能采用灵活性差的一次性可编程熔丝器件。Atmel 公司的芯片则综合了系统内可编程(ISP)和保密功能,保证了用户可以随时修改软硬件,降低库存,减少设计风险,缩短产品面市时间,降低总体制造成本。

Atmel 公司的 FPSLIC 内部结构如下图所示:

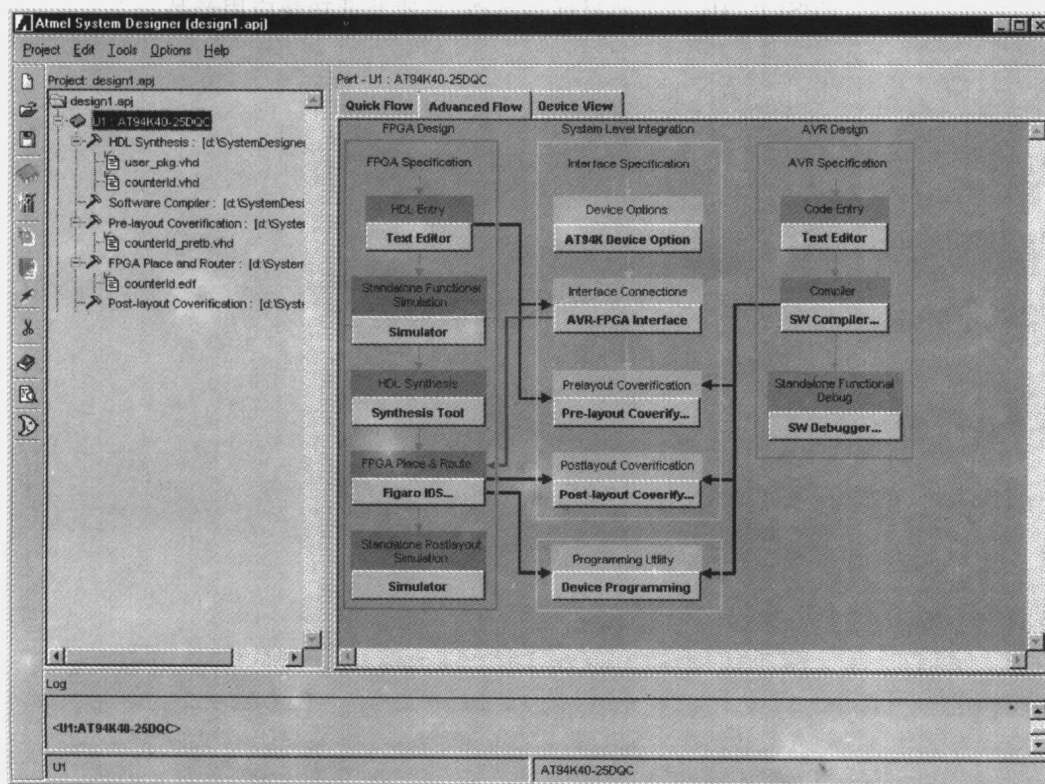


Atmel 公司的 FPSLIC 可编程 SoC 内嵌高性能和低功耗的 8 位 AVR 单片机,最多还带有 36 KB 的 SRAM,多达 4 万个 FPGA 逻辑门、2 个 UART、1 个双线串行接口、3 个定时/计数器、1 个 8×8 乘法器以及一个实时时钟。由于 AVR 运行代码存储在 SRAM 中,因此它在 25 MHz 时可提供 20 MIPS 的性能。这样的吞吐量对于图像预处理和视频压缩/解压缩已经足够。FPSLIC 的高吞吐量可使其工作于突发模式。在这种模式下,AVR 在大多数时间都是处于低功耗待机状态,并能在很短的时间里进行高性能处理。微处理器在突发运行模式下的

平均功耗要比长时间低频率运行时的功耗低得多,而且当需要时也能使系统保持较高的吞吐量。FPSLIC 的待机电流小于 $100\ \mu\text{A}$,典型的工作电流为 $2\sim 3\ \text{mA}/\text{MHz}$ 。这与 ASIC 方案相差不多,但比分立方案或大容量 FPGA 要小得多。后者的待机电流为几十毫安,而工作电流则高达数百毫安。

FPSLIC 的 SoC FPGA 采用 Atmel 公司的可重配置 AT40K FPGA 技术。每个 FPGA 单元都可以在系统运行期间独立地进行配置,而且不会影响其他单元。FPSLIC 的这种可配置性和开发的灵活性,包括程序更新能力,使其成为设计便携式产品、无线产品或低功耗产品的理想选择。

设计工具是 SoC 的另一个关注问题。市场上已经有了大量的工具用于开发和调试 C 或汇编语言编写的程序,也有了大量的工具用于设计和验证硬件描述语言 HDL (Hardware Description Language) 完成的可编程逻辑设计。然而很少有 EDA 工具支持既包含可编程逻辑,又包含可编程处理器的设计。实际上,验证那些用完全不同的语言和不同的设计流程完成的设计的确是一个真正的挑战。经典的 FPGA 开发方法可能只使用 HDL 对可编程的逻辑和可编程的处理器进行仿真,将处理器看作是 HDL 描述,而不只是处理器的调试用具。这种方法在仿真复杂 SoC 时无法使设计人员有效地调试硬件,因为此时设计者无法访问硬件。然而没有设计者愿意在没有调试器的情况下调试 C 或汇编代码。Atmel 公司的 System Designer 联合验证软件工具则可以很好地解决这一问题。它允许设计者在调试器里仿真 AVR 代码的同时,可以用 HDL 对可编程逻辑进行仿真,从而使设计者可以在硬件实现和软件实现之间进行权衡,并实现对 AVR 处理器的 C 代码或汇编代码的直接调试。这个调试能力对于那些熟悉 C 或汇编设计流程的嵌入式系统开发者来说是不可缺少的。具体设计流程如下图所示:



可编程的 SoC 的出现为所有设计者带来了系统级集成的设计方案,而不论他们的设计是否可以得到 ASIC 厂商的确认。这个技术为未来的产品提供了高集成度、高性能的方案。决定哪一个可编程的 SoC 方案更好,则取决于具体设计所确定的成本、功耗和性能要求,以及设计者熟悉哪一种设计方法。

可编程的 SoC 为设计者带来了 ASIC 所具有的低功耗、小产品体积、低成本等特点,以及 FPGA 所具有的高灵活性和产品快速推出市场的优点。

新的 EDA 工具允许设计者在用 C 和汇编语言对控制处理器进行编程的同时,也可以与用 HDL 编程的逻辑单元来进行仿真测试。

自 FPSLIC 首次面市以来,Atmel 公司一直致力于将其与配置 EEPROM 合并到一起,成为可提供安全防护及简化 PCB 布局/布线的单一芯片,进一步简化用户的使用。我们称此新芯片为“安全 FPSLIC”。2002 年,Atmel 公司在 AVR 单片机中增加了 JTAG 仿真功能以提高 FPSLIC 的性能。FPSLIC 的初始出发点是针对 FPGA 或逻辑设计人员提供联合验证 (Co-verification) 软件以辅助他们进行设计。由于大多数 FPGA 设计者已经很熟悉模拟设计方法,联合验证软件对他们非常适合。然而这对于单片机使用者来说是不够的,他们需要即时芯片仿真功能。JTAG 接口正好为这些用户提供了熟悉的仿真平台。Atmel 公司将在 2004 年初发布其新一代以 $0.18\ \mu\text{m}$ 工艺制造、增加 SPI 接口和数据存储器接口的 FPSLIC (FPSLIC II)。这些新的外围设备将为用户提供更多的 FPSLIC 与其他器件进行连接的选择。FPSLIC II 在价格上将比现有器件降低 $20\%\sim 40\%$,FPGA 门数增至 $5\ 000\sim 80\ 000$ 门,而 AVR 单片机速度更将达到 $40\ \text{MHz}$ 。在 2005 年,Atmel 公司的目标是利用 $0.13\ \mu\text{m}$ 工艺生产 FPSLIC III。这将把 AVR 单片机的速度进一步提高到 $60\ \text{MHz}$,FPGA 门数则提高到 $40\ 000\sim 200\ 000$ 门。FPSLIC III 的主要目标是高档、高速及低功耗应用产品。

目 录

绪 论

第 1 章 FPSLIC 器件 AT94K 简介

1.1	AT94K 简介与特点	1
1.2	FPGA 内核	4
1.2.1	FPGA 基本结构	4
1.2.2	内部 FreeRAM	8
1.2.3	FPGA 时钟和置位/复位	10
1.3	FPGA/AVR 接口和系统控制	13
1.3.1	FPGA/AVR 接口电路	13
1.3.2	程序和数据 SRAM	13
1.3.3	FPGA 访问数据 SRAM 模式	15
1.3.4	AVR 访问程序存储器模式	15
1.3.5	AVR Cache 模式	19
1.3.6	FPGA/AVR 系统控制	19
1.3.7	系统复位	22
1.4	AVR 内核及外设	23
1.4.1	AVR 内核总体结构	23
1.4.2	AVR 中央处理器	24
1.4.3	AVR 存储器	26
1.4.4	AVR 对 FPGA 的控制	32
1.4.5	AVR 复位系统	36
1.4.6	AVR 系统中断系统	38
1.4.7	AVR 单片机节电方式	43
1.4.8	JTAG 接口和片上调试系统 OCD	44
1.4.9	定时/计数器	46
1.4.10	UART	62
1.4.11	2 线串行接口	71
1.4.12	I/O 端口	83

第 2 章 System Designer 3.0 快速入门指导

2.1	System Designer 软件的安装	92
-----	-----------------------	----

2.1.1	系统的配置	92
2.1.2	软件的安装	92
2.1.3	产品 License 的设置	100
2.1.4	基于硬件狗的 License 的设置	101
2.2	快速入门教程	104
2.2.1	设计功能的描述	104
2.2.2	新工程的建立	105
2.2.3	编译 AVR 的汇编/C 代码	111
2.2.4	综合 FPGA 的 VHDL 代码	115
2.2.5	AVR - FPGA 的接口设计	116
2.2.6	FPGA 的布局布线	118
2.2.7	布局前联合仿真	121
2.2.8	布局后联合仿真	125
2.2.9	器件编程与实验验证	126

第 3 章 System Designer 3.0 简介

3.1	工程项目管理器	129
3.1.1	工程项目管理器的作用	129
3.1.2	工程项目管理器的组成	129
3.1.3	打开已有工程	130
3.2	设计流程	131
3.2.1	器件结构简介	131
3.2.2	快速流程	132
3.2.3	高级流程	133
3.3	菜单命令	134
3.3.1	项目菜单	134
3.3.2	编辑菜单	135
3.3.3	选项菜单	136

第 4 章 AVR 单片机编程

4.1	AVR Studio 工作环境简介	137
4.1.1	AVR Studio 的主要视窗	137
4.1.2	AVR Studio 的调试控制及中断命令	140
4.2	AVR 设计流程	143
4.2.1	System Designer 中的 AVR Design 设计流程	143
4.2.2	独立的 AVR Studio 软件的设计流程	145
4.3	AVR 软件仿真器概述	147
4.3.1	软件仿真器选项	147
4.3.2	软件仿真器模块	147

第 5 章 FPGA 的 System Designer 3.0 设计输入

5.1	FPGA 设计流程简介	149
5.1.1	设计输入	149
5.1.2	设计验证	150
5.1.3	综合优化	151
5.1.4	设计实现	151
5.2	VHDL 语言简介	152
5.2.1	VHDL 基本结构	152
5.2.2	结构体的描述方式	154
5.2.3	库、程序包和配置	156
5.2.4	VHDL 对象	160
5.2.5	VHDL 数据类型	162
5.2.6	VHDL 运算操作符	164
5.2.7	顺序语句	165
5.2.8	并行语句	169
5.3	System Designer 3.0 的设计输入	179
5.3.1	文本编辑环境	180
5.3.2	源文件的建立	187

第 6 章 FPGA 的 System Designer 3.0 设计验证与实现

6.1	System Designer 3.0 的设计验证	199
6.1.1	ModelSim 5.6e 的特点	199
6.1.2	ModelSim 主窗口	200
6.1.3	仿真的基本步骤	203
6.1.4	创建一个工程	203
6.1.5	基本的 VHDL 仿真	207
6.1.6	VHDL 设计调试	219
6.1.7	其他仿真功能窗口介绍	222
6.1.8	测试平台的建立和仿真	227
6.2	System Designer 3.0 的逻辑综合	230
6.2.1	快速设置	231
6.2.2	综合向导	232
6.2.3	高级流程	237
6.2.4	使用高级流程综合不同的下载模式	251
6.3	设计的物理实现	254
6.3.1	Figaro 简介	254
6.3.2	Figaro 设计的两个流程	255
6.3.3	创建设计目录	257

6.3.4	设计文件的打开	259
6.3.5	设计的适配	260
6.3.6	设计器件的增加和分区	261
6.3.7	设计的编译	265
6.3.8	用户宏的生成	269

第 7 章 联合验证

7.1	联合验证软件的组成	271
7.2	联合验证	272
7.2.1	System Designer 的初始设置	272
7.2.2	联合验证的启动	272
7.2.3	在联合验证模式下使用 AVR Studio	273
7.2.4	硬件和软件仿真器的状态指示	274
7.2.5	AVR Studio 联合验证菜单	275
7.2.6	在联合验证模式下使用 ModelSim	276
7.2.7	联合验证的重启	276
7.3	AVR-FPGA 接口设计应用举例	277
7.3.1	AVR-FPGA 接口设计 1	277
7.3.2	AVR-FPGA 接口设计 2	278
7.3.3	AVR-FPGA 接口设计 3	280
7.3.4	AVR-FPGA 接口设计 4	283
7.3.5	AVR-FPGA 接口设计 5	285
7.3.6	AVR-FPGA 接口设计 6	288
7.4	器件配置与下载	291
7.4.1	生成下载数据流文件	291
7.4.2	下载配置 EEPROM	292
7.5	FPSLIC 系统开发包	294
7.5.1	FPSLIC ATSTK94 开发包配置与硬件结构	294
7.5.2	实验板 ATSTK94 测试	305
7.5.3	ATSTK94 应用实例	308

第 1 章 FPSLIC 器件 AT94K 简介

随着 SoC 技术发展与应用,Atmel 公司推出新产品——基于 RISC 的现场可编程系统级集成电路 FPSLIC(Field Programmable System Level Integrated Circuit)AT94K,其内部嵌入微处理器、存储器、FPGA 以及一些外设和接口逻辑电路;并且开发工具费用低,开发系统完备,使设计工程师能够方便地进行 SoC(System on Chip)设计。本章从内嵌的 FPGA、FPGA/AVR 接口和 AVR 三方面对 FPSLIC 内部结构进行详细介绍。

1.1 AT94K 简介与特点

Atmel AT94K 结构如图 1.1.1 所示,芯片以 Atmel 0.35 μm 的 5 层金属 CMOS 工艺制造。内部嵌入 Atmel AT40K 系列基于 SRAM 的 FPGA,以及高性能、带标准外设的 Atmel 8 位

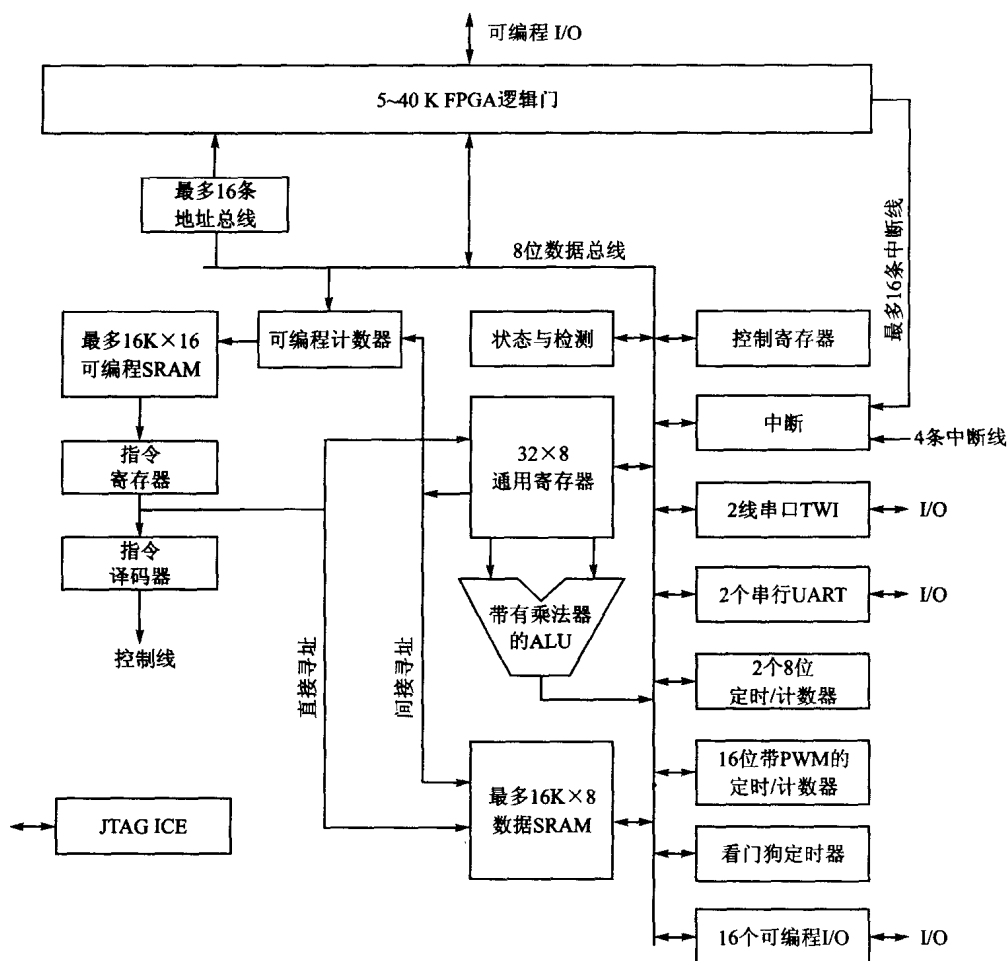


图 1.1.1 AT94K 芯片内部结构图

RISC AVR 单片机。另外,器件中还包括扩展数据和程序 SRAM 及器件控制和管理逻辑。

AT40K FPGA 内核基于 SRAM 结构,它与 3.3 V PCI 完全兼容,带有 10 ns 分布式可编程同步或异步、双端口或单端口 SRAM、8 个全局时钟,并具有 Cache Logic 性能(可以重新配置器件部分和全部逻辑功能而不丢失数据),目前可用 FPGA 门数为 5 000~40 000。

AT94K 内嵌 AVR 内核,通过采用单周期指令,运算速度高达 1 MPS/MHz,这样用户可以充分优化系统功耗和处理速度。AVR 内核基于增强型 RISC 结构,拥有丰富的指令系统以及 32 个通用工作寄存器,而且所有的通用寄存器都与算术逻辑单元 ALU 相连;另外,在一个时钟周期内,执行单条指令时允许存取 2 个独立的寄存器。这种结构使得代码效率更高,并且在相同的时钟频率下,可以获得比传统的 CISC 微处理器高 10 倍的数据吞吐量。AVR 从片内 SRAM 执行程序。在系统上电时,FPGA 配置 SRAM 和 AVR 程序 SRAM 都能自动地通过 Atmel 在系统可编程串行 EEPROM 存储器 AT17 来装载。

AT94 系列 FPSLIC 的特点如下:

- 单片现场可编程系统级集成电路:
 - 集成了基于 SRAM 的 AT40K FPGA、高性能的嵌入式 RISC AVR 内核、扩展的数据和指令 SRAM 以及 JTAG ICE。
- 拥有专利的、基于 SRAM 的 FPGA,包含 FreeRAM 的 5 000~40 000 门:
 - 分布于 FPGA 内 2K~18.4K 位单端口/双端口用户 SRAM;
 - 高性能的、针对 DSP 功能进行了优化的 FPGA 核心单元;
 - 可以通过 AVR 对 FPGA 进行动态配置,支持 Cache Logic 设计;
 - 极低的静态和动态功耗,适合于移动设备和手持设备。
- 拥有专利的 AVR 增强型结构:
 - 120+条高效的指令——大多数为单周期执行指令;
 - 高性能的硬件乘法器,适合基于 DSP 的系统;
 - 高达 1 MIPS/MHz 的性能;
 - 针对 C 语言优化的结构,具有 32 个 8 位通用寄存器;
 - 低功耗的空闲、省电和掉电模式;
 - 待机模式下功耗仅为 100 μ A,工作时也只有 2~3 mA/MHz。
- 多达 36 KB 的可动态分配的程序及数据 SRAM:
 - 最多可分配的程序 SRAM 为 16K $\times$ 16 位,访问时间为 15 ns;
 - 最多可分配的数据 SRAM 为 16K $\times$ 8 位,访问时间为 15 ns。
- 与 IEEE 标准 1149.1 兼容的 JTAG 接口:
 - 支持扩展的片内调试;
 - 遵循 JTAG 标准的边界扫描功能(AVR 端口)。
- AVR 的外围功能:
 - 与 I²C 兼容的 2 线串行接口;
 - 2 个可编程的 UART;
 - 2 个具有独立的预分频器和 PWM 功能的 8 位定时/计数器;
 - 1 个具有预分频器、比较功能、捕捉功能和双 8、9 或 10 位 PWM 功能的 16 位定时/计数器。

- 支持利用 FPGA 建构用户自己的外围功能：
 - AVR 外设控制——AVR 的 16 条编码地址线直接与 FPGA 相连；
 - 具有 FPGA 宏单元库供用户选择。
- FPGA 向 AVR 提供了 16 根中断线。
- AVR 具有 4 个外部中断。
- 8 个 FPGA 全局时钟：
 - 2 个 FPGA 时钟由 AVR 提供；
 - 可以从 FPGA 内核访问全局时钟。
- 多个振荡器电路：
 - 由片内振荡器驱动的可编程看门狗定时器；
 - 连接到 AVR 内部时钟电路的振荡器；
 - 时钟频率可通过软件来选择；
 - 驱动实时时钟定时/计数器的振荡器。
- V_{CC} : 3.3~3.6 V。
- 与 3.3 V、33 MHz PCI 兼容的 FPGA I/O：
 - 吸收/扇出能力高达 20 mA 的高性能 I/O；
 - 所有 FPGA I/O 都可以单独编程。
- 高性能、低功耗的 0.35 μm CMOS 5 层金属工艺。
- 实现 AVR 与 FPGA 联合验证集成软件包。

AT94K 系列单片机的性能比较见表 1.1.1。

表 1.1.1 AT94K 系列单片机的性能比较

器 件		AT94K05	AT94K10	AT94K40
FPGA 门数		5 000	10 000	40 000
FPGA 核心单元(Cell)		256	576	2 304
FPGA SRAM/位		2 048	4 096	18 432
FPGA 寄存器(全部)		436	846	2 862
最多可用的 FPGA I/O		96	144	288
AVR 可编程 I/O		8	16	16
程序 SRAM/KB		4~16	20~32	20~32
数据 SRAM/KB		4~16	4~16	4~16
硬件乘法器(8 位)		有	有	有
2 线串行接口		有	有	有
UART		2	2	2
看门狗定时器		有	有	有
定时/计数器		3	3	3
实时时钟		有	有	有
JTAG ICE		有	有	有
典型 AVR 数据 吞吐率/MIPS	25 MHz	19	19	19
	40 MHz	30	30	30
工作电压/V	AL	3.0~3.6	3.0~3.6	3.0~3.6
	AX	1.6~2.0	1.6~2.0	1.6~2.0