

21世纪普通高等教育规划教材

*Xiandai Dianzi Jishu Shijian
Kecheng Zhidao*

现代电子技术实践 课程指导

谢云 易波 编著
刘冰茹 王春茹

 机械工业出版社
CHINA MACHINE PRESS



21 世纪普通高等教育规划教材

现代电子技术实践课程指导

谢 云 易 波 刘冰茹 王春茹 编著



机械工业出版社

本书以 EDA 技术为主线,在“模拟电子技术”、“数字电子技术”的基础实验、课程设计和毕业设计三个实践环节中,系统地介绍了 ispPAC、FPGA/CPLD 芯片,EDA 工具软件,以及 VHDL 等新技术的应用。全书共分基础实验、课程设计和电子系统设计三大部分。基础实验环节结合模拟可编程器件和数字可编程器件,将传统实验进行整合;课程设计环节以 EDA 技术为主,注重电子设计的自动化;电子系统设计以 VHDL 设计为主,强调面向用户的系统设计。

本书可作高等院校电子类、自控类、信息类、电气类以及机电类等本、专科学生的“电子技术”、“现代电子系统设计基础”等课程的实验和课程设计教材。也可作为电子技术工程技术人员及广大电子技术爱好者的参考书。

图书在版编目(CIP)数据

现代电子技术实践课程指导/谢云等编著. —北京:机械工业出版社,2003.2
21世纪普通高等教育规划教材
ISBN 7-111-11338-1

I. 现… II. 谢… III. 电子技术—高等学校—教材 IV. TN

中国版本图书馆CIP数据核字(2002)第 100349 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑:贡克勤 版式设计:霍永明 责任校对:刘志文

封面设计:张 静 责任印制:路 琳

北京外文印刷厂印刷·新华书店北京发行所发行

2003年2月第1版第1次印刷

787mm×1092mm 1/16·15.5印张·381千字

0001—5000 册

定价:22.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

本社购书热线电话(010) 68993821、8837 9646

封面无防伪标均为盗版

前 言

随着微电子技术、计算机技术的飞速发展,现代电子技术已经不再是以前分立元件、中小规模集成电路的概念了。20世纪90年代以来,EDA(Electronic Design Automation——电子设计自动化)技术、模拟和数字可编程器件在深亚微米领域的发展,以在系统可编程为主的ispPAC、CPLD/FPGA器件,与MCU、DSP、A/D和D/A、RAM和ROM等独立器件之间物理的和功能的界限,已是日趋模糊。新世纪电子设计自动化已经强调面向用户的系统设计,EDA也就发展成了ESDA(Electronic System Design Automation——电子系统设计自动化)。

为适应现代电子技术的发展,满足社会对相关人才的需求,我们在“模拟电子技术”、“数字电子技术”的教学实践中,已经做了相当的改革。为满足教学改革中各实践环节的需要,依据近几年的教改经验,我们编写本书作为电子技术实践课程的学习指导书。

本书力求两个创新:其一是整体上的先进性,简洁而又系统地介绍ispPAC和FPGA/CPLD芯片、EDA工具软件、VHDL应用和ESDA等新技术;其二是以实用性和可操作性作为基本特点,从传统的实验环节中引进新的技术手段入手,实现由旧到新的自然更替。

按照高校的三个实践环节:基础实验环节、课程设计环节和毕业设计环节,本书分为三大篇:电子技术基础实验、电子技术课程设计、电子系统设计。第一篇介绍常用的模拟和数字可编程器件,并将它们用于传统实验中,使学生对现代电子技术有个基本了解。第二篇介绍常用EDA工具软件,并使学生在课程设计的短时间内学会使用它。第三篇介绍VHDL(Very-high-speed Integrated Circuit hardware Description Language)硬件描述语言和电子系统设计的方法,使学生掌握面向用户的系统设计技术。

本书第一章的第一、二节、第二章和附录B由王春茹编写;第一章的第三节、第三章和附录A与C由刘冰茹编写;第二篇由易波编写;第三篇由谢云编写。本书由谢云负责全书的统稿工作。周卫星副教授、樊利民副教授和曾岳南副教授审阅了全书,提出了宝贵的修改意见。杨宜民教授、章云教授、邓则名副教授、鲍鸿副教授、王钦若教授和潘松教授对本书的出版给予了大力支持。研究生张忠波绘制了部分插图。在此谨向他们表示诚挚的感谢。

由于编者水平和经验所限,书中错误和不足之处敬请读者批评指正。

编著者

2003年1月于广东工业大学

目 录

前言

第一篇 电子技术基础实验

第一章 现代电子技术基础	1
第一节 概述	1
第二节 模拟可编程器件简介	4
第三节 数字可编程器件简介	8
第二章 模拟电子技术基础实验	19
第一节 概述	19
第二节 基本放大电路	29
第三节 负反馈放大电路	31
第四节 运算放大器及模拟可编程芯片的 线性应用	34
第五节 有源滤波器及其在模拟可编程芯片 上的实现	39
第六节 波形产生电路及其在模拟可编程芯 片上的实现	42
第七节 功率放大电路	44
第八节 直流稳压电源	46
第三章 数字电子技术基础实验	49
第一节 概述	49
第二节 TTL 逻辑功能测试及其数字可编程 器件验证	53
第三节 用中规模集成电路及数字可编程器件 实现组合逻辑	58
第四节 触发器的逻辑功能测试及其数字可 编程器件验证	64
第五节 集成计数、译码、显示电路及数字 可编程器件的实现	67
第六节 555 集成定时器的应用	72
第七节 数/模 (D/A) 和模/数 (A/D) 转换器	76

第二篇 电子技术课程设计

第四章 电子技术课程设计基础	81
----------------------	----

第一节 概述	81
第二节 课程设计的目的与方法	83
第三节 课程设计的安装和调试	84
第四节 课程设计总结报告	87
第五章 现代电子技术课程设计软件工 具介绍	88
第一节 概述	88
第二节 EWB 电子电路仿真平台	91
第三节 PAC-Designer 软件及其应用	102
第四节 MAX + PLUS II 软件介绍	113
第六章 模拟电子技术课程设计	126
第一节 概述	126
第二节 多种波形发生器的设计	127
第三节 数字温度计的设计	131
第四节 过电压、欠电压和过电流保护电路 的设计	134
第五节 扩音机的设计	137
第六节 多功能集成直流稳压电源 的设计	138
第七章 数字电子技术课程设计	142
第一节 概述	142
第二节 五路呼叫器的设计	143
第三节 交通灯控制器的设计	144
第四节 步进电动机控制器的设计	147
第五节 简易数字频率计的设计	149
第六节 函数信号发生器的设计	150
第七节 CPLD/FPGA 用于课程设计时应该 注意的问题	151
第八节 课程设计选择题目	152

第三篇 电子系统设计部分

第八章 VHDL 及其语法基础	154
第一节 VHDL 简介	154

第二节	VHDL 的程序构成	156	第一节	现代电子系统的设计方法	193
第三节	VHDL 的数据组成	160	第二节	数据存储和读取电路的设计	196
第四节	VHDL 的基本描述语句——并行 语句	166	第三节	串行数据检测器的设计	200
第五节	VHDL 的基本描述语句——顺序 语句	170	第四节	AD574 采样控制器的设计	204
第九章	EDA 软件平台的 VHDL 使用		第五节	单个神经元的神经网络（即感知器） 的设计	209
	向导	175	第六节	嵌入式系统的设计	212
第一节	ALTERA MAX + plus II 的 VHDL 使用 向导	175	附录		222
第二节	ALTERA QUARTUS II 的 使用向导	177	附录 A	几个常用 CPLD 和 FPGA 芯片外 引线排列图	222
第十章	现代电子系统设计方法及实验		附录 B	GW48 - CK 系统使用说明	225
	内容	193	附录 C	几个常用 IC 外引线排列图	239
			参考文献		241

第一篇 电子技术基础实验

电子技术基础实验包括模拟和数字电子技术两部分的基础实验。本篇介绍现代电子技术基础,结合模拟可编程器件和数字可编程器件,对传统实验方法和手段进行适当的改进,使学生初步了解现代电子技术的基本概念和实现方法。本篇为课程设计和电子系统设计的深入学习做好准备。

第一章 现代电子技术基础

第一节 概 述

一、现代电子技术的特征

随着 VLSI 的发展,电子技术有了革命性的变化。传统的固定功能器件加上连线的电子设计正逐步退出历史舞台,现代电子技术进入了一个崭新的阶段,具有了几个全新的特征。

1) 电子器件及其技术趋向于支持 EDA (Electronic Design Automation 电子设计自动化)。

2) 系统的单片化、功能复合化程度越来越高,片上系统 SOC (System On a Chip) 取代了专用集成电路系统 ASIC (Application Specific Integrated Circuit)。

3) 硬件描述语言 HDL 使软件和硬件设计得到有机的融合,系统设计实现软件的硬化和硬件的软化。

4) 网络技术的发展,共享 IP 知识产权的开放式系统设计将成为新模式,IP 模块将以某种方式形成有偿共享,库资源日趋重要。

5) 系统设计趋向于面向用户的系统设计,多种技术的融合,形成更为强大的 ESDA (Electronic System Design Automation 电子系统设计自动化)。

二、现代电子技术的软硬件基础

EDA 技术是以计算机科学和微电子技术为先导,融合了计算机图形学、拓扑逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术,它是在先进的计算机工作平台上开发出来的一整套电子设计的软件工具。

EDA 技术是从 CAD (计算机辅助设计)、CAM (计算机辅助制造)、CAT (计算机辅助测试) 和 CAE (计算机辅助工程) 的概念发展而来。特别是 20 世纪末,在系统编程技术的出现,实现了真正意义上的电子设计自动化。所以,EDA 和 CAD 并不能完全等同。

EDA 技术就是以计算机为工具,在 EDA 软件平台上,对以原理图、波形图或者硬件描述语言为系统功能描述手段完成的设计文件,自动地完成编译、化简、综合、优化、布局布线、仿真,直至对于目标芯片的适配和编程下载等工作。其中,最为瞩目、最具现代电子设

计技术特征的功能就是日益强大的设计仿真测试技术。EDA 仿真测试技术不仅能对所设计的电子系统在各种层次的系统性能完成测试与仿真操作，还能在完成实际系统的安装后，对系统上的目标器件进行所谓边界扫描测试。这一切都极大地提高了大规模系统电子设计的自动化程度。

此外，高速发展的可编程器件为 EDA 技术的不断进步奠定了坚实的物质基础。纵观可编程器件的发展史，它在结构原理、集成规模、下载方式和逻辑设计手段等方面的每一次进步，都为现代电子设计技术的革命与发展提供了不可或缺的强大动力。如果失去了可编程逻辑器件，电子设计自动化将成为无本之木。

可编程器件包括模拟可编程器件和数字可编程器件。模拟可编程器件以美国 Lattice 公司推出的在系统可编程模拟器件 ispPAC (In System Programming Programmable Analog Circuit) 为代表。数字可编程器件以现场可编程门阵列 FPGA (Field Programmable Gates Array) 和复杂可编程逻辑器件 CPLD (Complex Programmable Logic Device) 为代表。

EDA 技术、可编程器件技术的发展，使芯片工艺物理设计与电子设计相分离，使用户系统设计人员可直接从事芯片设计，人们不再谈起 ASIC 就感觉只有微电子的专业人才才能做到。所以，EDA 工具平台、可编程技术是现代电子技术的基础。

本章主要介绍现代电子技术基础的硬件基础——可编程器件。作为软件基础的 EDA 工具将在第二篇和第三篇介绍。

三、基于 EDA 工具和可编程器件的设计方法

利用 EDA 工具，采用可编程器件，通过设计芯片来实现系统功能，这种方法称为基于芯片的设计方法。设计者可以直接定义器件的内部功能和管脚，将原来由电路板设计完成的大部分工作放在所设计的芯片中进行，大大减轻了电路图设计和电路板设计的难度和工作量，从而高效地增强了设计的灵活性，提高工作效率，缩短开发周期。同时，基于芯片的设计可以减少芯片的数量，减少系统体积，降低能源消耗，提高系统的性能和可靠性。

基于 EDA 工具和可编程器件的设计包括设计准备、设计输入、设计处理和器件编程 4 个步骤，以及相应的功能仿真、时序仿真和器件测试及设计验证等过程。

图 1-1 所示的主要是针对目标器件为 FPGA 和 CPLD 的设计流程。

1. 设计准备

设计之前，首先要进行方案论证、系统设计和器件选择等设计准备工作。根据设计任务，如系统中需要完成的功能及复杂程度，对工作速度和器件本身的资源、成本及连线可布性等方面进行权衡，选择合适的设计方案和合适的器件类型。

2. 设计输入

利用 EDA 工具的文本或图形编辑器，将设计者的设计意图用文本或图形（原理图、状态图、波形图）等输入形式表达出来。设计者将所设计的系统和电路用开发软件要求的某种形式表述，并送入计算机，完成设计输入。

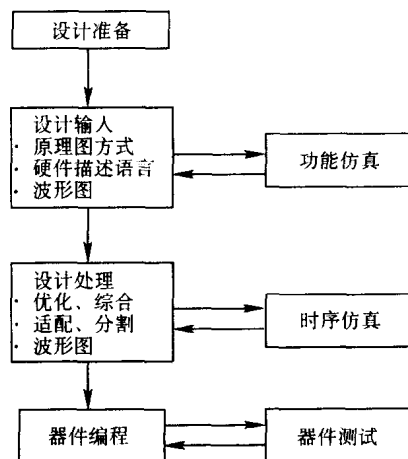


图 1-1 可编程逻辑器件的设计流程

对于多数 EDA 软件来说（例如 MAX-PLUS、Foundation 等软件），最初的设计究竟采用哪一种输入形式是可选择的，也可混合使用。一般原理图输入方式比较容易掌握，直观方便，所画的电路原理图（请注意，这种原理图与利用 PROTEL 画的原理图有本质的区别）与传统的器件连接方式完全一样，很容易为人接受而且编辑器中有许多现成的单元器件可以利用，自己也可以根据需要设计元件。波形输入方式主要应用在建立和编辑波形设计文件以及输入仿真向量和功能向量，它适用于时序逻辑和有重复性的逻辑函数。当系统功能比较复杂时，用原理图输入方式效率比较低。最一般化、最具普适性的输入方法是 HDL 程序的文本方式（本书在第二篇介绍图形输入方式和波形输入方式，第三篇介绍文本输入方式）。

3. 编译及设计处理

这是将软件设计与硬件的可实现性挂钩，是将软件转化为硬件电路的关键步骤。完成设计描述后即可通过编译器进行排错、编译，变成特定的文本格式为下一步的综合作准备。在设计处理过程中，编译软件将对设计输入文件进行逻辑化简、综合和优化，并适当的用一片或者多片器件自动地进行适配，最后产生编程用的编程文件。编译及设计处理包括 5 个过程。

（1）检验和规则检验 设计输入完成之后，在编译过程中首先进行，如检查原理图有无漏接信号线、信号有无双重来源、文本输出文件中关键字有无输入错误等各种语法错误，并及时列出错误信息报告供设计者参考并修改；然后进行设计规则检验，检查总的设计有无超出器件资源和规定的限制并将编译报告列出，指明违反规则情况以供设计者纠正。

（2）优化和综合 综合器对源文件的综合是针对某一器件供应商的具体产品，因此综合后的结果具有硬件可实现性。综合的目的是将多个模块化设计文件合并为一个网表文件，并使得层次设计平面化。在这里化简所有的逻辑方程或者用户自己建立的宏，使得设计所占用的资源最少。

（3）适配和分割 综合通过后，必须利用布局/布线适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作，其中包括底层器件配置、逻辑分割、逻辑优化、布局布线。确定优化以后的逻辑能否与器件中的宏单元和 I/O 单元适配。然后将设计分割为多个便于适配的逻辑小块，映射到器件相应的宏单元中。如果整个设计不能装入一片器件，可以将整个设计自动分割成多块并装入同一系列的多片器件中去。划分工作可以全部自动实现，也可以部分由用户控制，还可以全部由用户控制进行。划分应使所需器件数目尽可能少，同时应使与器件之间通信的引脚数目最少。

（4）布局和布线 布局和布线工作是在设计检验通过以后由软件自动完成的，它以最优方式对逻辑元件布局，并准确地实现元件间的互连。布线以后，软件会自动生成图形报告，提供有关设计中各部分资源的使用情况等信息。

（5）产生数据文件 设计处理的最后一步是产生可供编程使用的数据文件。完成后 EDA 软件将产生针对此项设计的多项结果：适配报告（内容包括芯片内资源分配与利用、引脚锁定、设计的布尔方程描述情况等）；时序仿真用网表文件；下载文件（如 JED 或 POF 文件）等。

4. 设计校验

设计校验过程包括功能仿真和时序仿真。

功能仿真是在设计输入完成之后，选择具体器件进行编译之前进行的逻辑功能验证，因

此又称为前仿真。功能仿真仅对设计描述的逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计的要求，仿真过程不涉及具体器件的硬件特性如延迟特性。一般的设计过程对这一层次的仿真也可以略去，此时的仿真没有延时信息，对于初步的功能检测非常方便。仿真前，要先用波形编辑器或者硬件描述语言等建立波形文件或测量向量。仿真结果将会产生报告文件和输出信号波形，从中便可以观察到各个结点的信号变化。若发现错误，则返回设计输入修改逻辑设计。

时序仿真是在选择了具体器件并完成布线、布局之后进行的时序关系仿真，又称为后仿真。它是接近真实器件运行的仿真，时序仿真过程中已将器件硬件特性考虑进去了，因此仿真精度要高得多。时序仿真的网表文件中包含了较为精确的延迟信息，由于不同期间的内部延时不同，不同的布线、布局的方案也给延时造成不同的影响，因此在设计处理后，对系统和各模块进行时序仿真，分析其时序关系，估计涉及的性能以及检查和消除竞争冒险都是非常必要的。实际上，这也是与实际器件工作情况基本相同的仿真。

5. 器件编程及硬件仿真和测试

如果以上的所有过程都没有发现问题，即满足原设计的要求，就可以将适配器产生的配置、下载文件通过编程器或下载电缆载入目标芯片中。

器件在编程完毕之后，可以用编译时产生的文件对器件进行检验、加密等工作，同时进入最后一个步骤硬件仿真或测试，以便在更真实的环境中检验设计的运行情况。

第二节 模拟可编程器件简介

可编程模拟器件（Programmable Analog Device）是近年来出现的一类新型集成电路。它首先属于模拟集成电路，即电路的输入、输出甚至内部状态均为随时间连续变化的模拟信号；同时，该类器件又是现场可编程的，即在出厂后，可由用户通过改变器件的配置来获得所需的电路功能。利用可编程模拟器件配合相应的开发软件，便可以像设计数字电路一样方便、快捷地完成模拟电路的设计，从而极大地缩短产品的研制周期、增强竞争力。

目前可编程模拟器件已在信号调理（包括微弱信号放大、有源滤波、增益调节、传感器特性校正）、模拟计算（包括信号相加、相减、对数、指数、相乘、相除、求信号的平均值等）、工业控制、通信、仪器仪表、人工神经网络等方面得到了初步的应用。按配置方式的不同，可编程模拟器件可分为现场可编程模拟阵列 FPAA（Field Programmable Analog Array）和在系统可编程模拟电路 ispPAC（In System Programming Programmable Analog Circuit）两大类；按采用的核心技术不同，可分为连续时间、离散时间、电压模式、电流模式和开关电容等不同类型；按使用时是否需要外接 RC 元件，可分为单片应用型和非单片应用型两类；按器件内部是否包含逻辑功能单元可分为全模拟器件和模数混合器件两类。表 1-1 列出了主要的可编程模拟器件系列产品及其特点。

本节主要介绍美国 Lattice 公司生产的在系统可编程模拟器件。

所谓“在系统可编程”，是指可编程器件在不脱离所在应用系统的情况下，能够通过计算机对其编程，而不需要专用的编程器。

在系统可编程模拟器件内部有可编程的模拟单元电路（如放大、比较、滤波），通过计算机编程可以实现模拟单元电路指标参数的调整和模拟单元电路之间的连接等，从而获得功

表 1-1 主要的可编程模拟器件系列产品及特点

器件系列	生产厂商	闭环带宽	适用范围	技术特点	开发软件	备注
AN10E40	Anadigm	500kHz	通用信号处理	开关电容		2000 年生产
TRAC	FAS	12MHz	通用信号处理	连续时间	TRAC 软件	内部固定连接
FIPSOC	SIDSA		信号调理	连续时间	CAE 软件	数模混合 SOC
ispPAC	Lattice	600kHz	通用信号处理	连续时间	PAC - Designer 软件	在系统可编程

能相对独立的模拟电路。在系统可编程电路提供三种可编程性能：①可编程功能，即具有对模拟信号进行放大、转换、滤波等功能；②可编程互联，即能把器件中的多个功能块进行互联，对电路进行重构，具有百分之百的电路布通率；③可编程特性，即能调整电路的增益、带宽和阈值。这种电路可以对电路板上的在系统可编程模拟器件反复编程，编程次数可达 10000 次。通常，编程软件还提供仿真功能。设计人员可根据系统提供的仿真结果重新修改电路，直至满意为止。然后将编程结果通过 isp 接口电缆下载至芯片，就完成了模拟电路的设计与实现，即把高集成度、精确的设计集于一块 ispPAC 中，取代了由许多独立标准器件所实现的电路功能。

目前美国 Lattice 公司生产的 ispPAC 芯片有：ispPAC10 和 ispPAC20、ispPAC80 等。它们的开发软件为 Lattice 公司的 PAC - Designer。本节介绍 ispPAC10、ispPAC20 和 ispPAC80 三种芯片，软件平台将在第二篇介绍。

一、ispPAC10

1. 内部结构

ispPAC10 为 28 脚直插式器件，图 1-2a 所示为它的引脚图，图 1-2b 所示为其内部结构

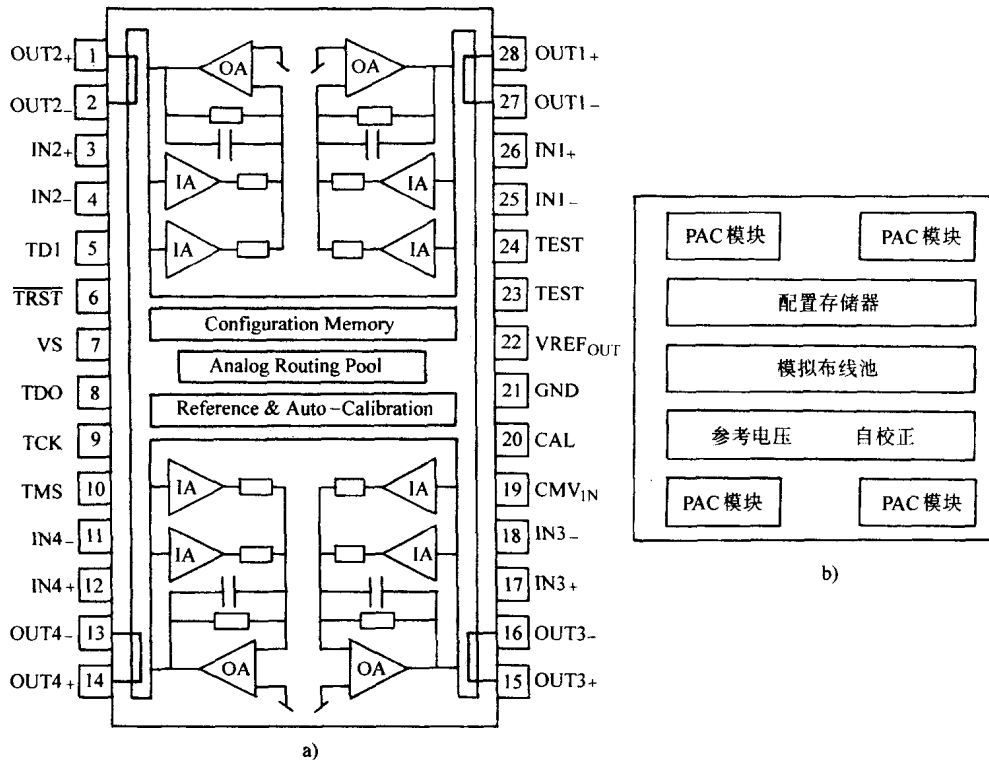


图 1-2 ispPAC10 引脚图及其内部结构框图

a) 引脚图 b) 结构框图

构框图。它有 4 个相同的可编程模拟宏单元，即 PAC 模块 (PACBlock)。每个 PAC 模块可以独立工作；也可在无需外接电阻、电容的情况下，将它们相互连接组成复杂电路。

图 1-3 所示为 ispPAC10 的内部电路示意图，中间部分是 4 个 PAC 模块，两侧为布线池，左、右两头的小方块是引脚。PAC 模块之间、PAC 模块的输入与引脚之间的连接均通过布线池中的引线。

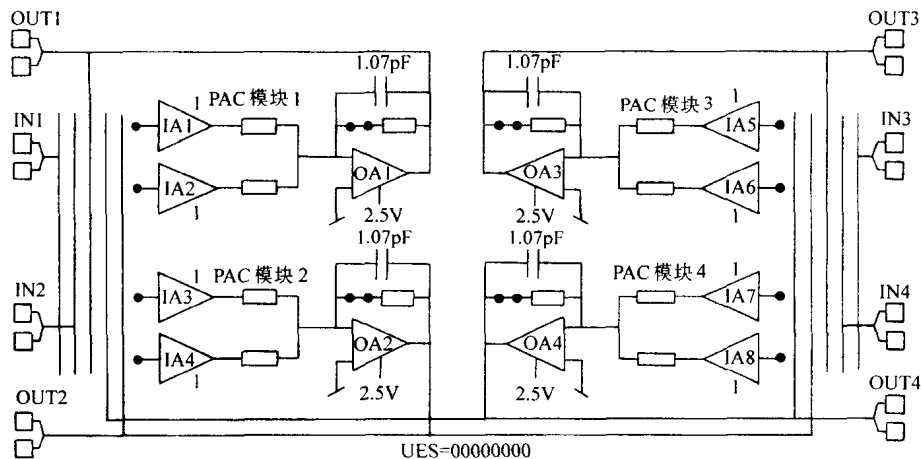


图 1-3 ispPAC10 的内部电路示意图

2. PAC 模块 (PAC Block)

ispPAC10 的每个 PAC 模块均由两个仪用放大器和一个输出放大器组成，其示意图如图 1-4 所示。IA1、IA2 均为双端输入电路，输入电阻高达 $10^9\Omega$ ，增益调整范围为 $-10 \sim +10$ ；其输入端可接芯片的引脚，作为电路的输入端。OA1 为双端输出电路，反馈电阻 R_f 接通时，可对 IA1、IA2 的输出实现求和运算； R_f 断开时，可实现积分运算；电容 C_f 有 128 种取值。整个电路的共模拟制比为 69dB。改变 4 个 PAC 模块的接法，增益调整范围可为 $\pm 1 \sim \pm 10000$ 。

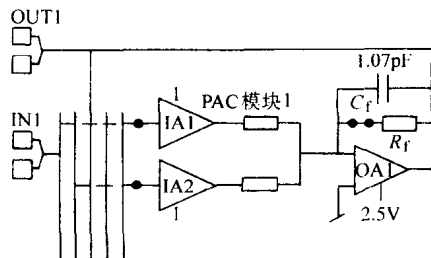


图 1-4 ispPAC10 可编程模拟宏单元示意图

3. ispPAC10 用于放大和滤波

利用 ispPAC10 可实现多种放大和滤波，具体使用方法在第五章第三节介绍。

二、ispPAC20

ispPAC20 为 40 脚直插式器件，图 1-5a 所示为它的引脚图，图 1-5b 所示为其内部结构框图。它由两个可编程模拟宏单元 (PAC Block)、两个可编程电压比较器、一个 8 位 D/A 转换器、配置存储器、参考电压电路、自动校正单元和 ISP 接口电路组成。

图 1-6 所示为 ispPAC20 内部电路示意图。其中两个电压比较器可实现基本比较器、滞回比较器和窗口比较器，参考电压可调；D/A 转换器的接口方式可选为并行、串行 JTAG 寻址和 SPI 寻址方式，且为差分式输出。ispPAC20 中可编程模拟宏单元 (即 PAC Block) 的结构与 ispPAC10 的基本相同，主要区别为：

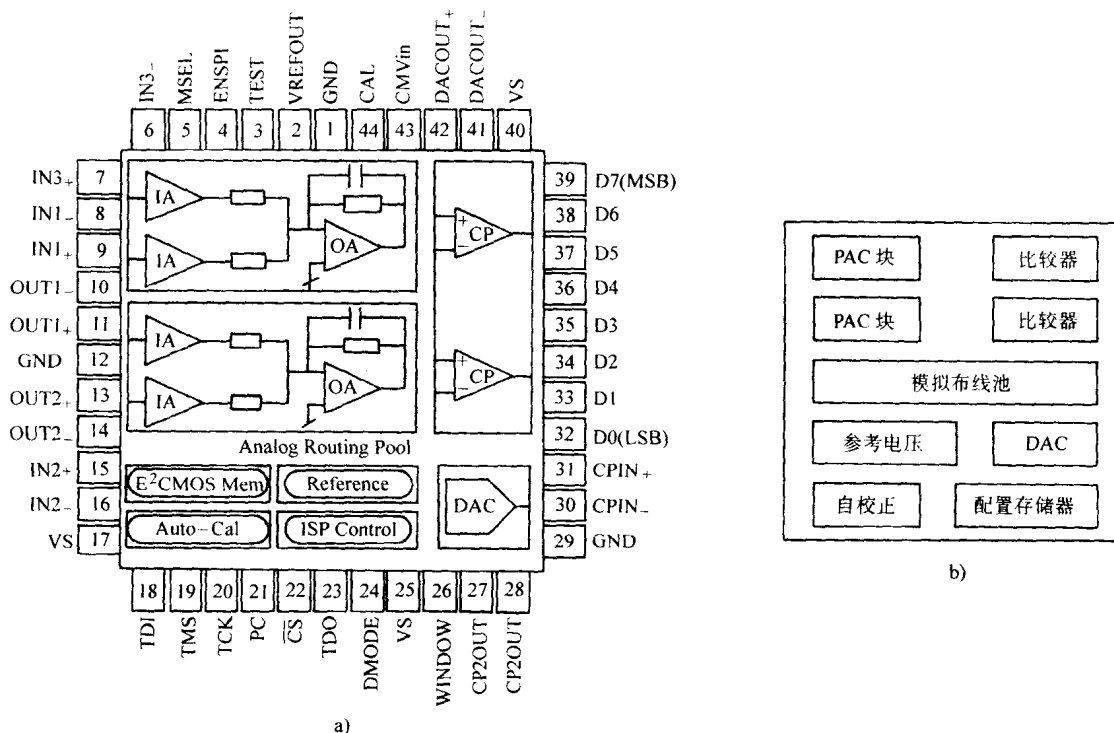


图 1-5 ispPAC20 引脚图及其内部结构框图

a) 引脚图 b) 结构框图

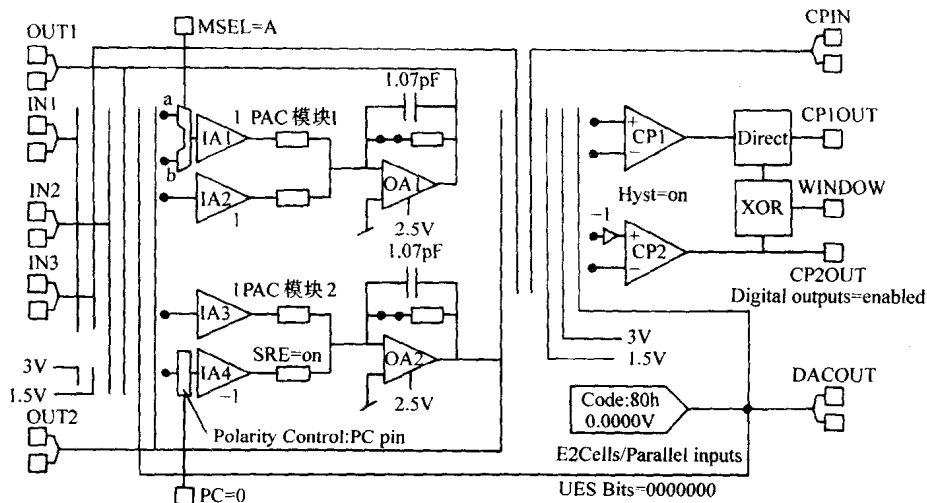


图 1-6 ispPAC20 的内部电路示意图

1) IA1 增加一个二选一模拟开关, 当引脚 MSEL 为低电平时 a 接 IA1, MSEL 为高电平时 b 接 IA1;

2) IA1、IA2、IA3 的增益为 $-10 \sim -1$, 可通过改变输入信号极性来得到 $+1 \sim +10$ 的增益; IA4 有增益极性控制端, 当引脚 PC 为高电平时增益为 $-10 \sim -1$, PC 为低电平时增益为 $+1 \sim +10$ 。

由于 ispPAC20 中存在电压比较器, 且有 MSEL 和 PC 控制端, 使得它能够实现的模拟电

路的种类比 ispPAC10 多。

三、ispPAC80

同 ispPAC10、ispPAC20 相比, ispPAC80 主要侧重于滤波器的应用。利用 ispPAC80, 用户可以在几秒钟内在一小片 IC 上配置出数万种不同的五阶精度滤波器。它内部含有一个五阶低通滤波器, 它采用 5 个连续的低通布局方式、E²CMOS 数字结构单元和标准 JTAG 接口, 并有两个可配置的存储单元 (A/B), 利用它可实现多种滤波器类型, 例如巴特沃夫、切比雪夫滤波器。它有 16 脚扁平 and 双列直插式两种封装形式。图 1-7 为 ispPAC80 的引脚图。

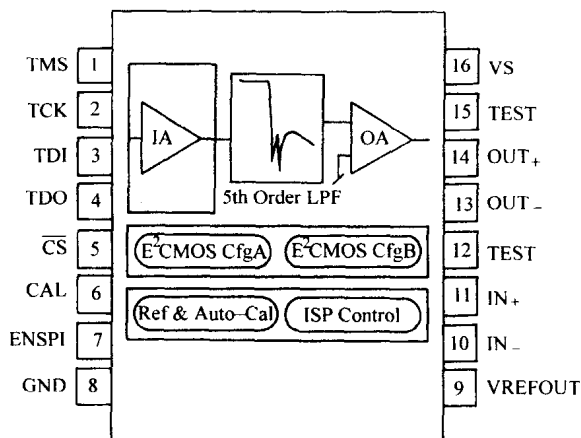


图 1-7 ispPAC80 引脚图

总之, 可编程模拟器件利用其基本 PAC 模块的组合可构成放大、求和、积分、滤波等电路。例如, 可构成双二阶有源滤波器和梯形滤波器, 且无需在器件外部连接电阻、电容元件。在开发软件 PAC-Designer 中使用原理图输入方式, 将一个或几个 PAC 模块按照设计好的电路图连接起来, 设置好所需要的参数和反馈电容的数值, 这样便完成了系统的设计。为了检验设计是否达到了理想要求, 开发软件中还有一个模拟器仿真工具。如果仿真结果达到要求, 则可以通过下载电缆直接下载到可编程模拟器件中。否则要修改参数直到仿真结果达到要求。这时可编程模拟器件的功能就是事先设计电路的功能。

第三节 数字可编程器件简介

数字电路由早期的电子管、晶体管、小中规模集成电路、大规模集成电路, 到超大规模集成电路。但是, 随着微电子技术、计算机技术, 尤其 EDA 技术的发展, 设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专用集成电路 ASIC (Application Specific Integrated Circuits), 而且希望设计周期尽可能短, 最好是在实验室里就能设计出合适的 ASIC 芯片, 并且立即投入实际应用之中。因而出现了现场可编程逻辑器件 FPLD (Field Programmable Logic Devices), 其中应用最广泛的当属现场可编程门阵列 FPGA (Field Programmable Gates Array) 和复杂可编程逻辑器件 CPLD (Complex Programmable Logic Devices)。

一、可编程逻辑器件 PLD 概述

(一) PLD 的发展及分类

可编程逻辑器件 PLD (Programmable Logic Devices) 是 20 世纪 70 年代发展起来的一种新型的集成电路。它是一种“与或”两级结构的逻辑器件, 由用户进行编程实现用户需要的逻辑结构和功能。它兼有标准逻辑器件 (如 TTL 等 SSI/MSI 逻辑器件) 和半定制逻辑器件的优点, 而它具有的可编程性又几乎提供了立即的可定制性。

PLD 发展到现在, 从早期的简单可编程逻辑器件 SPLD (Simple Programmable Logic Device-

es) 到现在的复杂可编程逻辑器件 CPLD。它们的主要区别在于集成化程度的高低。通常, SPLD 只有数百门的逻辑规模, 而 CPLD 的逻辑规模一般可达十万门以上。

实际上, PLD 的发展完整体现了微电子技术集成化程度的发展。PLD 大体可以分为 4 个发展阶段。

第一阶段: 可编程只读存储器 PROM (Programmable Read Only Memory) 和现场可编程逻辑阵列 FPLA (Field Programmable Logic Array)。PROM, 即可编程只读存储器, 是 20 世纪 70 年代初期出现的第一代 PLD。其内部结构是由“与阵列”和“或阵列”组成, 其中“与阵列”固定, “或阵列”可编程, 它可以用来实现任何以“积之和”形式表示的各种组合逻辑。PROM 采用熔丝工艺编程, 只能写一次, 不可以擦除或重写。随着技术的发展和应用要求, 又出现了 EPROM (Erasable Programmable Read Only Memory, 即可擦除可编程只读存储器) 和 EEPROM (Electrically Erasable Programmable Read Only Memory, 即电可擦除可编程只读存储器)。由于 PROM 具有价格低、易于编程的特点, 因而适合于存储函数和数据。

第二阶段: 可编程阵列逻辑 PAL (Programmable Array Logic)。PAL 是 20 世纪 70 年代末期 AMD 公司发明的。它也是“与或阵列”结构的器件, 它包括一个可编程的“与阵列”和一个固定的“或阵列”。PAL 具有多种的输出结构形式, 为数字逻辑设计带来了一定的灵活性。PAL 器件是可编程的, 它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。

第三阶段: 通用可编程阵列逻辑 GAL (Generic - Programmable Array Logic)。GAL 是在 PAL 器件结构的基础上产生的新一代器件。GAL 与 PAL 相比, 增加了一个可编程的输出逻辑宏单元 OLMC (Output Logic Macrocell), 这些宏单元可由用户通过编程进行不同模式的组合, 因而为设计提供了高度的灵活性, 至今仍有许多人使用。另外, GAL 采用了先进的 E²CMOS 工艺, 数秒内即可完成芯片的擦除和编程过程, 并可反复改写。

第四阶段: 复杂可编程逻辑器件 CPLD 和现场可编程门阵列 FPGA。早期 PLD 的一个共同特点是可以实现速度特性较好的逻辑功能, 但其过于简单的结构也使它们只能实现规模较小的电路。为了弥补这一缺陷, 在 20 世纪 80 年代中期, Altera 和 Xilinx 公司分别推出了类似于 PAL 结构的扩展型 CPLD 和与标准门阵列类似的 FPGA, 它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。这两种器件兼容了 PLD 和通用门阵列的优点, 可实现较大规模的电路, 编程也很灵活。与门阵列等其他 ASIC 相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点, 因此被广泛应用于产品的原型设计和产品生产 (一般在 10000 件以下) 之中。几乎所有应用门阵列、PLD 和中小规模通用数字集成电路的场合均可应用 FPGA 和 CPLD 器件 (在附录 A 中给出了一些 FPGA 和 CPLD 芯片的外引脚图)。

EPLD (Erasable Programmable Logic Device), 是 Altera 公司 1986 年推出的一种新型的、可擦除的、可编程逻辑器件, 它是一种基于 EPROM 和 CMOS 技术的可编程逻辑器件。EPLD 的基本逻辑单位是宏单元, 它由可编程的与或阵列、可编程寄存器和可编程 I/O 三部分组成。EPLD 的特点是大量增加输出宏单元的数目, 提供更大的与阵列。由于 EPLD 特有的宏单元结构, 使设计的灵活性较 GAL 有较大的改善, 再加上其集成密度的提高, 使其在一块芯片内能够实现较多的逻辑功能。世界著名的半导体器件公司如 Altera、Xilinx、AMD、Lattice 和 Atmel 公司均有 EPLD 产品, 但结构差异较大。

CPLD 是 20 世纪 90 年代初出现的 EPLD 改进器件。同 EPLD 相比, CPLD 增加了内部连

线,对逻辑宏单元和 I/O 单元也有重大的改进。典型的 CPLD 器件有 Lattice 公司的 pLSI/ispLSI 系列器件、Xilinx 公司的 7000 和 9500 系列器件、Altera 公司的 MAX7000 和 MAX9000 系列器件和 AMD 公司的 MACH 系列器件等。

FPGA 是 1985 年由美国 Xilinx 公司首家推出的一种新型的可编程逻辑器件。FPGA 在结构上由逻辑功能块排列为阵列,并由可编程的内部连线连接这些功能块来实现一定的逻辑功能。FPGA 的功能由逻辑结构的配置数据决定。工作时,这些配置数据存放在片内的 SRAM (Static Random Access Memory 即静态随机存取存储器)或者熔丝图上。使用 SRAM 的 FPGA 器件,在工作前需要从芯片外部加载配置数据,这些配置数据可以存放在片外的 EPROM 或者其他储存体上,人们可以控制加载过程,在现场修改器件的逻辑功能。FPGA 的发展非常迅速,目前已达到 300 万门/片的集成度、3ns 内部门延时的水平。除 Xilinx 公司外,Altera 和 Actel 等公司也提供高性能的 FPGA 芯片。

(二) PLD 的基本结构

PLD 器件种类较多,不同厂商生产的 PLD 器件结构差异较大。图 1-8 是 PLD 的基本结构框图,它由输入缓冲电路、与阵列、或阵列和输出缓冲电路等 4 部分组成。其中,“与阵列”用来产生“与”逻辑项(乘积项);“或阵列”用来把所有与门输出的乘积项构成“与或”形式的逻辑函数;输入缓冲电路主要用来对输入信号进行预处理,以适应各种输入情况;输出缓冲电路主要用来对输出信号进行处理,用户可以根据需要选择各种灵活的输出方式(组合方式或时序方式)。我们知道,任何组合逻辑函数均可化为与或式,用“与门—或门”二级电路实现;而任何时序电路又都是由组合电路加上存储元件(触发器)构成的,因而 PLD 的这种结构对实现数字电路具有普遍的意义。

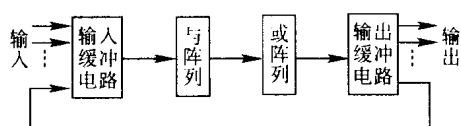


图 1-8 PLD 的基本结构框图

不同生产厂商在各自的 PLD 产品的宏单元设计上有着各自的特点,总的来说,逻辑宏单元具有以下几个作用:

- 1) 提供时序电路需要的寄存器或触发器;
- 2) 提供多种形式的输入/输出方式;
- 3) 提供内部信号反馈,控制输出逻辑极性;
- 4) 分配控制信号,如寄存器的时钟和复位信号、三态门的输出使能信号。

逻辑宏单元的结构将在下面介绍。

二、复杂可编程逻辑器件 CPLD

目前,生产 CPLD 器件著名的公司有多家,不同公司生产的 CPLD 的结构不尽相同,但它们仍有共同之处。一般情况下,CPLD 器件的结构至少包含三大部分:可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线。部分 CPLD 还集成了 RAM、FIFO 或双口 RAM 等存储器,以适应 DSP 应用设计的要求。

下面以 Altera 公司生产的 MAX7000 为例,介绍 CPLD 的基本结构。MAX7000 器件的结构如图 1-9 所示,它包括逻辑阵列块 LAB (Logic Array Blocks)、宏单元 MC (Macrocells)、扩展乘积项(共享和并联)、可编程连线阵列 PIA (Programmable Interconnect Array) 和 I/O 控制块等 5 部分。另外,MAX7000 结构中还包括 4 个专用输入,它们能用作通用输入,或作为每个宏单元和 I/O 引脚的高速、全局的控制信号,即时钟 (Clock)、清除 (Clear) 和输出使能

(Output Enable) 等。

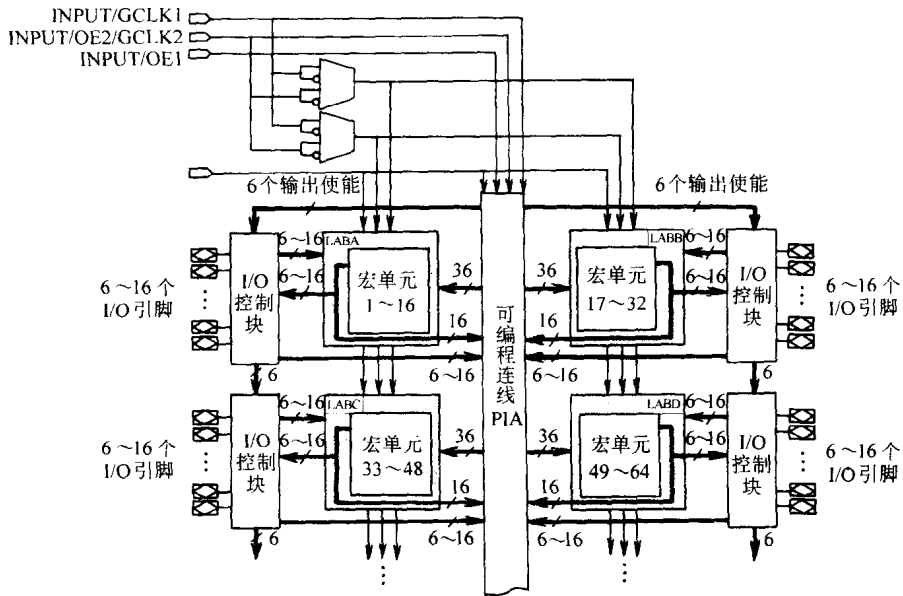


图 1-9 MAX7000 结构框图

1. 逻辑阵列块 LAB

MAX7000 器件的结构主要是由高性能、灵活的逻辑阵列块 LAB 以及它们之间的连线构成，如图 1-9 所示。LAB 由 16 个宏单元阵列组成。多个 LAB 通过可编程连线阵列 PIA 和全局总线连接在一起，全局总线由所有的专用输入、I/O 引脚和宏单元反馈信号。

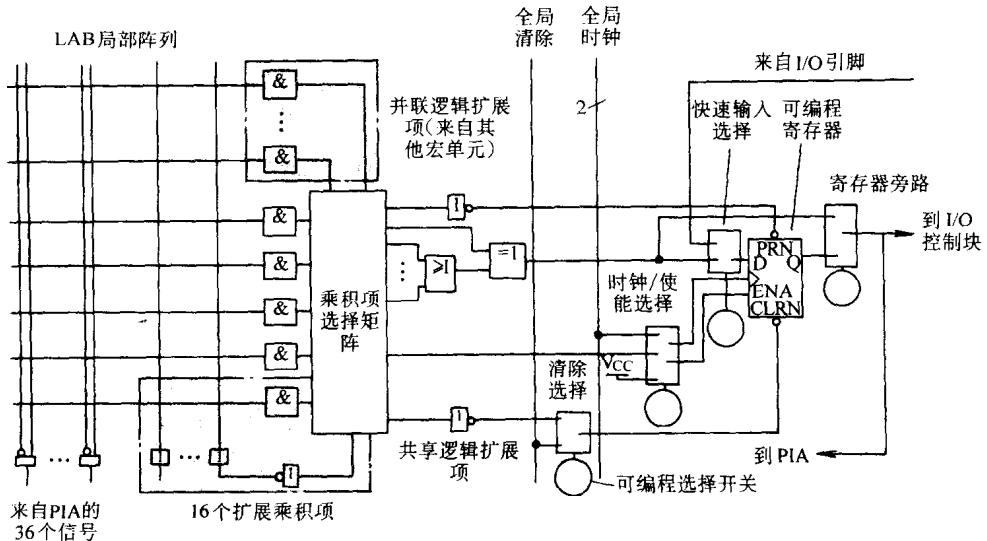


图 1-10 MAX7000 宏单元结构

每个 LAB 有如下几种输入信号：

- 1) 来自通用逻辑输入的 PIA 的 36 个信号；
- 2) 用于寄存器辅助功能的全局控制信号；