

微处理器外围 UPITM—41A / 41AH / 42 / 42AH 用户手册

目 录

第一章 引言	5-3
1.1 多处理器结构的接口寄存器	5-5
1.2 高效的 8 位处理器	5-6
1.3 专用指令集特性	5-6
1.4 已编程的 UPI 芯片	5-9
1.5 开发支持	5-9
1.6 UPI 的开发支持	5-9
第二章 功能描述	5-10
2.1 引脚描述	5-10
2.2 CPU 部分	5-14
2.3 程序存储器	5-15
2.4 中断向量	5-15
2.5 数据存储器	5-16
2.6 程序计数器	5-17
2.7 程序计数器堆栈	5-18
2.8 程序状态字	5-18
2.9 条件分支逻辑	5-19
2.10 振荡器和定时电路	5-20
2.11 间隔计时器 / 事件计数器	5-23
2.12 测试输入	5-25
2.13 中断	5-25
2.14 复位	5-27
2.15 数据总线缓冲器	5-28
2.16 系统接口	5-29
2.17 输入 / 输出接口	5-31
第三章 指令集	5-35
3.0 概述	5-35
3.1 指令集描述	5-39

3.2 按字母次序排列的指令说明	5-42
第四章 单步和程序掉电方式	5-64
4.1 单步	5-64
4.2 外部访问	5-66
4.3 掉电方式 (仅 UPI-41H / 42AH)	5-66
第五章 系统操作	5-68
5.1 A 总线接口	5-68
5.2 设计范例	5-71
5.3 通用的信号交换协议	5-74
第六章 应用	5-76
6.1 提要	5-76
6.2 键盘编码器	5-76
6.3 点阵打印机接口	5-77
6.4 盒式磁带机控制器	5-78
6.5 通用 I/O 接口	5-79
6.6 应用说明	5-80

第一章 引言

伴随着多种微处理器，例如 8088、8086、80186 和 80286 的推出，智能外围器件迅速增加。这些专用的外围器件从许多重要方面扩充了 CPU 的性能和灵活性。

智能器件如 82077AA 软磁盘控制器和 8273 同步数据链控制器（见表 1.1），能够预处理串行数据并执行能卸载（off-load）主系统处理器的控制任务。实现了较高的系统总吞吐量并且大大降低了软件的复杂性。智能外围芯片通过在外围硬件中执行许多外部功能来代替在主处理器中用软件执行的内部功能而使主处理器的控制任务简单化。

表 1.1 智能外围器件

8255 (GPIO)	可编程外围接口
8051A (USART)	可编程通讯接口
8053 (TIMER)	可编程间隔计时器
8257 (DMA)	可编程DMA控制器
8259	可编程中断控制器
82077AA	可编程软磁盘控制器
8273 (SDLC)	可编程同步数据链控制器
8274	可编程多协议串行通讯控制器
8275 / 8276 (CRT)	可编程CRT控制器
8279 (PKD)	可编程键盘 / 显示控制器
8291A 8292 8293	可编程 GPIB 系统 播讲器、接收器、控制器

智能外围器件还提供了系统的灵活性。它们含有在系统初始化期间由主处理器编程的芯片内部的方式寄存器。这些控制寄存器允许外围器件被构造到各种不同的操作方式中去。用户为外围芯片编制的程序存贮在主系统存贮器中，并且每当操作方式需要改变时就被传输到外围芯片的寄存器中。当然，这种类型的灵活性在主系统中需要额外的软件开销，这会限制从外围芯片中得到的利益。

过去，智能外围器件被设计成处理非常专门的任务。各芯片被设计用于通讯规程、并行 I/O、键盘编码、间隔计时器、CRT 控制，等等。然而，尽管有了大量的可用的器件，并且增强了这些芯片的适应性，但仍然有大量的微计算机的外围控制任务未能得到满足。

随着通用外围接口（UPI）微计算机的推出，Intel 通过提供可完全由用户编程的智能控制器而获得了高一级的智能外围器件的概念，它是能够直接连接到主处理器数据总线上的完整的单片微计算机。它具有与先前的外围芯片提供的智能和适应性同样的优点。此外，UPI 是用户可编程的：它具有存放程序的 1K / 2K 字节的 ROM 或 EPROM 存贮器，并且 UPI-41A, 41AH / 42, 42AH 还分别具有用于存放数据或来自主系统的初始化信息的 64 / 128 / 256 字节的 RAM 存贮器。UPI 器件允许设计者不必依赖于主处理器，而在外围芯片中充分地指定他自己的控制算法。如打印机控制器和键盘扫描器这类器件能够完全独立，仅仅在数据传输上依赖于主处理器。

UPI 系列目前由七种器件组成:

- 8741A 微计算机, 带有 1K EPROM 存贮器
- 8741AH 微计算机, 带有 1K OTP™ EPROM 存贮器
- 8041AH 微计算机, 带有 1K ROM 存贮器
- 8742 微计算机, 带有 2K EPROM 存贮器
- 8742AH 微计算机, 带有 2K “OTP” EPROM 存贮器
- 8042AH 微计算机, 带有 2K ROM 存贮器
- 8243 I/O 扩展器

UPI-41A / 41AH / 42 / 42AH 微计算机系列除了类型和各自可用的程序存贮器的数量不同外, 在功能上是等价的。此外, UPI-41AH / 42AH 系列在 EPROM 阵列之外还有标签行, UPI-41AH / 42AH 系列还具有保密的特性, 使 EPROM 阵列在保密位置位时不能被读出。

所有 UPI 芯片都具有下列主要特性:

- 8 位 CPU
- 8 位数据总线接口寄存器
- 间隔计时器 / 事件计数器
- 两个 8 位的 TTL 可兼容的 I/O 端口。
- 驻留的时钟振荡器电路

UPI 系列有下列差异:

表 1.2

UPI-41A	UPI-42	UPI-41AH	UPI-42AH
1K × 8 EPROM 64 × 8 RAM	2K × 8 EPROM 128 × 8 RAM	1K × 8 ROM 或 1K × 8 OTP 128 × 8 RAM	2K × 8 ROM 或 2K × 8 OTP 256 × 8 RAM * 设置保密特性 * * 标签行特性 32 个字节用于 1) 测试代码 / 检查和 2) Intel 标签 3) 保密字节 4) 用户标签
编程			
UPI-41A / UPI-42		UPI-41AH / UPI-42AH	
V _{DD} = 25V	21V	12.5V	
I _{DD} = 50mA	50mA	30mA	
EA = 21.5V-24.5V	18V	12.5V	
VPH = 21.5V-24.5V	18V	20V-5.5V	
TPW = 50mS	50mS	1mS	

续表

引脚描述	
UPI-41A / UPI-42	UPI-41AH / UPI-42AH
(T1) T1 作为测试输入, 可使用条件分支指令直接测试。在软件控制下它作为事件计数器的输入起作用。	T1 作为测试输入, 可使用条件分支指令直接测试, 在软件控制下, 它作为事件计数器的输入工作。它被用于在同步方式期间, 复位指令状态到 S1 并且使内部时钟与相位 1 同步。
(SS) 单步输入, 与同步输出一起使用, 使程序经每一条指令而步进执行	单步输入, 与同步输出一起使用, 使程序经每一条指令而步进执行。这个引脚可由给它供给 12.5V 而将器件置入同步方式。
端口 1 (P ₁₀ -P ₁₇): 8 位, 准双向的 I/O 线。	端口 1 (P ₁₀ -P ₁₇): 8 位, 准双向的 I/O 线。P ₁₀ -P ₁₇ 访问标签行和保密位。

注:

* 欲知对保密特性的完整的描述, 请参见 UPI-41AH / 42AH 数据表:

* * 欲知对标签行的完整的描述, 请参见 UPI-41AH / 42AH 数据表。

HMOS 工艺已经被应用于 UPI 系列, 使得能够有额外的性能和存贮器的能力而同时减少功耗。UPI-41A / 41AH / 42 / 42AH 的所有引脚和软件都是兼容的。这使得在当前的设计中正增长的部分能加入新的特性并且增加额外的性能。对于新的设计, UPI-41A / 41AH / 42 / 42AH 的额外的存贮器和性能扩充了 UPI 的“增长你已有的结果”的概念, 作为例子, 添加了更为复杂的马达控制任务、80 列打印机和过程控制应用。

8243 器件是 I/O 多路复用器, 它能够扩充 I/O 到超过 100 条线 (如果使用七个器件)。所有三个部分都是用 N 通道的 MOS 技术制作的, 并且要求为运行提供单一的 5V 电源。

1.1 多处理器结构的接口寄存器

在通常的结构中, UPI-41A / 41AH / 42 / 42AH 如同任何智能外围器件一样, 接口到系统总线 (见图 1-1)。主机处理器和 UPI-41A / 41AH / 42 / 42AH 一起形成松耦合多处理器系统, 即两个处理器之间的通讯是直接的。公用的资源是三个在物理上定位于 UPI-41A / 41AH / 42 / 42AH 上的可寻址的寄存器。这些寄存器是数据总线输入缓冲器 (DBBIN)、数据总线输出缓冲器 (DBBOUT) 和状态 (STATUS) 寄存器。主机处理器可以从 DBBOUT 读数据或把命令和数据写入 DBBIN。DBBOUT 和 DBBIN 的状态加上用户定义的状态在 STATUS 中供给。主机可以在任何时刻读 STATUS。当 DBBIN 被装入时, 对 UPI 处理器的中断 (如允许) 自动产生。

因为 UPI 是包含有程序存贮器、数据存贮器和 CPU 的完整的微计算机, 它可以用作

为“通用”控制器。设计者可以对 UPI 编程，用以控制打印机，磁带机，或多路串行通讯通道。UPI 还可以处理脱机算术进程，或任意数量的其它低速控制任务。

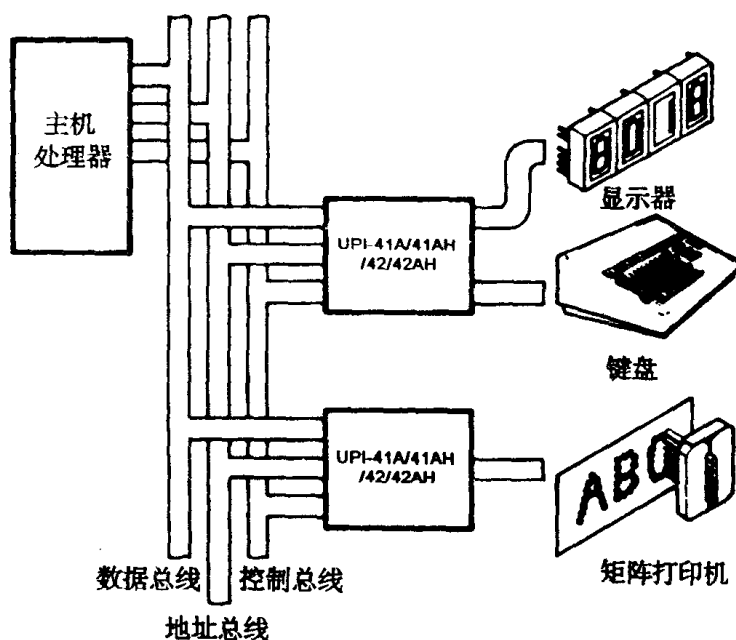


图 1-1 微机系统的外围接口

1.2 高效的 8 位处理器

UPI 含有一个高效的 8 位处理器，它具有 $1.2\mu s$ 周期时间的速度和两个单级中断。它的指令集包含有 90 余条易于软件开发的指令。大多数指令是单字节和单周期的，并且没有比两个字节更长的指令。该指令集对于位处理和 I/O 操作是最佳的。各种专用指令被包括在内，以允许进行二进制的或 BCD 的算术操作、查表程序、循环计数和 N 路分支程序。

1.3 专用指令集特性

- 循环计数：
 - 寄存器减 1 并且非零时跳转
- 位运算：
 - AND 到 A (立即数或寄存器)
 - OR 到 A (立即数或寄存器)
 - XOR 到 A (立即数或寄存器)
 - AND 到输出端口 (累加器)
 - OR 到输出端口 (累加器)
 - 在 A 的任一位上条件跳转
- BDC 算术运算：

十进制调整 A

交换 A 的两个 4 位半字节

交换 A 和寄存器的低位半字节

带或不带进位的循环左移或右移

● 查表:

从 ROM 的页装入 A (地址在 A 中)

从 ROM 的当前页装入 (地址在 A 中)

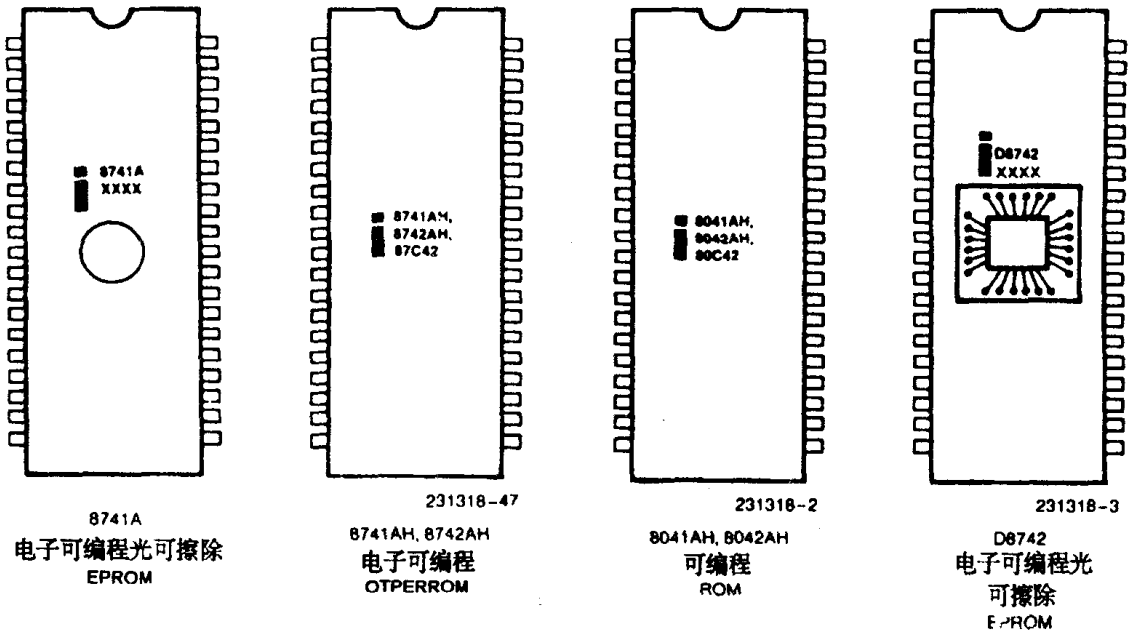


图 1-2 引脚兼容的 ROM / EPROM 版本

1.3.1 外围控制特性

UPI 8 位间隔计时器 / 事件计数器可以为控制应用产生复杂的定时序列, 或者为诸如开关闭合和位置编码器脉冲之类的外部事件计数。软件计时循环能够由间隔计时器简化或删除。如果被使能的话, 当计时器溢出时, 将产生对 CPU 的中断。

UPI 的 I/O 包含两个 TTL 兼容的 8 位双向 I/O 端口和两个通用测试输入。16 根端口线中的每一根都能够在软件的控制下作为输入或输出个别起作用。这些端口线中的 4 根还可以用作为对 8243 I/O 扩展器的接口, 8243 提供 4 个额外的由 UPI 软件直接寻址的 4 位端口。8243 扩展器使能够低耗费地实现对于大的控制应用的 I/O 扩充, 而同时保持方便和有效的软件端口寻址。

1.3.2 芯片内存贮器

UPI 的 64 / 128 / 256 个字节的数据存贮器包括两个工作寄存器组和一个 8 级程序计数器堆栈。寄存器组之间的转换使能够高速响应中断。堆栈被用来存放返回地址和进入子程序时的处理器状态。

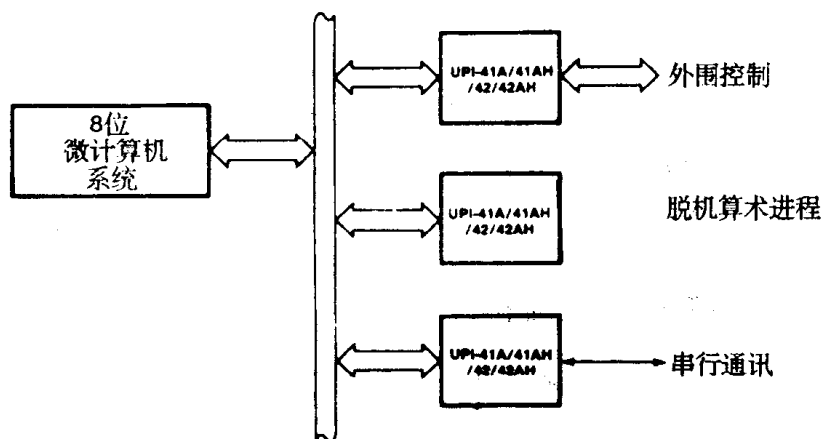


图 1-3 多处理器系统的接口和协议

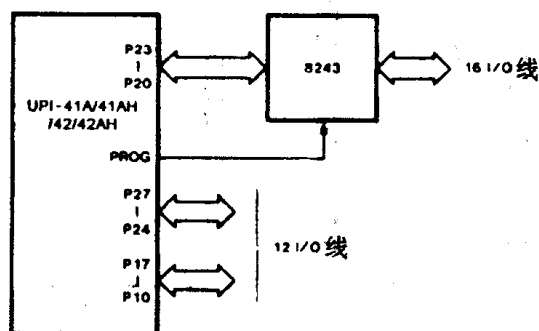


图 1-4 8243 I/O 扩展器接口

UPI 的程序存储器有三种可用的类型，使得在把对原型的设计转为具有相同印制电路布局的产品的过程中具有灵活性。带有 EPROM 存储器的 8741A / 8742 对于最初的系统设计和开发是非常合算的。它的程序存储器可以使用 Intel 通用 PROM 编程器电子编程。当需要修改时，整个程序能够在大约 20 分钟之内用 UV 灯擦除并且重新编程。这意味着 8741A / 8742 可以在非常复杂的接口和控制问题中被用作单芯片的“试验板”。在 8741A / 8742 编程之后，它能够在实际的产品级印制板和实际的使用环境中被测试。在系统调试期间需要进行的修改，能够在 8741A / 8742 的程序中实现，并且比在随机逻辑设计中实现修改要容易得多。在开发过程中系统结构和印制电路的布局能够保持不变，并且在修改期间重新装入程序所需的时间能够减到最少。

在开发周期的任一时刻，8741A / 8742 的 EPROM 部件可以用分别带有工厂掩码的已编程存储器或 OTP EPROM 的低成本的 UPI-41AH / 42AH 来代替。从系统开发到大批量生产的转变将是平稳的，因为 8741A / 8742，8741AH 和 8041AH，8742AH 和 8042AH 部件的引脚是完全兼容的。这个特性允许使用 EPROM 部件进行广泛的试验，甚至是为用户装入最初的程序。此外，改为低成本的 ROM 或 OTP EPROM 的转换被简化为仅仅是封装的变换。

1.4 已编程的 UPI 芯片

8242AH, 8292 和 8294 是由 Intel 编程的 8042AH 芯片, 并被当作标准外围芯片销售。8242AH 是用于 AT 兼容系统的键盘控制器。8292 是 GPIB 控制器, 三片 GPIB 系统的部件。8294 是实现国家标准局数据加密算法的数据加密器。这些器件说明 UPI 系列提供了巨大的灵活性。

1.5 开发支持

UPI 微计算机得到 Intel 公司的开发工具, 比如常常提到的 UPP 编程器的完全支持。器件特性和 Intel 对开发支持的结合使 UPI 成为低速外围控制应用的理想的部件。

1.6 UPI 的开发支持

- 8248 / UPI-41A / 41AH / 42 / 42AH 汇编语言
- 通用 PROM 编程器 UPP 系列
- 现场用户库
- 应用工程师
- 训练课程

第二章 功能描述

UPI 微计算机是智能外围控制器，被设计在 iAPX-86, 88, MCS-85, MCS-80, MCS-51 和 MCS-48 系统中工作。UPI 的结构，如图 2-1 所示，是立足于低成本，带有程序存储器，数据存储器，CPU，I/O，事件计数器和时钟振荡器的，在 40 个引脚封装内的单片微计算机。包含有使 UPI 能作为一个 8 位微处理器的外围设备起作用的专用接口寄存器。

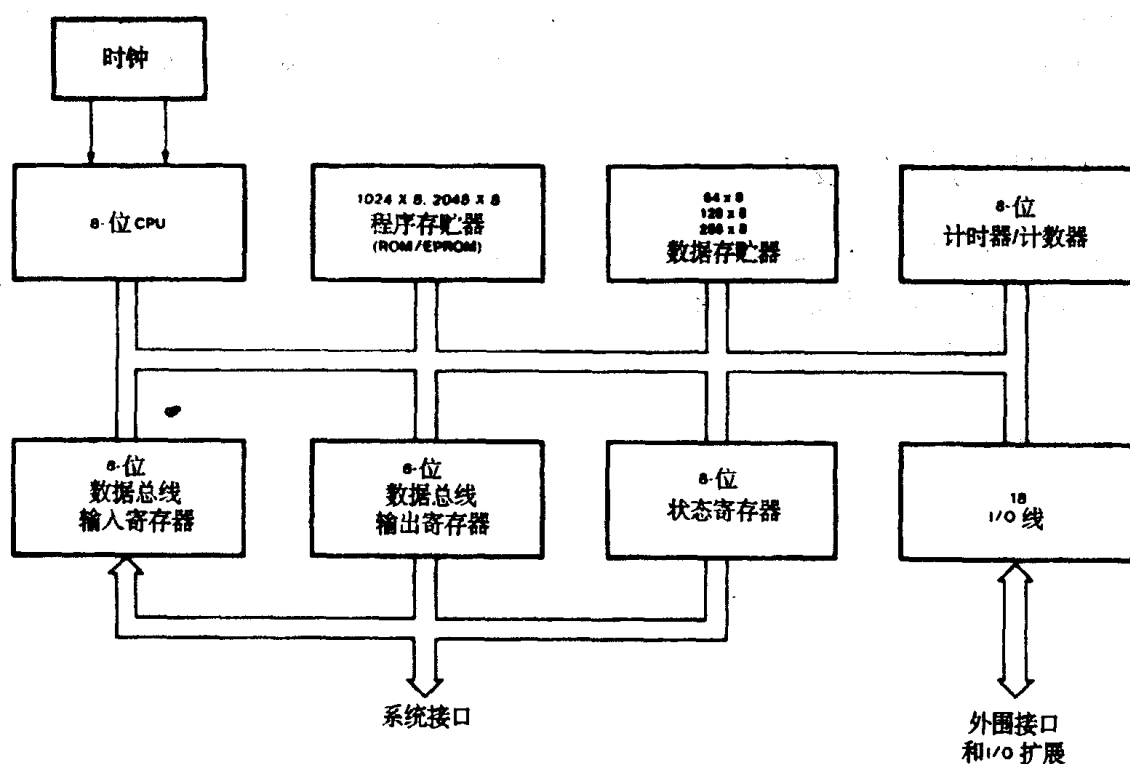


图 2-1 UPI-41A / 41AH / 42 / 42AH 单片微计算机

本章提供对 UPI 微计算机和它的系统接口寄存器的基本描述。除非另有说明，本章的描述可用于带有 OTP EPROM 存储器的 8741AH, 8742AH, (带有 UV 可擦除程序存储器的) 8741A / 8742 和 8041AH, 8042AH。这些器件是如此地相似，以至于在大多数情况下，它们可以被认为是完全一样的。在这一章中所有的功能描述适用于 UPI-41A / 41AH / 42 / 42AH。

2.1 引脚描述

UPI-41A / 41AH / 42 / 42AH 被封装在 40 个引脚的双列直插式封装中。两类器件的引脚排列表示在图 2-2 中，图 2-3 说明了 UPI 的逻辑符号。

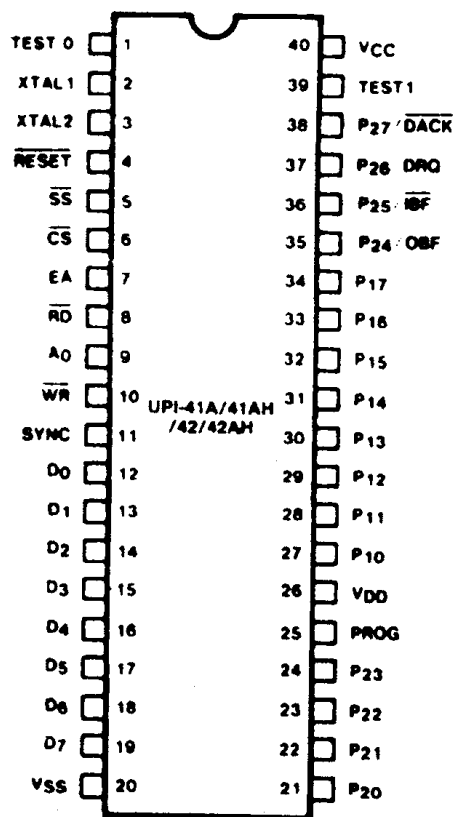


图 2-2 引脚排列

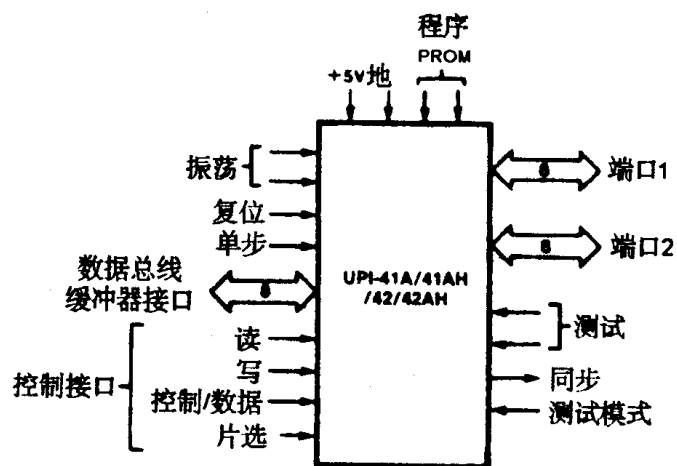


图 2-3 逻辑符号

下面的表格汇总了 UPI 每一个引脚的功能。注意，有几个引脚具有两个或多个功能，被分段描述。

表 2.1 引脚描述

符号	引脚号	类型	名称和功能
D_0-D_7	12-19	I/O	数据总线。三态，双向的数据总线缓冲器引线被用于把 UPI-41A / 41AH / 42 / 42AH 接口到 8 位主系统数据总线。
$P_{10}-P_{17}$	27-34	I/O	端口 1。8 位，端口 1 的双向 I/O 线。
$P_{20}-P_{27}$	21-24 35-38	I/O	端口 2。8 位，端口 2 的准双向 I/O 线。低四位 ($P_{20}-P_{23}$) 直接接口到 8243 I/O 扩展器，在端口 4-7 访问期间含有地址和数据信息。高四位 ($P_{24}-P_{27}$) 能够被编程以提供中断请求和 DMA 信号交换的能力。控制软件可以构造 P_{24} 为输出缓冲器满 (OBF) 中断请求， P_{25} 为输入缓冲器满 (IBF) 中断请求， P_{26} 为 DMA 请求 (DRQ)， P_{27} 为 DMA 响应 (DACK)。
$\overline{WR}$	10	I	写命令。I/O 写命令输入信号使主机 CPU 能写数据和命令字到 UPI 的数据总线输入缓冲器。
$\overline{RD}$	8	I	读命令。I/O 读命令输入信号使主机 CPU 结构从数据总线输出缓冲器或状态寄存器读数据和状态字。
$\overline{CS}$	6	I	芯片选中。芯片选中输入信号被用来从连接在公共数据总线上的几个设备中选择一个 UPI-41A / 41AH / 42 / 42AH 微计算机。
A_0	9	I	命令 / 数据选择。这个地址输入信号被主机处理器用来指示正在传输的字节是数据 ($A_0=0$) 还是命令 ($A_0=1$)。
$TEST_0$, $TEST_1$	1 39	I	测试输入。能够用条件分支指令直接测试的输入引脚。频率基准。 $TEST_1$ (T_1) 还可用作事件计数器的输入 (在软件控制下)。 $TEST_0$ (T_0) 在 PROM 编程和 UPI-41H / 41AH / 42 / 42AH 验证测试期间被使用。
$XTAL_0$, $XTAL_1$	2 3	I	输入信号。用于晶体，LC 或外部定时信号的输入，以决定内部振荡器的频率。
SYNC	11	O	输出时钟。每个 UPI 指令周期发生一次的输出信号。SYNC 可以被用作外部电路的选通信号；它也可以用作单步操作的同步信号。
EA	7	I	外部访问。外部访问输入信号使能仿真，测试和 PROM / ROM 验证。

续表

符号	引脚号	类型	名称和功能
PROG	25	I/O	程序。多功能引脚，在 PROM 编程期间用于程序脉冲输入。在 I/O 扩展器访问期间，PROG 引脚作为对 8243 的地址/数据选通信号起作用。
RESET	4	I	复位。用来复位状态触发器和将程序控制器置为零的输入信号。在 PROM 编程和验证期间，RESET 也被使用。
SS	5	I	单步。单步输入被用于同 SYNC 输出一起，使能通过每一条指令步进地执行程序。
Vcc	40		电源。+5V 主电源供应引脚。
VDD	26		电源。在正常操作时为+5V，为 UPI-41A 编程操作时为+25V，为 UPI-42 编程操作时为+21V，为 UPI-41AH / 42AH 编程操作时为+12V。ROM 版本的低功耗支持引脚。
VSS	20		接地。电路接地电位。

下一节提供 UPI 微计算机详细的功能描述。图 2-4 给出了 UPI 器件的功能框图。

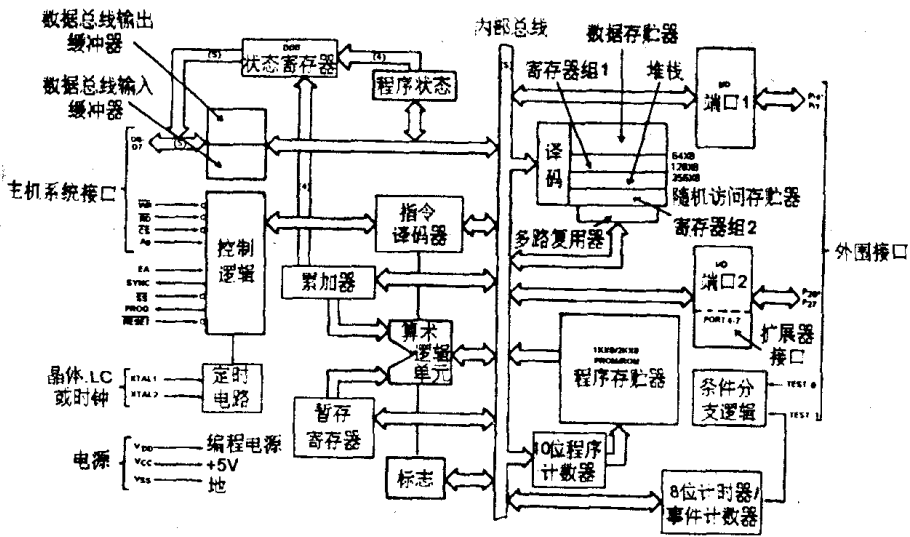


图 2-4 UPI-41A / 41AH / 42 / 42AH 框图

2.2 CPU 部分

UPI-41A / 41AH / 42 / 42AH 微计算机的 CPU 部分执行基本的数据处理，并控制经由外部 8 位数据总线的该单片计算机的数据流吞吐量。CPU 部分包括下列在图 2-4 中表出的功能块：

- 算术逻辑单元 (ALU)
- 指令译码
- 累加器
- 标志

2.2.1 算术逻辑单元 (ALU)

ALU 能执行下列操作：

- 带或不带进位的加法
- 与，或，以及异或
- 加 1，减 1
- 循环左移或右移
- 交换
- BCD 十进制调整

在典型的操作中，来自累加器的数据与来自 UPI-41A / 41AH / 42 / 42AH 内部总线上的某些其它源（例如寄存器或 I/O 端口）的数据在 ALU 中被组合。ALU 操作的结果能够被传送到内部总线上或者返回到累加器。

如果操作中，需要 8 位以上的加法和循环移位，则进位标志被用作指示器。同样，在十进制调整和其它的 BCD 操作期间，辅助进位标志能被置位或起作用。这些标志是程序状态字 (PSW) 的一部分。

2.2.2 指令译码器

在取指令期间，每条程序指令的操作代码（操作码）部分由指令译码器存贮并且被译码。译码器产生的输出被用于和各种时序信号一起去控制在 ALU 中执行的功能。此外，指令译码器还控制 ALU 数据的源和目标。

2.2.3 累加器

累加器是处理器内一个最重要的寄存器。它是 ALU 数据的主要的源寄存器，并且常常也是结果的目标寄存器，向或来自于 I/O 端口和存贮器的数据通常都经过累加器。

2.3 程序存储器

UPI-41A / 41AH / 42 / 42AH 微计算机含有 1024, 2048 个常驻的 8 位字, 即存放程序的只读存储器。这些存储器单元的每一个都由 10 位的程序计数器直接寻址。取决于应用的类型和预期的程序变化的数量, 有三种类型的程序存储器可用:

- 带有掩码的已编程 ROM 存储器的 8041AH, 8042AH
- 带有电子可编程 OTP EPROM 存储器的 8741AH, 8742AH
- 带有电子可编程 EPROM 存储器的 8741A 和 8742

程序存储器的映像表示在图 2-5 中。存储器被划分为含有 256 个单元的“页”, 有三个单元是专用的。

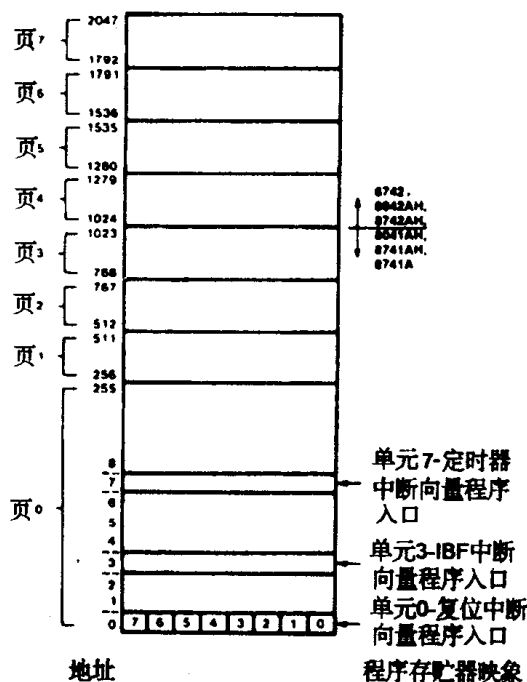


图 2-5 程序存储器映像

2.4 中断向量

1) 单元 0

在输入到处理器的 RESET 之后, 下一条指令被自动地从单元 0 取出。

2) 单元 3

由输入缓冲器满 (IBF) 条件产生的中断 (在 IBF 中断被使能时) 使得下一条指令从单元 3 取出。

3) 单元 7

计时器溢出中断 (当使能时) 将使得下一条指令从单元 7 中取出。

在系统 RESET 之后, 程序从单元 0 开始执行。程序存储器中的指令通常是顺序地被

执行的。程序的控制可以由于输入缓冲器满（IBF）中断或计时器中断，或在遇到跳转或调用指令时，被转移到代码的主线之外。IBF 中断（如使能）将自动转移控制到单元 3，而计时器中断将转移控制到单元 7。

所有的条件 JUMP 指令和直接 JUMP 指令被限制在当前 256 个单元的页的范围之内（也即，它们只能更改 PC 位 0-7）。如果条件 JUMP 或直接 JUMP 是在一页的单元 255 中开始的，则它必须引用在下一页上的目标。

程序存储器既能存放程序指令也能被用来存放常数。UPI-41AH, 42AH 的指令集包含有一条为从存储器的页 3 中有效地传送查表信息而专门设计的指令（MOVP3）。

2.5 数据存储器

UPI-41A 有 64 个 8 位字的随机访问存储器，UPI-41AH 有 128 个 8 位字的随机访问存储器；UPI-42 有 128 个 8 位字的 RAM；而 UPI-42AH 有 256 个 8 位字的 RAM。这些存储器包含两个工作寄存器组，一个 8 级程序计数器堆栈和一个便笺式存储器，如在图 2-6 中所示。便笺式存储器可用的总数是依赖于在堆栈中嵌套的地址的数量和使用的工作寄存器数量的一个变量。

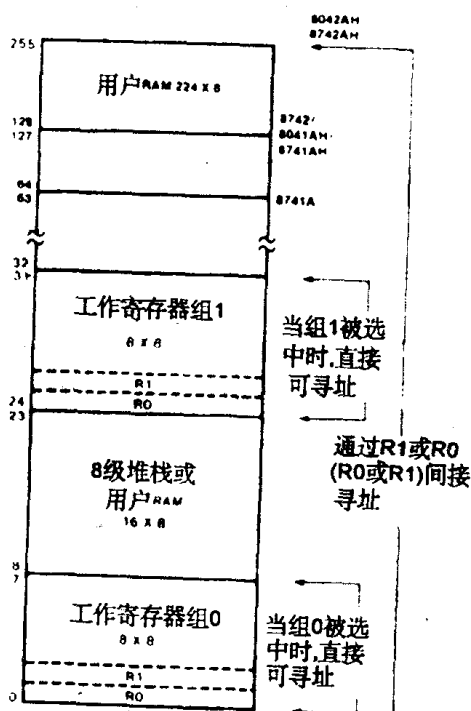


图 2-6 数据存储器映象

2.5.1 数据存储器寻址

RAM 中最前面的 8 个单元被设计为工作寄存器 R_0 - R_7 。这些单元（或寄存器）能够由在指令中指定寄存器号而被直接寻址，因为这些单元容易寻址，故它们通常被用于存放

频繁存取的中间结果。数据存储器中的其它单元由使用 R_0 或 R_1 指定驻留地址而被间接寻址。

2.5.2 工作寄存器

UPI-41A / 41AH / 42 / 42AH 的数据存储器内包含有两个工作寄存器组，每组是 8 个工作寄存器。单元 0-7 组成寄存器组 0 而单元 24-31 形成寄存器组 1。RESET 信号自动选择寄存器组 0。当组 0 被选中时，UPI-41A / 41AH / 42 / 42AH 中引用 R_0-R_7 的操作在数据存储器的单元 0-7 上进行。在程序执行期间，“选择寄存器组”指令被用来在两个组之间进行选择，如果指令 SELRB1（选择寄存器组 1）被执行，则引用 R_0-R_7 的程序将在单元 24-31 上操作。如前面叙述的，在当前寄存器组中的寄存器 0 和 1 被用于为数据存储器中的所有单元间接寻址。

寄存器组 1 通常被用于处理中断服务程序，因而存放着主程序寄存器的内容。可以在中断服务程序的起始处发出 SELRB1 指令。然后，转到主程序，RETR（返回与恢复状态）指令将自动地恢复先前选定的寄存器组。在中断处理期间，寄存器组 0 的寄存器可以用 R_0' 和 R_1' 间接访问。

如果寄存器组 1 未被使用，则寄存器 24-31 仍可以作为额外的便笺式存储器而起作用。

2.5.3 程序计数器堆栈

RAM 单元 8-23 被用作为 8 级程序计数器堆栈。当程序的控制从主程序暂时转移到子程序或中断服务程序时，10 位的程序计数器和程序状态字（PSW）的位 4-7 被存放到两个堆栈单元中。当控制经由 RETR 指令而返回到主程序时，程序计数器和 PSW 的位 4-7 被恢复。然而，经由 RET 指令的返回不恢复 PSW 位。程序计数器堆栈由 PSW 的三个堆栈指针位（位 0-2）寻址。程序计数器堆栈的操作和程序状态字在下面几节中详细解释。

堆栈允许高达 8 级的子程序“嵌套”；即一个子程序可以调用第二级子程序，后者可调用第三级，等等，直至 8 级。未被使用的堆栈单元可以被用为便笺式存储器。每一个未用的子程序嵌套级为通常的使用提供两个额外的 RAM 单元。

下面几节提供对程序计数器堆栈和程序状态字的详细描述。

2.6 程序计数器

UPI-41A / 41AH / 42 / 42AH 微计算机有一个 10 位的程序计数器（PC），它能够对程序存储器的 1024, 2048 个单元中的任一个直接寻址。程序计数器总是含有将要被执行的下一条指令的地址，并且在每次取指令时，通常为了下一条将要被执行的指令，程序计数器顺序加 1。

然而，当控制被暂时从主程序转移到子程序或中断程序时，则 PC 的内容必须被更新