

超大规模集成电路

——系统和电路的设计原理

高德远 樊晓桢 张盛兵 王党辉 罗 旻 编著

高等教育出版社

内容提要

本书系统地介绍了超大规模集成电路专用芯片的设计原理。主要内容包括：第一章至第四章为 VLSI 基础，涉及器件原理、工艺过程、电路抽象、版图设计等内容；第五章至第七章涉及微系统设计，包括 IP 与 SOC、测试与可测试性设计、微处理器设计等内容。

本书主要是为计算机专业高年级本科生或研究生编写的，也可作为其他电子类专业本科生或研究生的教材，还可供电子行业的设计师、工程技术人员参考。

图书在版编目(CIP)数据

超大规模集成电路——系统和电路的设计原理/高德远
等编著. —北京：高等教育出版社，2003.7

ISBN 7-04-011872-6

I. 超… II. 高… III. 超大规模集成电路-电路
设计-高等学校-教学参考资料 IV. TN470.2

中国版本图书馆 CIP 数据核字(2003)第 038034 号

出版发行	高等教育出版社	购书热线	010-64054588
社 址	北京市西城区德外大街 4 号	免费咨询	800-810-0598
邮政编码	100011	网 址	http://www.hep.edu.cn
总 机	010-82028899		http://www.hep.com.cn
经 销	新华书店北京发行所		
印 刷	北京铭成印刷有限公司印刷		
开 本	787×960 1/16	版 次	2003 年 7 月第 1 版
印 张	25	印 次	2003 年 7 月第 1 次印刷
字 数	470 000	定 价	31.10 元

本书如有缺页、倒页、脱页等质量问题，请到所购图书销售部门联系调换。

版权所有 侵权必究

前 言

自从 1958 年美国 TI 公司试制成第一块集成电路(IC——Integrated Circuit)以来, 40 多年的 IC 发展迅速得令人瞠目。IC 的生产已经发展成为新兴的支柱产业, 并且继续保持着迅猛发展的势头。集成电路持续增长历程证明了大家所熟知的摩尔定律的强大生命力, 即集成电路中晶体管的数目每 18 个月增加一倍。预计未来 10~15 年内, 摩尔定律仍将是集成电路发展所遵循的一条定律, 按此规律, 在 21 世纪初, 集成电路的基本单元 CMOS 器件将从亚微米进入纳米时代。

目前集成电路大生产的主流芯片加工技术为 8 英寸(圆片尺寸)、 $0.18\mu\text{m}$ (特征尺寸), 正在向 12 英寸、 $0.10\mu\text{m}$ 过渡。据国际权威机构预测, 到 2012 年, 集成电路芯片加工技术将达到 18 英寸、 $0.05\mu\text{m}$ 。当前的 DRAM, 其容量已经达到 1~4 Gbit 的规模, 预计到 2010 年, 可以达到 16 Gbit 的规模。据预测, 2003 年世界半导体市场的规模将达到 2 300 亿美元, 2004 年为 3 000 亿美元, 而到 2010 年, 将上升到 5 578 亿美元。

当前集成电路设计的发展有两种趋势: 一是全球半导体行业为更好地缩短设计与制造之间的时间差, 提出了一种新的设计思想, 即所谓的集成电路知识产权(IP——Intellectual Property)产品的转让和使用, 以重复利用已有的设计成果, 实现设计复用, 大大缩短新产品的的设计周期, 降低设计成本, 又快又好地满足市场的需求; 二是集成电路技术现已进入到系统芯片(SOC——System on a Chip)时代, 这是电子系统和产品设计的一个革命性的大变化, 未来的电子系统和产品都可以集成在一块芯片上, 其实质就是集成电路系统芯片的设计。

集成电路行业已经变成芯片设计、制造、封装三业并起, IC 设计业逐渐成为一个新兴的、独立的高技术产业。目前以 Fabless (无生产线)公司与 Foundry (芯片代工)厂商合作形成的 F/F 模式将会扩大半导体市场领域, 推动半导体应用。

然而, VLSI 设计毕竟是相当复杂的技术, 涉及电子学、数字逻辑、计算机体系结构、程序设计语言、计算机图形学等, 需要多门课程的广泛知识。而且迅速发展的技术是一本书难以涵盖的。因此, 本书试图向读者介绍设计 VLSI 所必需的基本知识和原理; 在此基础上, 介绍一些有关微系统设计方面的知识。如果读者有所收获, 并在工作中能利用其中的内容, 则编者无憾矣。

本书主要是为计算机专业高年级学生或研究生编写的。读者学习前应该掌握电子学、数字电路、计算机原理、计算机语言等方面的知识。其他电子专业的本科生、研究生，只要具备上述知识，也可选用本教材。此外，本书也可供电子行业的设计师、工程技术人员参考。

考虑到本书读者的知识层次较高，同时书中部分内容参考了国外一些资料，则书中保留了一些国外图文符号，对图中的少数外文注释也未做改动。

本书第一章至第四章为 VLSI 基础，涉及器件原理、工艺过程、电路抽象、版图设计等内容。第五章至第七章涉及微系统设计，包括 IP 与 SOC、测试与可测试性设计、微处理器设计等。根据读者专业背景和不同需求，可选用部分内容，如作为大学本科高年级教材，可安排 50~60 学时教学，但实验和大作业时间不在其内。

参加本书编写的还有朱霞、周昔平、李瑛、王奕、安建峰、李涛、杨帆、梁婕、薛燕等。

本书由西北工业大学康继昌教授审阅，在此表示感谢，对于书中不妥之处，欢迎批评指正。

编者

2002 年 11 月

目 录

第一章 MOS 晶体管原理	1
1.1 MOS 晶体管概述	1
1.1.1 金属氧化半导体(MOS)的结构	1
1.1.2 外部偏置下的 MOS 系统	4
1.1.3 MOS 晶体管(MOSFET)的结构和工作原理	7
1.2 MOS 晶体管计算模型	12
1.2.1 MOSFET 电流 - 电压特性	12
1.2.2 MOS 晶体管电容	21
1.3 MOS 反相器的直流特性分析	27
1.3.1 简介	28
1.3.2 电阻负载反相器	36
1.3.3 n 型 MOS 晶体管负载反相器	42
1.3.4 CMOS 反相器	49
第二章 加工工艺概述	63
2.1 CMOS 加工工艺	63
2.1.1 硅片	63
2.1.2 光刻工艺和阱区确定	64
2.1.3 扩散法和离子注入法	65
2.1.4 化学气相沉积和作用区的确定	67
2.1.5 场区注入和场区氧化	67
2.1.6 场区氧化层的生长	68
2.1.7 栅氧化和阈值电压调整	69
2.1.8 多晶硅栅的形成	70
2.1.9 注入结、淀积 SiO ₂ 与打开接触孔	70
2.1.10 退火、淀积金属模型以及淀积覆盖玻璃	72
2.1.11 可以替换的工艺步骤	73
2.2 双极工艺	73
2.3 CMOS 版图与设计规则	75
2.4 高级 CMOS 工艺	83

第三章 电路抽象及性能估计	85
3.1 MOS反相器的动态特性和互连效应	85
3.1.1 简介	85
3.1.2 MOS器件的电阻估计	86
3.1.3 MOS器件的电容估计	90
3.1.4 延迟时间定义	92
3.1.5 延迟时间的计算	94
3.1.6 有延时约束的反相器设计	98
3.1.7 互连寄生效应的估算	103
3.1.8 互连线延时的计算	113
3.1.9 CMOS反相器的动态功耗	115
3.2 CMOS组合电路的设计及其性能	119
3.2.1 介绍	119
3.2.2 静态CMOS的设计	120
3.2.3 动态CMOS的设计	140
3.3 功耗问题	147
3.3.1 电源和功耗	148
3.3.2 逻辑门的翻转频率	148
3.3.3 静态CMOS电路中的毛刺	152
3.3.4 静态CMOS电路中的短路电流	155
3.3.5 低功耗CMOS设计	156
3.4 如何选择逻辑类型	160
3.5 总结	161
第四章 CMOS电路和逻辑设计	163
4.1 引言	163
4.2 CMOS逻辑门设计	163
4.2.1 扇入和扇出	165
4.2.2 典型的CMOS与非门和或非门延时	167
4.2.3 MOS管尺寸的确定	171
4.2.4 小结	172
4.3 简单逻辑门的基本物理版图设计	173
4.3.1 反相器	173
4.3.2 与非门和或非门	176
4.3.3 综合的逻辑门版图设计	177
4.3.4 CMOS标准单元的设计	181
4.3.5 门阵列版图设计	185

4.3.6	CMOS 单元阵列的门阵列版图设计	185
4.3.7	逻辑门版图设计的一般原则	185
4.3.8	版图的性能优化	188
4.3.9	传输门版图的设计考虑	189
4.3.10	2 输入多路复用器	191
4.4	CMOS 逻辑结构	193
4.4.1	CMOS 互补逻辑	193
4.4.2	双 CMOS 逻辑	195
4.4.3	伪 NMOS 逻辑	196
4.4.4	动态 CMOS 逻辑	199
4.4.5	钟控 CMOS 逻辑 (C ² MOS)	200
4.4.6	传输管逻辑	201
4.4.7	CMOS 多米诺逻辑	205
4.4.8	改进的多米诺逻辑 (拉链 CMOS)	208
4.4.9	级联电压开关逻辑 (CVSL)	209
4.4.10	SFPL 逻辑	212
4.4.11	小结	212
4.5	时钟方案的抉择	214
4.5.1	钟控系统	214
4.5.2	锁存器和寄存器	215
4.5.3	系统时间	219
4.5.4	建立和保持时间	220
4.5.5	单向存储器结构	222
4.5.6	锁相环时钟技术	230
4.5.7	亚稳态和同步失效	232
4.5.8	单向逻辑结构	236
4.5.9	两相时钟	240
4.5.10	两相存储器结构	242
4.5.11	两相逻辑结构	246
4.5.12	四相时钟	246
4.5.13	四相存储器结构	247
4.5.14	四相逻辑结构	248
4.5.15	推荐的时钟方法	250
4.5.16	时钟分布	251
4.6	输入/输出 (I/O) 结构	252
4.6.1	总体的安排	252
4.6.2	V_{DD} 和 V_{SS} 压焊块	255
4.6.3	输出压焊块	255

4.6.4	输入压焊块	256
4.6.5	三态压焊块和双向压焊块	259
4.6.6	其他压焊块	260
4.6.7	射极耦合逻辑(ECL)和低电压摆幅压焊块	262
4.7	低功耗设计	265
第五章	SOC 设计方法学	266
5.1	ASIC 设计方法介绍及发展趋势	266
5.2	SOC 设计过程概述	268
5.2.1	模块的设计	268
5.2.2	VC 的交接	273
5.2.3	芯片集成	274
5.2.4	软件开发	277
5.3	集成环境和 SOC 设计	278
5.3.1	应用环境库	278
5.3.2	硬件内核的实现	281
5.4	功能结构综合设计	284
5.4.1	功能结构综合设计概述	285
5.4.2	设计方法比较	285
5.4.3	新设计方法的应用	287
5.5	总线结构的设计	289
5.5.1	系统芯片总线结构概述	289
5.5.2	设计数据通信网络	292
5.5.3	以应用库环境为基础的设计方法	302
5.5.4	总线结构的验证	303
5.6	SOC 中的软件设计	303
5.6.1	嵌入式软件发展的现状	303
5.6.2	嵌入式软件开发的问题	305
5.6.3	软硬件综合设计	305
5.6.4	改进嵌入式软件的开发方法	306
5.6.5	小结	306
第六章	测试与可测性设计	308
6.1	概述	308
6.2	故障模型和测试矢量生成	310
6.2.1	故障类型	310
6.2.2	故障模型	312

6.2.3	测试矢量生成	314
6.3	可测试性设计技术	318
6.3.1	Ad Hoc 设计技术	318
6.3.2	扫描技术	320
6.3.3	内建自测试技术	324
6.3.4	I _{DDQ} 测试	329
6.4	系统芯片的测试与可测性设计	330
6.4.1	系统芯片测试的一般模型	330
6.4.2	虚拟插座接口	332
6.4.3	嵌入内核的内部测试	338
6.4.4	嵌入内核的外部访问机制	341
6.5	测试策略和技术	344
第七章	微处理器 IP 核的设计	346
7.1	微处理器核的基本组成	346
7.1.1	指令系统概述	346
7.1.2	指令和数据的寻址方式	348
7.2	数据通路的设计	349
7.2.1	建立局部数据通路	349
7.2.2	实现简单的数据通路	353
7.2.3	建立多拍数据通路	356
7.2.4	选择总线结构	359
7.3	控制通路的设计	362
7.4	流水线的设计	365
7.4.1	流水线的基本概念	365
7.4.2	流水线设计考虑	367
7.5	外围功能单元的设计	371
7.5.1	8155 IP 的组成结构	372
7.5.2	8155 IP 各关键模块的设计	373
参考文献		383

第一章 MOS 晶体管原理

1.1 MOS 晶体管概述

MOS 场效应晶体管 (Metal Oxide Semiconductor Field Effect Transistor) 是各种 MOS 数字集成电路的基本组成单元。与双极型晶体管 (BJT, Bipolar Junction Transistor) 相比, MOS 晶体管的面积比较小, 且制造工序少, 因此, 它已成为 VLSI 电路中使用最广泛的器件, 主要用于构造数字电路的开关器件。本章主要内容包括 NMOS 和 PMOS 器件的基本结构和电气特性。应该说两者的基本工作原理十分相近。

本章首先介绍 MOS 管的电气特性和物理特性, 接着介绍外部偏置电压对电荷分配和自由载流子的影响, 而后讨论 MOS 晶体管的电流 - 电压特性, 最后分析 MOS 反相器的直流特性。

1.1.1 金属氧化半导体 (MOS) 的结构

图 1.1 所示的是具有两个电极的简单 MOS 管结构。它由三层构成: 金属栅极、二氧化硅绝缘层、p 型衬底 (在 Si 中掺入了三价元素, 如硼)。MOS 管结

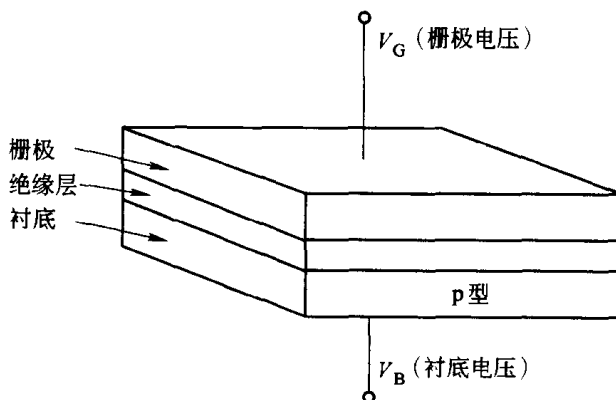


图 1.1 MOS 结构

构形成了一个电容，其中栅极和衬底分别是电容的两极，二氧化硅绝缘层作为两极之间的电介质，其厚度一般在 10 nm 到 50 nm 之间。在衬底的载流子浓度及分布可以受到栅极和衬底的外部电压影响。

首先考虑半导体衬底的基本电气特性。在半导体中的移动载流子平衡浓度一般遵守浓度作用律(Mass Action Law)：

$$n \cdot p = n_i^2 \quad (1.1)$$

其中， n 和 p 分别表示电子和空穴的活动载流子浓度， n_i 表示硅片上本征载流子的浓度，它是温度 T 的函数。在室温下 ($T = 300 \text{ K}$) 时， n_i 大约等于 $1.45 \times 10^{10} \text{ cm}^{-3}$ 。假定衬底是由三价元素硼均匀掺杂的，其正载流子浓度是 N_A 。则在 p 型衬底中电子和空穴的平衡浓度大约为

$$\begin{cases} n_{po} \approx \frac{n_i^2}{N_A} \\ p_{po} \approx N_A \end{cases} \quad (1.2)$$

掺杂浓度 N_A 的典型数量级在 10^{15} cm^{-3} 到 10^{16} cm^{-3} 之间。由此可见，它远远大于本征载流子浓度 n_i 。应该注意的是，式(1.2)中给出的电子和空穴浓度只有对远离衬底表面的区域才会成立。衬底表面的情况对于 MOS 系统的电气性能和工作有着重要的影响，下面会较详细地讨论它。

图 1.2 中画出了 p 型衬底的能带图(Energy Band Diagram)。对于硅材料来说，导带(Conduction Band)和价电子带(Valence Band)之间的能带间隙(Band-Gap)大约为 1.1 eV。在能带间隙内的平衡费米能级 E_F (Fermi Level)取决于硅衬底的掺杂类型和掺杂浓度。费米电位(Fermi Potential) ϕ_F 是温度和掺杂浓度的函数，表示了本征费米能级 E_i 和费米能级 E_F 之间的差异。如下式：

$$\phi_F = \frac{E_F - E_i}{q} \quad (1.3)$$

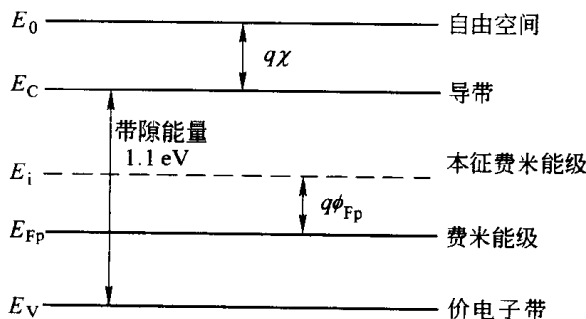


图 1.2 p 型硅衬底的能带图

对于 p 型半导体来说，费米电位可以表示为

$$\phi_{Fp} = \frac{kT}{q} \ln \frac{n_i}{N_A} \quad (1.4)$$

而对于 n 型半导体(掺杂的施主浓度为 N_D)，费米电位可以用下式表示：

$$\phi_{Fn} = \frac{kT}{q} \ln \frac{N_D}{n_i} \quad (1.5)$$

其中， k 是波尔兹曼常数， q 是单位电荷。由式(1.4)和(1.5)给出的定义可知，n 型材料的费米电位为正，p 型材料的费米电位为负，在本章中将使用这一约定。硅材料的电子亲合性(即导带和价电子带之间的势差)可以表示为图 1.2 中的 $q\chi$ 。电子从费米能级转移到自由空间所需要的能量被称之为功函数 $q\Phi_S$ (Work Function)：

$$q\Phi_S = q\chi + (E_C - E_F) \quad (1.6)$$

硅衬底和栅极之间的能带宽大约为 8 eV。电子亲合性大约是 0.95 eV。另一方面，铝栅极的功函数 $q\Phi_M$ 大约为 4.1 eV。图 1.3 中描述了 MOS 器件中金属、氧化物和半导体层的能带结构图。

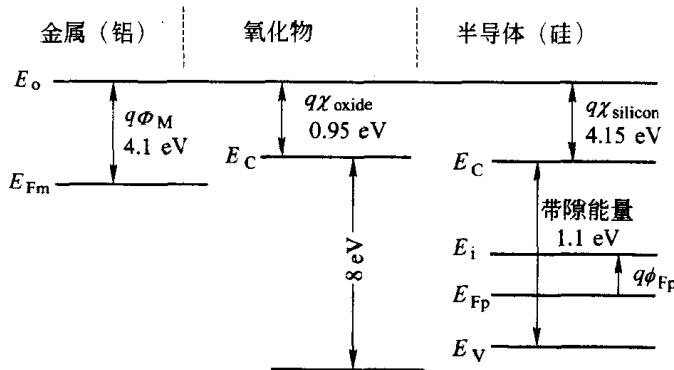


图 1.3 MOS 器件的能带图

考虑到在理想 MOS 器件中的金属、绝缘层和半导体层引入体接触(Physical Contact)的情况，三种材料的费米能级必须排成一行，它们所形成的电容器如图 1.1 所示。由于金属和半导体之间功函数的差异，MOS 器件中有一个压降。这种内在压降的一部分发生在绝缘层，另外的一部分压降发生在紧挨着硅氧化物的硅表面，它迫使硅的能带在这一区域弯曲(由于电压降导致 p 型半导体中少量空穴聚集在绝缘氧化层附近)。合并后的能带图如图 1.4 所示，其中应该注意硅衬底和金属栅极的平衡费米能级的电势相同。大部分费米能级所受到的能带弯曲的影响并不大，因此表面的费米能级和本征费米能级十分接近。表面费米电势，也叫做表面电势 ϕ_s ，小于总体费米电势 ϕ_F 。

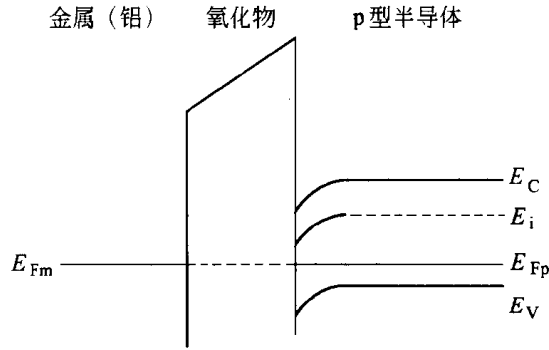


图 1.4 组合 MOS 器件的能带图

考虑一个由 p 型掺杂衬底、硅氧化物层和金属(铝)栅极构成的 MOS 结构实例，其中掺杂硅的衬底的平衡费米电势可以表达为 $q\phi_{Fp} = 0.2 \text{ eV}$ ，读者可以使用图 1.3 中给出的硅材料的电子亲和力和铝的功函数计算跨越 MOS 系统的内在电势差(假定 MOS 系统在氧化层和硅氧化层界面中不包含其它电荷)。

首先，计算掺杂硅的功函数，它可以用式(1.6)来表示。既然硅的电子亲和力为 4.15 eV ，功函数为

$$q\Phi_S = 4.15 \text{ eV} + 0.75 \text{ eV} = 4.9 \text{ eV}$$

再计算硅衬底和铝栅极之间的功函数。注意到图 1.3 中给出的铝功函数为 4.1 eV 。因此，跨越 MOS 器件的内部电势差为

$$q\Phi_M - q\Phi_S = 4.1 \text{ eV} - 4.9 \text{ eV} = -0.8 \text{ eV}$$

如果在栅极和衬底之间外加一个和电势差相等的电压，表面附近的能带弯曲就可以得到补偿，也就是说，能带可以变得“平坦”，这个电压可以表示为

$$V_{FB} = \Phi_M - \Phi_S$$

该电压被称之为平坦能带电压(Flat-Band Voltage)。

1.1.2 外部偏置下的 MOS 系统

考察在 MOS 结构加有外部偏置电压情况下的电气特性。假定衬底电压为 $V_B = 0$ ，栅极电压 V_G 作为控制参数。根据 V_G 的不同，可以观察到 MOS 系统的三个不同工作状态：聚积(Accumulation)、耗尽(Depletion)和反型(Inversion)。

如果一个负电压 V_G 加到栅极上，p 型衬底中的空穴就会被吸引到半导体氧化物的表面。表面附近的多数载流子浓度就会大于衬底中的平衡空穴浓度，这种情况称之为表面聚积(如图 1.5 所示)。在这种情况下，氧化区的电荷直接流向栅极。负的表面电压也导致靠近表面的能级向上弯曲。由于施加了一个负电压，靠近表面的空穴浓度会随之增加，而电子(少数载流子)的浓度随之减

少，因为负电荷使得电子被排斥到衬底的更深处。

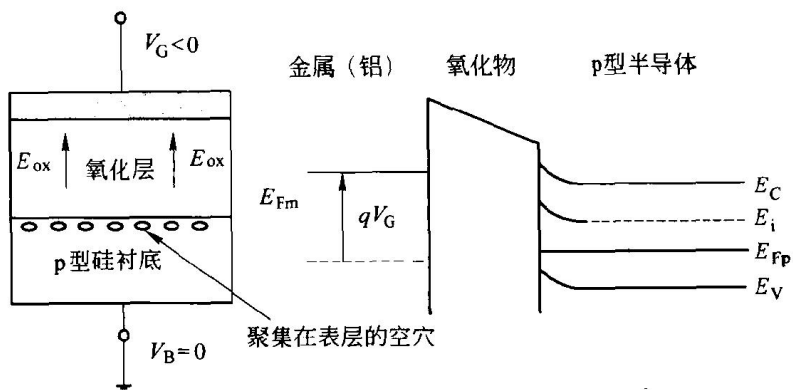


图 1.5 MOS 结构工作在累积区的横截面视图和能带图

考虑另一种情况：一个较小的正向偏置电压 V_G 加到了栅极之上。由于衬底偏置为 0，在这种情况下氧化物的电场直接指向衬底。正的表面电压导致能带在靠近表面的地区向下弯曲，如图 1.6 所示。多数载流子(衬底中的空穴)因为正向偏置而回到衬底，这些空穴会留下带有负电的受主离子。因此，在靠近表面的区域形成了耗尽区。在这种偏置条件下，靠近半导体氧化物的区域没有自由载流子。

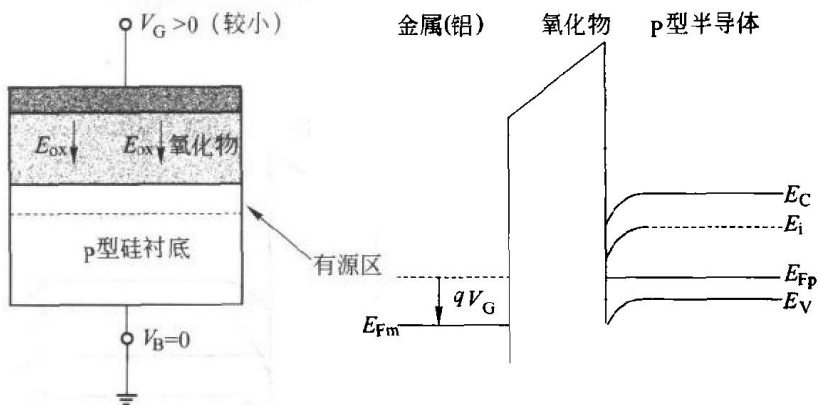


图 1.6 较小栅极偏置下，MOS 管工作于耗尽态的横截面图和能带图

耗尽层的厚度 x_d 是表面电势 ϕ_s 的函数。假定活动空穴在与表面平行的一个水平薄层内充有的电荷为

$$dQ = -q \cdot N_A \cdot dx \quad (1.7)$$

使用泊松等式可以将 dQ 替换为到表面的距离 x_d 。

$$d\phi_S = -x \cdot \frac{dQ}{\epsilon_{Si}} = \frac{q \cdot N_A \cdot x}{\epsilon_{Si}} dx \quad (1.8)$$

对式(1.7)沿着垂直于表面的方向积分，可以得到

$$\int_{\phi_F}^{\phi_S} d\phi_S = \int_0^{x_d} \frac{q \cdot N_A \cdot x}{\epsilon_{Si}} dx \quad (1.9)$$

$$\phi_S - \phi_F = \frac{q \cdot N_A \cdot x_d^2}{2\epsilon_{Si}} \quad (1.10)$$

因此，耗尽层的厚度为

$$x_d = \sqrt{\frac{2\epsilon_{Si} \cdot |\phi_S - \phi_F|}{q \cdot N_A}} \quad (1.11)$$

耗尽层的电荷密度可以表示为

$$Q = -q \cdot N_A \cdot x_d = -\sqrt{2q \cdot N_A \cdot \epsilon_{Si} \cdot |\phi_S - \phi_F|} \quad (1.12)$$

为了完成对于不同偏置电压和对 MOS 器件影响的量化研究，需要继续考虑增加正向偏置电压的情况。随着表面电势的提升，能带的向下弯曲也会随之加剧。最终，中间能级 E_i 会小于费米能级 E_{Fp} 。这意味着这一区域的衬底半导体已经变成 n 型了。由于正向的栅极电压把少数载流子(电子)从衬底中吸引到了表面(如图 1.7)，在这一薄层中，电子浓度大于空穴浓度，这种通过正向栅极电压而形成的 n 型区域称为反型层，这种情况称作表面反型。在这一薄层中有大量的自由电子可以传送 MOS 晶体管的两极之间的电流。

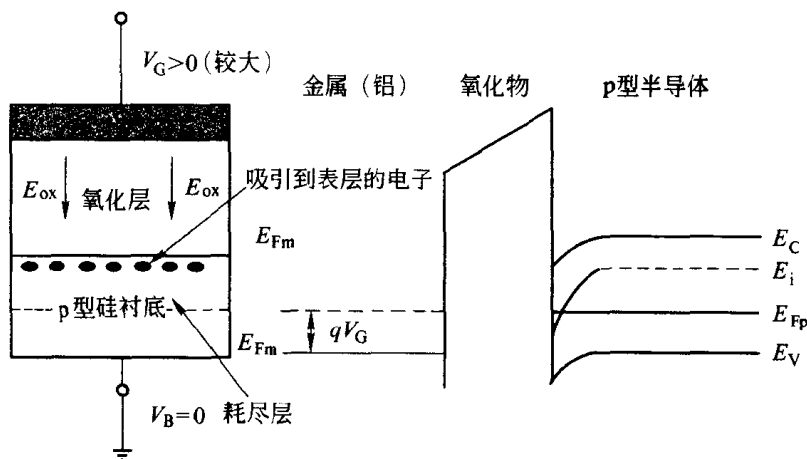


图 1.7 MOS 管在大的栅极电压之下的表面反型层的横截面和能带图

MOS 晶体管的表面仅当自由电子的浓度和衬底空穴的浓度相同的时候才可以说是“反型”的。在这种情况下，表面电势的数量级和费米电势相同，但是极性是相反的。一旦表面变为反型的，栅极电压如果继续增高就会使得自由

电子的浓度继续增加，但是耗尽层的深度却不会增加。耗尽层的深度对于增高的电压是保持恒定不变的，即耗尽层的深度始终和最大深度 x_{dm} 相同。根据式 (1.11) 和反型条件 $\phi_s = -\phi_F$ ，有

$$x_{dm} = \sqrt{\frac{2\epsilon_{Si} \cdot |2\phi_F|}{q \cdot N_A}} \quad (1.13)$$

表面反型层的形成是 MOS 晶体管导通的一种必然的现象。下面继续介绍 MOS 场效应晶体管的结构和工作原理。

1.1.3 MOS 晶体管(MOSFET)的结构和工作原理

一个 n 型 MOS 器件的基本结构如图 1.8 所示。这种器件的衬底为 p 型，其中两个区域采用 n⁺ 掺杂，可以形成漏极和源极。衬底表面源极和栅极之间的区域用一层薄氧化物覆盖，金属(或者多晶硅)沉积其上作为栅极。两个 n⁺ 区域是这个器件电流传输的两极。这种器件中源极和漏极结构上是完全对称的；所加载的结电压和电流流动的方向决定了这两个区域的不同功能。

导电沟道的形成取决于源极和漏极之间所加载的电压及栅极上所施加的偏置电压。漏极和源极之间扩散层的距离叫做沟道长度 L 。沟道的横向扩展称为沟道宽度 W 。沟道长度和沟道宽度都是重要的参数，它们可以控制 MOS 晶体管的一些电气特性。另外，覆盖在沟道上的氧化层的厚度 t_{ox} 也是一个重要的参数。

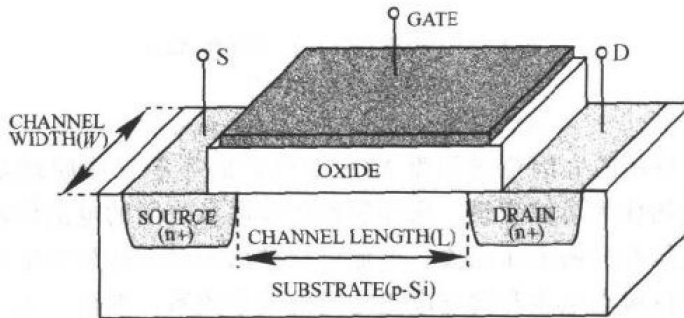


图 1.8 n 沟道增强型 MOS 晶体管的物理结构

如果 MOS 晶体管在零偏置电压的情况下没有导电沟道，则称之为增强型 (Enhancement-Type / Enhancement-Mode) MOS 晶体管，否则，称之为耗尽型 (Depletion-Type / Depletion-Mode) MOS 晶体管。在具有 p 型衬底和 n⁺ 型的源极和漏极的 MOS 晶体管中，表面形成的沟道是 n 型的，因此，这种器件被称之为 n 沟道 MOS 晶体管。在具有 n 型衬底和 p⁺ 型的源极和漏极的 MOS 晶体管中，表面形成的沟道是 p 型的，因此，这种器件被称之为 p 沟道 MOS 晶体管。

器件端的表示方法是：栅极用 G 表示，漏极用 D 表示，源极用 S 表示，衬底用 B 表示。在 n 沟道 MOS 晶体管中，电压较低的 n^+ 区域是源极，较高的是漏极。约定所有的极点电压都用相对源极的电压来表示。因此，栅极到源极的电压为 V_{GS} ，衬底到源极的电压为 V_{BS} 。n 沟道和 p 沟道的增强型 MOS 晶体管的电路符号如图 1.9 所示。除了可以表示器件所有外部极点的四极符号外，常常还采用简单的三极表示方法。注意：在这种简单的 MOS 晶体管电路符号图中，总是用小箭头来标识源极。

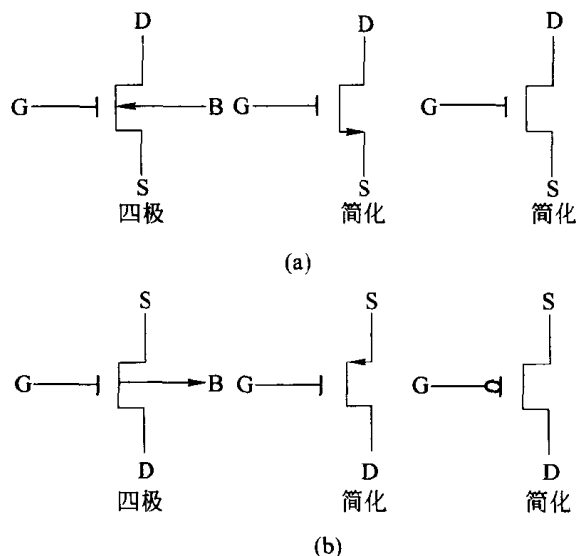


图 1.9 n 沟道和 p 沟道增强型 MOS 晶体管的电路符号

(a) n 沟道 MOSFET; (b) p 沟道 MOSFET

图 1.8 中所示的 n 沟道增强型 MOS 晶体管的简单工作原理是：使用栅极电压产生的电场作为可控变量，来控制源极和漏极之间的电流传输。因为沟道电流与源漏电压和衬底电压相关，电流可以被认为这些外部信号的函数。下面将详细地讨论极点电压和沟道电流之间的函数关系。然而，为了在漏极和源极之间传输电流，首先必须形成一个导电沟道。

n 沟道增强型 MOS 晶体管最简单的偏置情况如图 1.10 所示，即源极、漏极和衬底全部接地。在栅极加一个正向的栅极 - 源极电压 V_{GS} ，以便形成导电沟道。随着偏置电压的改变，源极和漏极之间扩散区的沟道会像在 1.2 节中所描述的那样变化。对于小的栅极电压，多数载流子(空穴)被排斥到衬底中，表面的 p 型衬底是耗尽的。由于表面缺乏任何自由载流子，电流不能在源极和漏极之间传输。

假定栅极 - 源极电压继续增加。只要表面电势达到了 $-\phi_{Fp}$ ，表面反型就