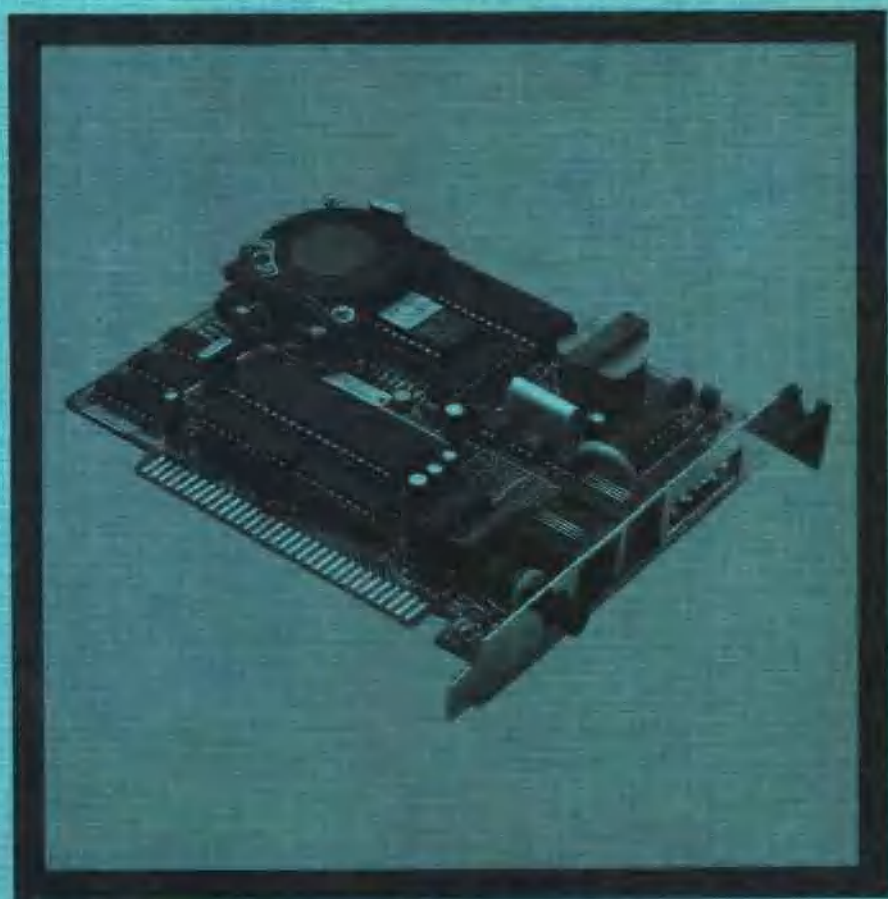


IC應用技術叢書(六)

C-MOS 電路之故障原因與對策

無線電界雜誌社印行





IC應用技術叢書(六)

C-MOS 電路之故障原因與對策

編著者 王 政 友



IC應用技術叢書(六)

C-MOS 電路之故障原因與對策

中華民國七十一年一月出版

中華民國七十六年十月二版

版權所有 不許翻印

特價新台幣 100元

編著者：于 政 友

發行者：無線電界雜誌社

地址：台北市八德路2段312巷19號6樓

電話：(02)7112765 • 7733089

郵政劃撥儲金帳號：0002756-8

登記證：局版台誌字第3325號

印刷所：中美美術印刷廠

台北市天水路32號



前 言

由於電子工業急速的進步與發展，使得各種工業，甚至吾人日常生活均與之脫離不了關係。尤其是近幾年中，各種積體電路之相繼問世，更使電子之應用帶上新的紀元。

有關各種電子電路之原理與電路之分析等，國內已有多種書籍加以介紹。惟大部分多係偏重於理論之解說，易使讀者對於實際之應用產生隔閡。且各製造廠家所推出之各種積體電路，已達數百（或數千）種之多，其中不乏特殊用途之品種，欲將各種積體電路之應用集合於一本書中，加以介紹，事實上乃屬不可能。是故本叢書試圖以淺近之方式，將各種 *IC* 之應用逐一介紹，對某一種電路作一專集，介紹該種電路之應用，期能提供清晰的瞭解與直覺的認識。每一本書均嘗試對某一個主題作較詳細的說明，以提供讀者作應用上的參考。並列舉多種實例，俾使讀者舉一反三，以收應用自如之效。

本叢書資料之收集及稿件之校對，承林源棋與劉俊光兩兄鼎力協助，於此一併誌謝。

本人學識淺陋，書中乖誤之處必多，如有不妥之處，尚祈諸位先進不吝指正。

編著者 謹誌於 林口

中華民國六十六年三月

序

本叢書係已就 C-MOS IC 之動作與應用作一大略的介紹。就今日之使用狀況而言，無論在家電或工業用機器上，C-MOS IC 之使用量拂遙直上，大有後來居上之勢。加以國內已能自製 C-MOS 之數位 IC，威信 C-MOS 將成為數位 IC 之主流。

在較早時期推出之 C-MOS IC，往往由於未能嚴格注意各種使用上應注意之事項，經常導致 IC 燒損，非但降低電路之信賴性，且易造成使用者對 C-MOS IC 缺乏信心。時至今日，C-MOS IC 無論在製造技術或內部電路結構方面均已有長足的進步，其使用壽命以及諸項特性在在均能與從來的 TTL IC 匹敵，甚至某些特徵更為 TTL 之所不能及。

話雖如此，在使用 C-MOS IC 之際，仍需注意多項應留意之事項，俾能防患故障於未然。本書係以如何防止使用 C-MOS IC 時所易造成之障害為主旨。書中介紹多種 C-MOS IC 常見的故障症狀，並說明如何有效地予以防止。讀者若能由本書而提高使用 C-MOS IC 之電路系統之信賴性，或因而對 C-MOS IC 更有深一層之認識，則編者不勝幸甚之至。

中華民國六十九年十二月

IC 應用技術叢書(六)

C-MOS 電路之故障原因與對策

目 錄

第一章	C-MOS IC	1
1	C-MOS 之構造與動作原理	1
2	C-MOS IC 之特長	5
第二章	C-MOS IC 之特性	11
1	C-MOS IC 之基本特性	11
2	規格與有關數據	16
3	標準 C-MOS IC 之規格	19
第三章	C-MOS 電路之故障——原因與對策	23
1	由靜電破壞所引起之故障	23
2	由 Latch up 現象所引起之障害	30
3	由於 Slow-Clock 所引起之異常與防止對策	40
4	由雜音所引起之異常	51
5	由電源部分所引起之異常與防止對策	64
6	由 Hazard 所引起之異常	75
7	由溫度所引起之異常	89
8	其他原因所引起之異常	97
9	由 Interface 之不良所引起之異常	109
第四章	C-MOS 之信賴性與 fail-Safe 之問題	121

第一章 C-MOS IC

1.C-MOS之構造與動作原理

C-MOS係 Complementary Metal Oxide Semiconductor之略稱，以下以“互補型金屬氧化膜半導體”名之。

依製造廠家之不同，命名亦異，諸如COS/MOS， M_c MOS， C^2 MOS……等。

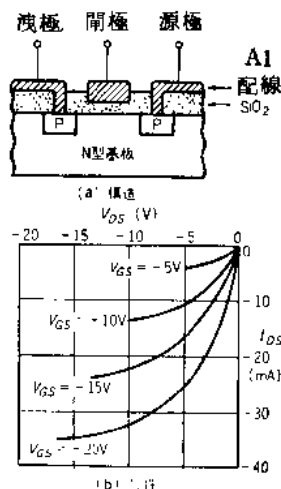
C-MOS由其名稱可知，係由P-channel與N-channel之MOS FET (Field Effect Transistor) 以互補型式連接而成之電路，與從來之半導體電路相較之下，具有多項特徵。

1-1-1 P-channel MOS與N-channel MOS

在說明C-MOS之構造前，擬就P-channel、N-channel MOS EFT之構造與動作略加介紹。

如圖1-1(a)所示，在N型基板附近，擴散2個P型層，在其上方則予以形成一層氧化膜。最後，又在其上方加上一層金屬板 (Al)。

自該金屬板引出一導體，形成閘極 (gate)，而上述2個P型擴散層亦引出電極，分別稱之為源極與洩極 (Source與Drain)，如此，即構成一只P-channel之MOS FET。



■ 1-1 P-Channel MOS FET 之構造與特性例

若以基板 (Substrate) 之電位為基準，而在閘極上加上負電壓時，則閘極下方之 N 型基板之表面將形成 P 型之反轉層，而成為 Drain 與 Source 兩電極間之電流通路。因該反轉層屬 P 型，故稱之為 P-Channel FET。

隨着閘極上電壓之增加，Drain 與 Source 間之電流亦隨之增加，而呈圖 1-1 (b) 所示之特性。

如上述，當閘極加上一定值以上之電壓時，Source 與 Drain 間將開始有電流通流，這種型式之 FET 稱為增量型 (enhancement) FET，而開始有電流通流時之閘極電壓則稱為 Threshold 電壓。

與上述相反，在未加上閘極電壓時，Source 與 Drain 即已有電流通流之 FET 稱為障礙 (Depletion) 型 FET。增量型與障礙型 FET 之閘極電壓 (V_{GS}) 與 Drain 電流 (I_{DS}) 之關係如圖 1-2 所示。

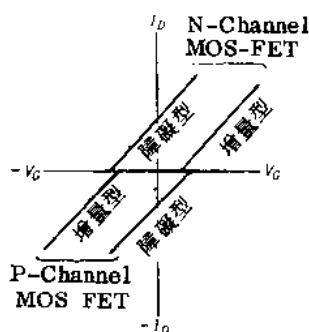


圖 1-2 增量型與障礙型

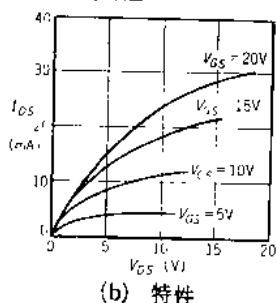
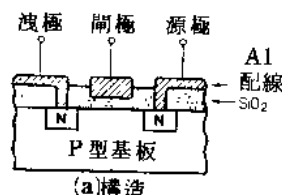


圖 1-3 N-Channel MOS-FET 之構造與特性例

假定使用P型基板，而如圖1-3(a)所示，在該基板上擴散2個N型層，做為Source與Drain用，則形成一只N-Channel之MOS FET。

在N-Channelの場合，若在閘極上加上正電壓時，閘極氧化膜之下方將形成N型Channel，使Source與Drain之間有一電流通，圖1-3(b)為其特性。

由圖1-1，1-3可知，P-Channel與N-Channel MOS FET具有對稱之特性，前者之載體為電洞（Hole），而後者為電子。

1-1-2 C-MOS

C-MOS係將前述之P-Channel MOS FET與N-Channel MOS FET形成於同一基板之上，具互補特性，以及優良的消耗電力以及雜音餘裕之特性。以下茲以最基本的反轉器為例，說明C-MOS之構造與動作原理。

圖1-4為C-MOS反轉器之基本構造之斷面圖。在N型基板上擴散一P型層，P Channel MOS FET之製作則如前述，至於N-Channel之MOS FET則在上述P型層中再擴散N型層而成，而該一P型層一般則稱P-tab。

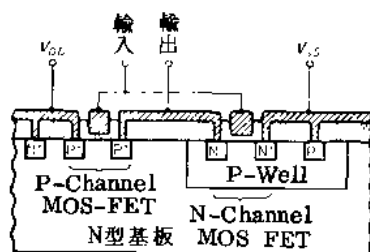


圖1-4 C-MOS
反轉器之斷面結構圖

既已形成P-Channel與N-Channel之MOS FET之後，利用Al配線將下列諸電極予以連接。

- (a)雙方之閘極。
- (b)雙方之Drain連接後，作為輸出端。
- (c)P-MOS之Source與N型基板連接，作為 V_{DD} 端。
- (d)N-MOS之Source與P-tab（或P-well）連接，作為 V_{SS} 端。

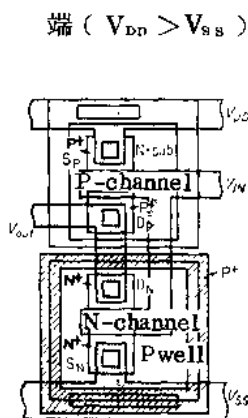


圖 1-5 C-MOS 反轉器之頂視圖

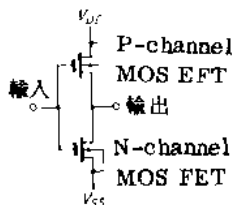


圖 1-6 C-MOS 反轉器之電路記號

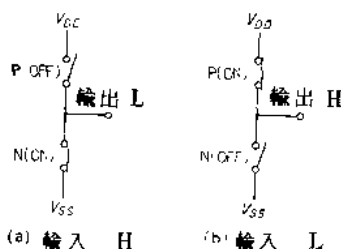


圖 1-7 C-MOS 反轉器之開關等值電路

如此，即完成基本的 C-MOS 反轉器。圖 1-5 為其頂視圖，而圖 1-6 則為其電路記號。C-MOS 反轉器之動作原理如圖 1-7 所示，可將之視為一開關之電路。在輸入“H”電壓時，N-Channel MOS FET 之閘極對於基板而言，係呈正電壓，故該 FET 將呈 OFF 狀態。在此場合，輸出端子電位等於 V_{SS} ，亦即處於“L”狀態。

另一方面，在輸入“L”狀態之際，情形與上述相反，N-MOS FET 呈 OFF，而 P-MOS FET 呈 ON，故輸出之電壓幾與 V_{DD} 相同，即呈“H”狀態。

由上述之反轉器為基礎，予以擴展為各種功能之電路，即成為常用之各種 C-MOS IC，圖 1-8 為利用 C-MOS FET 所構成之

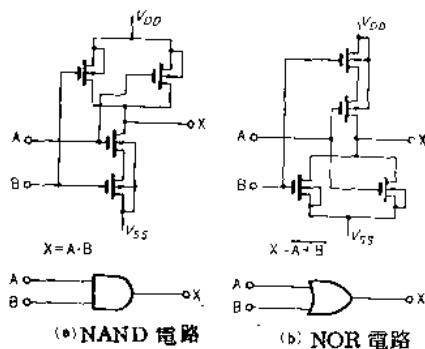


圖 1-8 C-MOS NAND 與 NOR 電路之構成與記號

NAND與NOR電路例。

2.C-MOS IC之特長

由上述構造所形成之C-MOS IC具有多種優良的特長，簡言之有以下諸項。

1-2-1 消耗電力小

消耗電力小為C-MOS IC最令人注目之優點。

C-MOS係以圖1-6所示之反轉器為基本之電路，該反轉器在輸入為“H”狀態時或“L”狀態時，P與N Channel之MOS FET總有一方呈截止狀態，因此，在定常狀態之下，自 V_{DD} 至 V_{SS} 間幾無電流流通。換言之，在靜止之輸入狀態下，消耗電力（ $V_{DD} \times I_{DD}$ ）近於0，所流通的電流僅係接合面之洩漏以及表面之洩漏電流而已。（參照圖1-9）

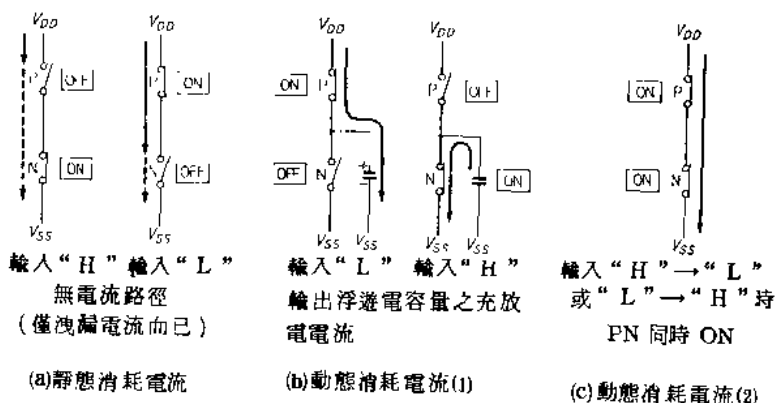


圖 1-9 C-MOS IC 之消耗電流

但是，當輸入信號自“H”→“L”或“L”→“H”變化時，P與N兩方之FET將在某一瞬間呈ON狀態，對於輸出側之浮遊容

量進行充電或放電動作，故在該期間內，IC 中將有電流流通。亦即在動態之下，IC 之消耗電力並不為 0〔參照圖 1-9 (b)，(c)〕有關此一問題本書中另有說明，或參照本叢書⑤。

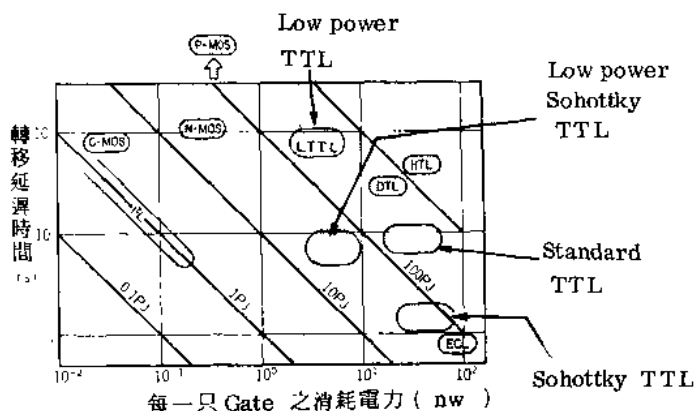


圖 1-10 數位 IC 特性之比較

圖 1-10 為在比較數位 IC 之性能時，經常被引用之每一 Gate 消耗電力與轉移延遲時間之關係圖。由圖可以看出 C-MOS 消耗電力較少。尤其在節省能源之今日，消耗電力小之 C-MOS IC 正廣受人所喜用。

1-2-2 雜音餘裕度大

C-MOS 反轉器之輸入—輸出轉移特性如圖 1-11 所示，與同圖中之雙極性 IC 比較之下，可以看出其特點。其肩特性頗為急峻，Threshold 電壓約為 V_{DD} 之 $\frac{1}{2}$ ，且輸出之振幅幾近於 $V_{DD} - V_{SS}$ 之間。

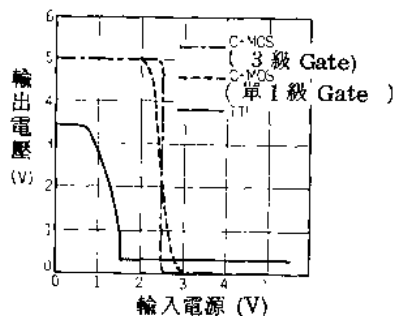


圖 1-11 C-MOS 與 TTL 之輸入、輸出轉移特性

數位 IC 雜音餘裕之定義係輸出振幅之最小值與輸入信號最小振幅兩者之差，因此，對於 C-MOS 而言，其輸出振幅幾為 $V_{DD} - V_{th}$ ，當然，其雜音餘裕也就較 TTL 者為高。

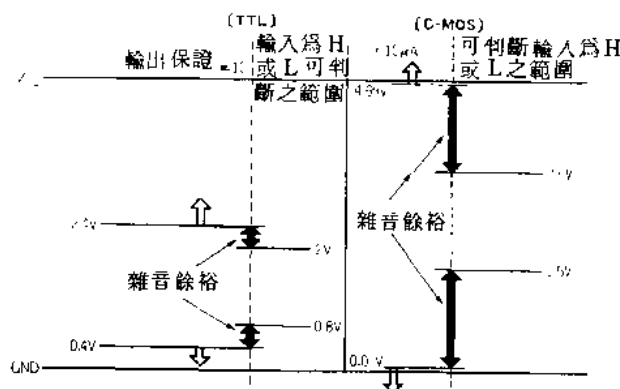


圖 1-12 C-MOS 與 TTL
之電壓雜音餘裕之比較

圖 1-12 為 TTL 與 C-MOS 雜音餘裕之比較圖。由於 C-MOS 具有較大之雜音餘裕，是故更加推廣其使用之範圍。

1-2-3 集密度高

通常在一單位面積 (mm^2) 中所能集積之元件數稱為集積密度 (或集密度)，亦即集密度係用來表示集積程度之尺度。

以代表之電算機為例，此種 C-MOS LSI 在 8 位數並具有一組起憶器的場合，裏面所包藏之元件數約達 8,000 只，設若 Chip 之面積為 $4\text{mm} \times 4\text{mm}$ ，則其集密度為 $500/\text{mm}^2$

MOS IC (包含 C-MOS) 即以高集密度見稱，現今已有 4K Bit 之記憶器，至於 16K、32K 之高集密度之記憶器亦將相繼問世。

TTL 等雙極性 IC 並不可能有頗高之集密度，MOS IC 之所

以能夠提高集密度，其主要原因係前述之低消耗電力，以及元件與元件間無需予以分離，如圖 1-13 所示。

這種高集密度之最主要特長對於機器之小型化方面之發展，提供了最佳之解決方法。

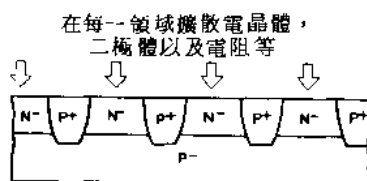


圖 1-13 雙極性 IC 中之分離情形

1-2-4 輸入阻抗高

一如最初所介紹之構造，C-MOS IC 之輸入側為氧化膜之閘極，其與基板之間係呈絕緣，故具有甚高之輸入阻抗。

實際之 C-MOS IC，由於追加輸入保護用之二極體，故輸入阻抗將形降低，但通常亦在數 $10\text{ M}\Omega$ 以上。

高輸入阻抗之特長為 Fan out 大，且其 Interface 較為簡單。

對於 Fan out 之問題，假若將轉移延遲時間予以忽略不計，則上述之 Fan out 幾可達無窮大；但在 TTL 的場合，電路之設計上，必須經常考慮及 Fan out 之問題。

另外，高輸入阻抗對於長時間常數之 Timing 電路甚為有利。由於阻抗高，故輸入側可連接較大之電容器，時間常數因而可予增大（參照圖 1-14）。

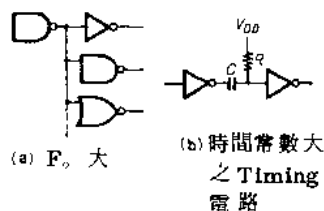


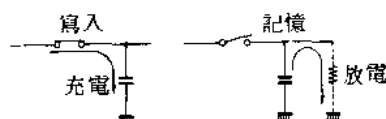
圖 1-14 輸入阻抗高之優點

1-2-5 可藉輸入容量作暫時之記憶

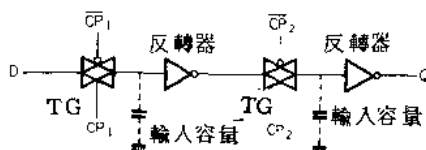
C-MOS IC 在其構造上，輸入側之閘極、氧化膜、Si 基板之間將構成電容器，假設應用該一自然形成之電容器，則可作為資料之暫時記憶用。

具體之電路可參照圖 1-15，經由 Transfer Gate 而使輸入容量充電之後，若將 Transfer Gate 予以 OFF，則由於周邊之阻抗甚高，故短期間電容之充電狀態可暫時維持，如此即可作為資訊之暫時記憶用。

這種特長適用於動態型之正反器、計數器、位移暫存器以及記憶器等。



(a) 原理圖



(b) 動態型 D-FF

1-2-6 動作電壓範圍廣

圖 1-15 使用 C-MOS 之
輸入容量作暫時記憶用

泛用之 C-MOS IC，其動作電源電壓多在 $3 \sim 18 \text{ V}$ 之間，其範圍較諸 TTL 或 DTL 之 $5 \text{ V} \pm 0.25 \text{ V}$ ，HTL 之 $15 \pm 1.5 \text{ V}$ 為廣，亦為 C-MOS 最具魅力之特點之一。

C-MOS IC 之所以能有廣範圍之動作電壓，乃係因為 P-MOS，N-MOS 對稱製造，雖 V_{DD} 變化，但電路之 Threshold 電壓經常維持於 V_{DD} 之 $1/2$ 左右（參照圖 1-16）。

在雙極性 IC 的場合，Threshold 電壓係由電晶體之基極—射極順方向電壓（ V_{BE} ）所決定，幾不因電源電壓之變化而改變。前一級之輸出電壓受電源電壓之變動而影響，因此，當電源電壓超過某一範圍時，輸出電壓與 Threshold 電壓間即失去原來之平衡狀態，以致於不能正常動作。

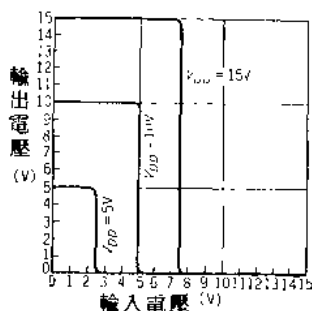


圖 1-16 Threshold 電壓約為 $1/2 V_{DD}$
— C-MOS 輸入・輸出轉移特性 —

反之，在C - MOS IC的場合，電源電壓變化時，Threshold電壓隨之變化可自動追從，故能有廣範圍之動作電壓。

如上所述，C - MOS IC具有多種優良之特性，若加以適當應用，不難製作低消耗電力、高雜音承受力、且小型之電路系統。

第二章 C-MOS IC之特性

如前一章所述，C-MOS IC具有與Bi-polar IC 群相異之諸種特徵。本章擬就基本的C-MOS IC亦即C-MOS 反轉器為例，對C-MOS所具之特性加以說明，至於實際應用上應注意之事項則將詳述於第3章。

另外，欲正常應用C-MOS IC，俾不致於引起各種困擾問題起見，對於製造廠家所提供之規格以及規格表之使用法亦將一併說明。

1.C-MOS IC之基本特性

以下就基本的C-MOS IC——C-MOS反轉器——為例，說明其特性之大要。

C-MOS反轉器之構造如圖1-4所示，其電路記號則示於圖1-6。在說明C-MOS反轉器特性前，應先對其主要的構成部份——P Channel 與N Channel MOS FET 之特性加以了解。

P Channel MOS FET（以下稱為P-MOS），N Channel MOS FET（以下稱為N-MOS）之特性分別示於圖1-1，1-2，至於該特性之表示則將在以下介紹。在此，先就表示式中所使用之記號與其意義加以說明。

I_{DS} ：Drain—Source間之電流（P，N共通）

V_{DS} ：Drain—Source間之電壓（P，N共通）

V_{GS} ：Gate—Source間電壓（P，N共通）

V_{THP} ：P-MOS之Threshold電壓

V_{THN} ：N-MOS之Threshold電壓