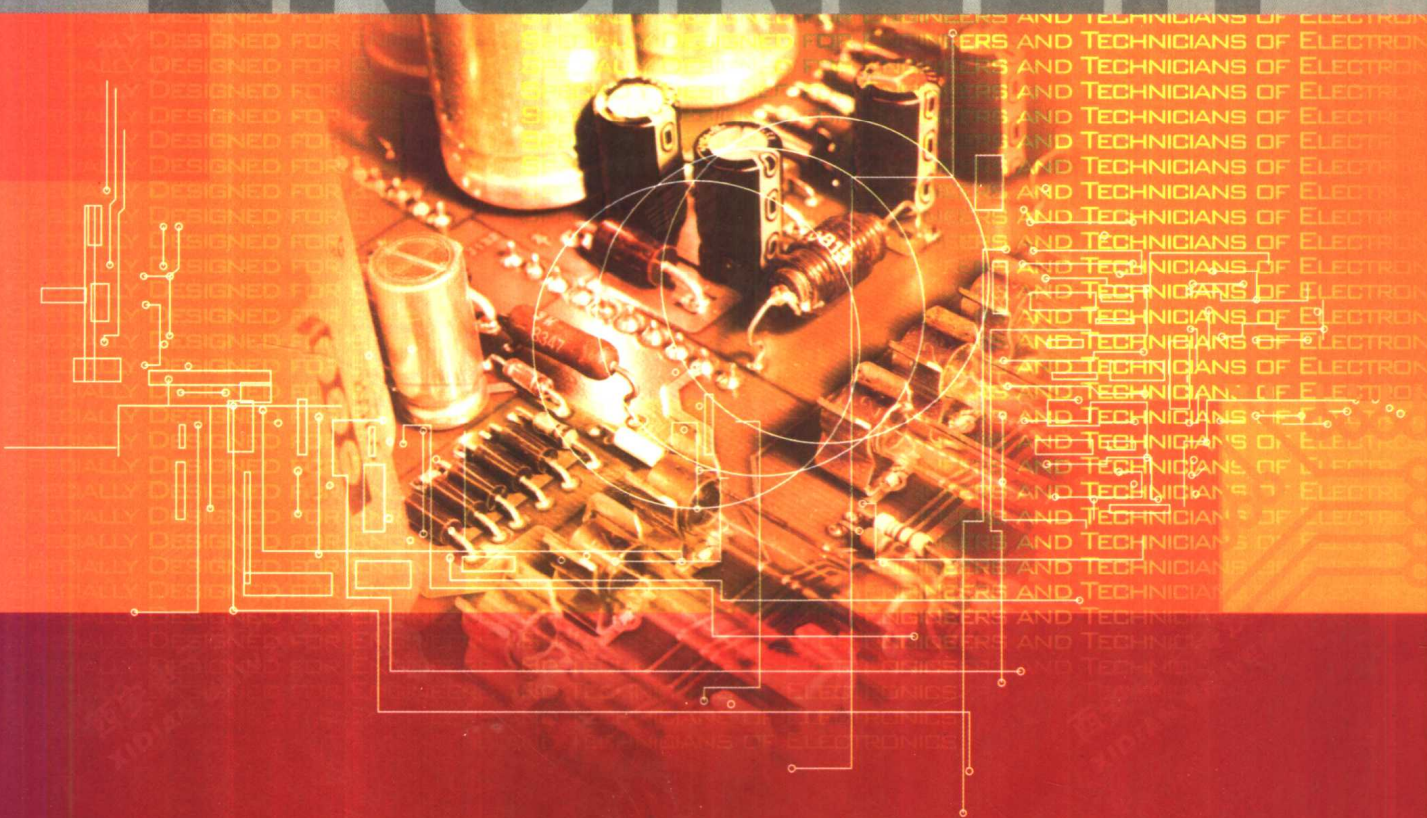


SPECIALLY DESIGNED  
FOR ENGINEERS AND TECHNICIANS OF ELECTRONICS

# ELECTRONIC ENGINEER



FUNDAMENTAL OF APPLICATION SPECIFIC INTEGRATED CIRCUIT DESIGN

## 专用集成电路设计基础

孙肖子 张健康 张犁 吴建设 邓成 编著  
吴玉广 主审



西安电子科技大学出版社  
<http://www.xduph.com>

# 专用集成电路设计基础

孙肖子 张健康 编著  
张 犁 吴建设 邓 成  
吴玉广 主审

西安电子科技大学出版社

2003

## 内 容 简 介

全书共八章。第一章为概论；第二章介绍集成电路工艺基础及版图设计；第三章介绍 MOS 集成电路器件基础；第四章介绍数字集成电路设计基础；第五章介绍数字集成电路系统设计；第六章介绍模拟集成电路设计基础；第七章介绍 VHDL 语言及 Verilog HDL 语言；第八章介绍电路设计、性能仿真及版图设计中的常用 EDA 软件工具。

本书可用作通信工程、电子信息工程、电气信息工程和自动化、计算机技术、测控技术与仪器以及电子科学与技术等专业本科生的教材和教学参考书，也可以供从事集成电路设计的工程人员参考。

### 图书在版编目(CIP)数据

专用集成电路设计基础/孙肖子等编著. —西安:西安电子科技大学出版社, 2003.10  
ISBN 7-5606-1293-8

I. 专… I. 孙… III. 集成电路-电路设计 IV. TN402

中国版本图书馆 CIP 数据核字(2003)第 083822 号

责任编辑 云立实 张晓燕

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)8242885 8201467 邮 编 710071

<http://www.xduph.com>

E-mail: [xdupfxb@pub.xaonline.com](mailto:xdupfxb@pub.xaonline.com)

经 销 新华书店

印刷单位 西安文化彩印厂

版 次 2003 年 10 月第 1 版 2003 年 10 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 19.5

字 数 461 千字

印 数 1~4000 册

定 价 29.00 元

ISBN 7-5606-1293-8/TN·0236

**XDUP 1564001-1**

\* \* \* 如有印装问题可调换 \* \* \*

本社图书封面为激光防伪覆膜, 谨防盗版。

# 前 言

集成电路(IC)技术是信息技术的核心,是国家带动传统工业现代化,优化产业结构和保障国防安全的战略性产业。根据经济发展需要,大力推进信息化,以信息化带动工业化,走新型工业化道路,加快集成电路领域人才的培养,特别是产品设计、系统设计、工艺技术、综合研发等人才的培养已经成为当前高等教育改革和发展的一项重要而紧迫的任务。

西安电子科技大学十分重视集成电路设计人才的培养。“专用集成电路设计”已成为通信工程学院、电子工程学院本科生的必修课程。“微电子技术概论”也已成为全校诸多非微电子专业学生的选修课。国家电工电子教学基地建设了专门的实验室,如“专用集成电路设计中心”、“EDA实验室”和“DSP技术实验室”等,为本科生和研究生学习集成电路设计提供了优良的实验和实习条件。

本书就是为非微电子专业的工程技术人员及本科生学习专用集成电路设计而编写的。由于CMOS具有低功耗、集成度高等优点,CMOS技术已经成为当今数字集成电路、数模混合集成电路的主流技术,因此,本书介绍了CMOS集成电路设计的基础知识、硬件描述语言及相应的设计工具。

本书从电子系统设计者的视角,介绍了集成电路设计的相关知识。全书共分为八章。第一章为概论,第二章为集成电路工艺基础及版图设计,第三章为MOS集成电路器件基础,第四章为数字集成电路设计基础,第五章为数字集成电路系统设计,第六章为模拟集成电路设计基础,第七章为硬件描述语言简介,第八章为常用EDA软件介绍。

建议本课程的授课时数为32~46学时,其中包括10小时的上机时间,要求学生在理论课的基础上,经历电路设计—计算机仿真—版图设计的全过程,并结合毕业设计,选择若干优秀设计作品给予流片。

本书第一、三、四、六章由孙肖子老师编写;第二章和第八章8.2节由吴建设老师编写;第七章由张健康老师编写;第五章和第八章8.3节由张犁老师编写;第八章8.1节由邓成老师编写。孙肖子老师规划了本书的框架结构和主要内容。微电子所的吴玉广教授在百忙之中仔细审查了全部书稿,提出了十分宝贵的修改意见。云立实副编审为本书的出版付出了许多精力和辛劳,阎卫利老师为本书的编排给予了许多帮助。在此,对于所有帮助过我们的老师和同学表示最诚挚的感谢!

由于受到时间和水平的限制,本书难免存在许多不足之处,望尊敬的专家、老师、同学和读者们批评指正。

编 者

于西安电子科技大学

2003.5

# 目 录

## 第一章 概 论

1.1 集成电路的发展历程 .....	1
1.1.1 半导体集成电路的出现与发展 .....	1
1.1.2 集成电路发展的特点 .....	1
1.2 专用集成电路设计要求 .....	3
1.2.1 关于“速度” .....	3
1.2.2 关于“功耗” .....	4
1.2.3 关于“价格” .....	5
1.3 集成电路的分类 .....	6
1.3.1 按功能分类 .....	6
1.3.2 按结构形式和材料分类 .....	6
1.3.3 按有源器件及工艺类型分类 .....	6
1.3.4 按集成电路的规模分类 .....	7
1.3.5 按生产目的和实现方法分类 .....	7
1.4 集成电路设计方法 .....	10
1.4.1 设计方法学的重大变革 .....	11
1.4.2 ASIC 设计步骤 .....	12
1.4.3 EDA 设计工具的选择 .....	13
1.4.4 ASIC 设计特点和技巧 .....	13

## 第二章 集成电路工艺基础及版图设计

2.1 引言 .....	15
2.2 集成电路制造工艺简介 .....	16
2.2.1 氧化工艺 .....	16
2.2.2 掺杂工艺 .....	18
2.2.3 光刻工艺 .....	21
2.3 版图设计技术 .....	23
2.3.1 硅栅 MOS 工艺简介 .....	23
2.3.2 P 阱 CMOS 工艺简介 .....	24
2.3.3 双阱工艺及 SOI CMOS 工艺简介 .....	27
2.3.4 版图设计规则 .....	28
2.4 电参数设计规则 .....	32
2.4.1 电阻值的估算 .....	32
2.4.2 MOS 电容 .....	35

### 第三章 MOS 集成电路器件基础

3.1 MOS 场效应管(MOSFET)的结构及符号 .....	40
3.1.1 NMOS 管的简化结构 .....	40
3.1.2 N 阱及 PMOS .....	40
3.1.3 MOS 管符号 .....	41
3.2 MOS 管的电流电压特性 .....	42
3.2.1 MOS 管的转移特性 .....	42
3.2.2 MOS 管的输出特性 .....	42
3.2.3 MOS 管的电流方程 .....	43
3.2.4 MOS 管的输出电阻 .....	45
3.2.5 MOS 管的跨导 $g_m$ .....	46
3.2.6 体效应及背栅跨导 $g_{mb}$ .....	47
3.2.7 场效应管亚阈值特性 .....	47
3.2.8 沟道尺寸 $W$ 、 $L$ 对阈值电压 $U_{TH}$ 和特征频率 $f_T$ 的影响 .....	47
3.3 MOS 电容 .....	49
3.3.1 用作单片电容器的 MOS 器件特性 .....	49
3.3.2 MOS 管的极间电容和寄生电容 .....	50
3.4 MOS 管的 Spice 模型参数 .....	51
3.5 MOS 管小信号等效电路 .....	53
3.5.1 低频小信号模型 .....	53
3.5.2 MOS 管的高频小信号等效电路 .....	53

### 第四章 数字集成电路设计基础

4.1 MOS 开关及 CMOS 传输门 .....	55
4.1.1 单管 MOS 开关 .....	55
4.1.2 CMOS 传输门 .....	57
4.2 CMOS 反相器 .....	58
4.2.1 反相器电路 .....	58
4.2.2 CMOS 反相器功耗 .....	59
4.2.3 CMOS 反相器的直流传输特性 .....	61
4.2.4 CMOS 反相器的噪声容限 .....	63
4.2.5 CMOS 反相器的门延迟, 级联及互连线产生的延迟 .....	64
4.3 全互补 CMOS 集成门电路 .....	70
4.3.1 CMOS 与非门设计 .....	70
4.3.2 CMOS 或非门设计 .....	72
4.3.3 CMOS 与或非门和或与或非门设计 .....	74
4.3.4 CMOS 三态门和钟控 CMOS 逻辑电路 .....	76
4.3.5 CMOS 异或门设计 .....	76
4.3.6 CMOS 同或门设计 .....	77
4.3.7 CMOS 数据选择器 .....	78
4.3.8 布尔函数逻辑——传输门的又一应用 .....	78

4.3.9	CMOS 全加器 .....	79
4.4	改进的 CMOS 逻辑电路 .....	81
4.4.1	伪 NMOS 逻辑(Pseudo-NMOS Logic)电路 .....	81
4.4.2	动态 CMOS 逻辑电路(预充电 CMOS 电路) .....	83
4.4.3	多米诺逻辑(Domino Logic) .....	86
4.4.4	流水线逻辑和无竞争技术 .....	88
4.5	移位寄存器、锁存器、触发器、I/O 单元 .....	91
4.5.1	移位寄存器 .....	91
4.5.2	锁存器 .....	91
4.5.3	触发器(Flip-flops) .....	93
4.5.4	通用 I/O 单元 .....	95

## 第五章 数字集成电路系统设计

5.1	二进制加法器(Adder) .....	97
5.1.1	一位加法器——半加器(Half Adder)与全加器(Full Adder) .....	97
5.1.2	n 位并行加法器 .....	98
5.1.3	浮点数加法器(Floating Point Adder) .....	102
5.2	二进制乘法器(Multiplier) .....	104
5.2.1	二进制乘法运算 .....	104
5.2.2	数字乘法器的电路结构 .....	105
5.3	桶型移位器(Barrel Shifter) .....	110
5.4	可编程逻辑器件 .....	111
5.4.1	可编程逻辑器件的基本构成 .....	112
5.4.2	几种典型的可编程逻辑器件 .....	116
5.5	半导体存储器 .....	122
5.5.1	随机存取存储器 RAM .....	123
5.5.2	只读存储器 ROM .....	125

## 第六章 模拟集成电路设计基础

6.1	引言 .....	127
6.2	MOS 电流源及 CMOS 运算放大器 .....	128
6.2.1	MOS 电流源 .....	128
6.2.2	CMOS 运算放大器 .....	130
6.3	D/A 转换器 .....	141
6.3.1	D/A 转换器原理及技术指标 .....	141
6.3.2	D/A 转换器电路举例 .....	143
6.4	A/D 转换器 .....	153
6.4.1	A/D 转换器的原理、指标及特性 .....	153
6.4.2	A/D 转换器的分类及应用 .....	154
6.4.3	A/D 转换器电路举例 .....	155

## 第七章 硬件描述语言简介

7.1	VHDL 语言简介 .....	163
-----	-----------------	-----

7.1.1	VHDL 概述 .....	163
7.1.2	VHDL 语言程序的基本结构 .....	166
7.1.3	VHDL 语言的数据类型及运算操作符 .....	171
7.1.4	VHDL 语言构造体的描述方式 .....	176
7.1.5	VHDL 语言的主要描述语句 .....	178
7.1.6	基本逻辑电路设计与逻辑综合 .....	185
7.2	Verilog HDL 语言简介 .....	189
7.2.1	Verilog HDL 概述 .....	189
7.2.2	Verilog HDL 中的模块及描述方式 .....	191
7.2.3	Verilog HDL 的数据类型及运算符 .....	193
7.2.4	Verilog HDL 的主要描述语句 .....	198
7.2.5	基本逻辑电路设计 .....	213
7.2.6	Verilog HDL 仿真与综合 .....	214

## 第八章 常用 EDA 软件介绍

8.1	eProduct Designer 软件介绍 .....	216
8.1.1	子系统设计 .....	216
8.1.2	从原理图生成符号 .....	231
8.1.3	设计仿真 .....	234
8.1.4	VHDL 仿真 .....	247
8.1.5	EDIF Interface 介绍 .....	254
8.2	Tanner 使用指南 .....	256
8.2.1	概述 .....	256
8.2.2	原理图输入工具 S-Edit .....	257
8.2.3	版图设计工具 L-Edit .....	269
8.3	Cadence EDA 软件的使用 .....	282
8.3.1	启动 Cadence EDA 软件 .....	283
8.3.2	建立设计库 .....	284
8.3.3	使用 Composer 软件包绘制电路原理图 .....	285
8.3.4	生成电路符号图(Symbol) .....	288
8.3.5	使用 Hspice 软件包对设计进行前仿真——Pre Simulation .....	290
8.3.6	使用 Virtuoso 软件包进行全定制版图设计 .....	293
8.3.7	设计规则检查 DRC(Design Rule Check) .....	296
8.3.8	版图参数的提取及版图与原理图的对比(LVS) .....	297
8.3.9	布局/布线后仿真(Post Layout Simulation) .....	300
8.3.10	生成 CIF 格式的版图数据并提交生产厂家(MOSIS) .....	300



# 第一章 概 论

“ASIC”是“Application Specific Integrates Circuit”(专用集成电路)的缩写,其定义为:面向特定用户或特定用途而设计的集成电路。

集成电路的应用已深入到科学、工业、农业、生活的每一角落。集成电路发展迅速,与科学的进步和社会的驱动密不可分。首先我们了解一下集成电路的发展历程,这对我们会有所启示。

## 1.1 集成电路的发展历程

### 1.1.1 半导体集成电路的出现与发展

半导体集成电路的出现和发展经历了以下过程:

- 1947~1948年公布。世界上第一只(点接触式)晶体三极管面世——标志着电子管时代向晶体管时代的过渡,1956年美国贝尔实验室三人因此而获诺贝尔奖。
- 1950年,成功研制出结型晶体管。
- 1952年,英国皇家雷达研究所第一次提出“集成电路”的设想。
- 1958年,美国德克萨斯仪器公司制造出世界上第一块集成电路——双极型晶体管集成电路,1959年正式公布。
- 1960年,成功制造了第一块MOS集成电路。

从此,集成电路经历了小规模(SSI)、中规模(MSI)、大规模(LSI)的发展过程。目前已进入超大规模(VLSI)和甚大规模(ULSI)阶段,到了一个“System On a Chip(SOC)”——片上系统的时代。

### 1.1.2 集成电路发展的特点

#### 1. 特点

集成电路的发展特点主要表现在:

- 特征尺寸越来越小;
- 芯片尺寸越来越大;
- 单片上的晶体管数越来越多;
- 时钟速度越来越快;
- 电源电压越来越低;
- 布线层数越来越多;

• 输入/输出(I/O)引脚越来越多。

图 1-1 给出各个阶段集成电路产品的照片。

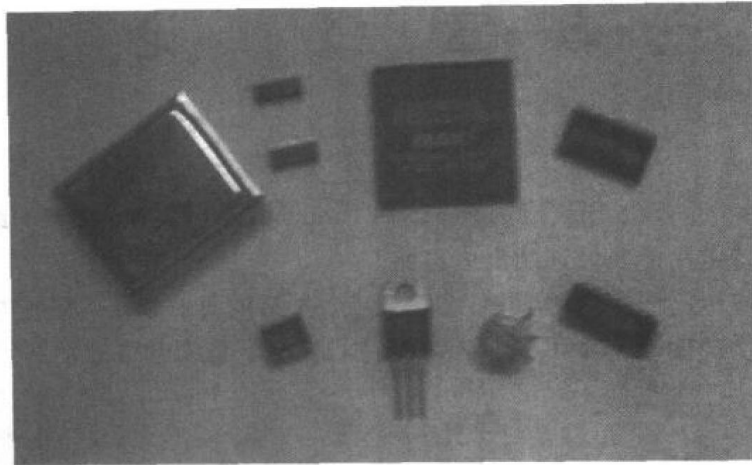


图 1-1 各阶段集成电路产品的照片

## 2. 摩尔定律

1960年,美国 Intel 公司 G. Moore 预言集成电路的发展遵循指数规律,人们称之为“摩尔定律”,其主要内容如下:

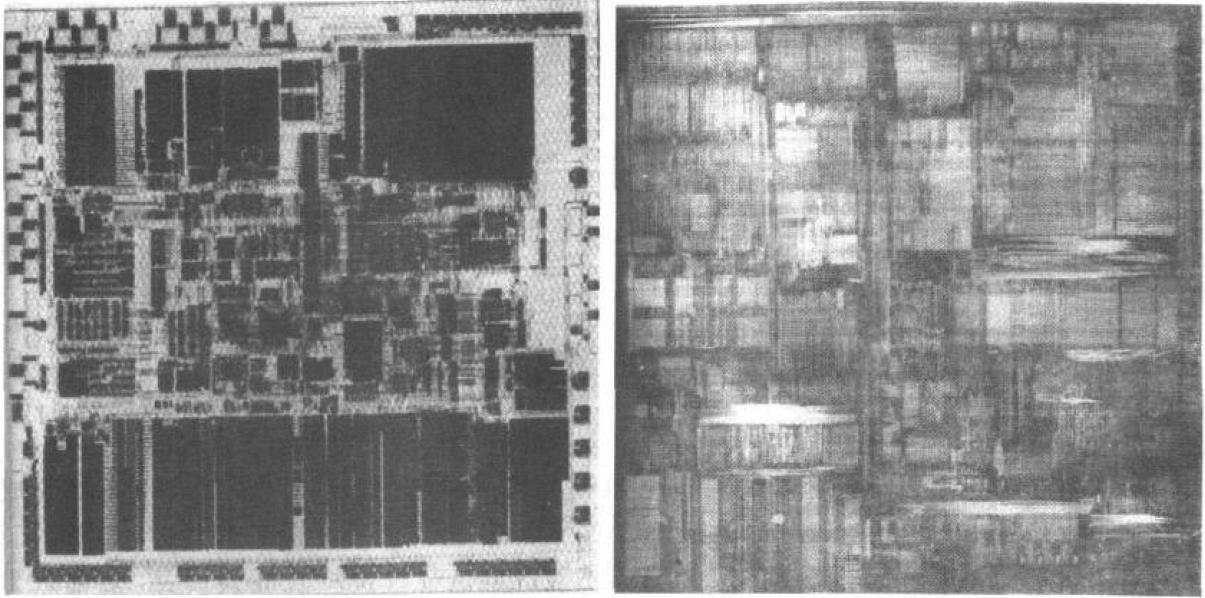
- (1) 集成电路最小特征尺寸以每三年减小 70% 的速度下降,集成度每一年翻一番。
- (2) 价格每两年下降一半。
- (3) 这种规律在 30 年内是正确的(从 1965 年开始)。

历史的发展证实了摩尔定律的正确性。表 1-1 给出集成电路特征参数的进展情况。

表 1-1 集成电路特征参数的进展情况

发展阶段 主要特征	1990	1997	1999	2001	2003	2006
晶体管数/芯片	$10^6 \sim 10^7$	$11 \times 10^6$	$21 \times 10^6$	$40 \times 10^6$	$76 \times 10^6$	$200 \times 10^6$
线宽/ $\mu\text{m}$	1	0.25	0.18	0.15	0.13	0.1
时钟频率/MHz	75	750	1200	1400	1600	2000
芯片面积/ $\text{mm}^2$	50~100	300	385	430	520	620
金属布线层次		6	6~7	7	7	7~8
DRAM 容量		256 M	1 G	1~4 G	4 G	16 G
最低供电电压/V		1.8~2.5	1.2~1.8	1.2~1.5	1.2~1.5	0.9~1.2
最大晶圆直径/mm	150 6(英寸)	200 8(英寸)	300 12	300 12	300 12	300 12

1982年出现的 80286 芯片中,共有 13.4 万只晶体管,线宽为  $1.5 \mu\text{m}$ 。而到 1995 年, Pentium Pro(TM) 芯片就含有 550 万只晶体管,线宽为亚微米级  $0.6 \mu\text{m}$ 。目前商业化的芯片的线宽为  $0.18 \sim 0.35 \mu\text{m}$ 。图 1-2(a)和(b)分别给出 80286 和 Pentium Pro(TM)的芯片显微照片。



(a)

(b)

图 1-2 CPU 80286 及 Pentium Pro(TM) 芯片的显微照片

(a) 80286; (b) Pentium Pro(TM)

目前, 集成电路将朝着两个方面发展:

- 一是在发展微细加工技术的基础上, 开发超高速、超高集成度的集成电路芯片。
- 二是利用先进的工艺技术、设计技术、封装技术和测试技术发展各种专用集成电路(ASIC), 特别是开发更为复杂的片上系统(SOC), 不断缩短产品上市时限, 产品更新换代的时间越来越短。

## 1.2 专用集成电路设计要求

对专用集成电路设计的重要要求有:

- 设计周期短;
- 设计正确率高;
- 硅片面积小、特征尺寸小;
- 低功耗、低电压;
- 速度快;
- 可测性好;
- 价格低。

### 1.2.1 关于“速度”

用芯片的最大延迟表示芯片的工作速度, 如(1-1)式所示, 延迟时间  $T_{pd}$  为

$$T_{pd} = T_{pd0} + U_L \frac{C_w + C_g}{I_p} \quad (1-1)$$

式中： $T_{pdo}$ ——晶体管本征延迟时间；

$U_L$ ——最大逻辑摆幅，即最大电源电压；

$C_g$ ——扇出栅电容(负载电容)；

$C_w$ ——内连线电容；

$I_p$ ——晶体管峰值电流。

可见，晶体管本征延迟越小，内连线电容和负载电容越小，电源电压越低、峰值电流越大，则芯片的延迟时间就越小，工作速度将有很大提高。

## 1.2.2 关于“功耗”

### 1. 有比电路与无比电路

芯片的功耗与电压、电流大小有关，与器件类型、电路型式也关系密切。就 MOS 集成电路而言，有 NMOS 电路、PMOS 电路和 CMOS 电路之分。举一个简单的例子，如图 1-3 所示，图(a)为 NMOS 反相器，图(b)为 CMOS 反相器。对 NMOS 反相器而言，若输入为“1”，驱动管  $V_1$  导通，负载管  $V_2$  也导通，输出电平是两个管子分压的结果，其分压比取决于驱动管和负载管的宽长比。这种电路称之为“有比电路”。有比电路有静态电流流过。

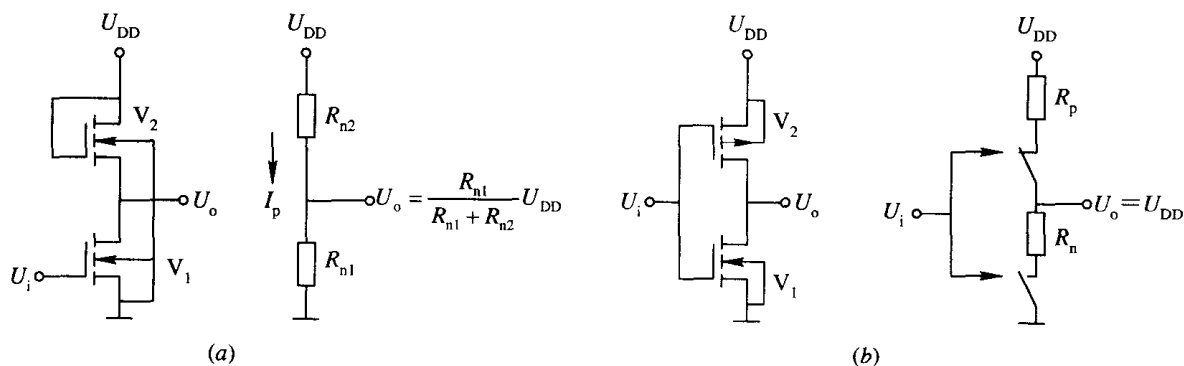


图 1-3 有比电路与无比电路

(a) 有比电路；(b) 无比电路

CMOS 反相器是一个 NMOS 和 PMOS 互补的电路，当输入为“1”时，NMOS 管导通，PMOS 管截止，输出电压为“0”。而当输入为“0”时，NMOS 管截止，PMOS 管导通，输出电压为“1”，即等于  $U_{DD}$ 。

这种截止管等效电阻趋于无穷大，导通管等效电阻趋于零，一管导通必有另一管截止，输出电平不分压( $U_{OH} = U_{DD}$ )的电路称为“无比电路”。有比电路和无比电路的功耗有很大的不同。显然，无比电路的功耗比有比电路小。

### 2. 功耗

#### 1) 静态功耗

静态功耗指电路停留在一种状态时的功耗。

有比电路的静态功耗为

$$P_{dq} = I_p \times U_{DD} \quad (1-2)$$

无比电路的静态功耗为

$$P_{dq} = 0 \quad (1-3)$$

## 2) 动态功耗

动态功耗指电路在两种状态(“0”和“1”)转换时对电路电容充放电所消耗的功率。

无比电路的动态功耗为

$$P_d = f(C_g + C_w + C_o)U_L^2 \quad (1-4)$$

式中： $C_o$ ——晶体管的自电容(输出电容)；

$f$ ——信号频率；

$U_L$ ——电压摆幅( $U_L = U_{DD}$ )。

可见，工作频率越高(或时钟频率越高)，各种电容越大，电源电压越高，功耗越大。而且，功耗与电源电压平方成正比，由此可知，减小电源电压对减小功耗有重大意义。另外，减小器件尺寸，缩短连线长度，可以减小各种电容，从而减小功耗，进而增加集成度。这一点对集成电路设计也具有指导意义，是人们一贯追求的目标之一。

## 3. 速度功耗积

引入“速度功耗积”来表示速度与功耗的关系，用信号周期表示速度，则速度功耗积为

$$\frac{1}{f} \times P_d = \frac{1}{f} f C U_L^2 = C U_L^2 \quad (1-5)$$

当电源电压一定，电路电容一定时，若要速度高，则功耗必然大。反之，功耗小则速度必然低，二者的乘积为常数。这一点很好理解，如果要使速度快，电容充放电时间短，则必然要加大给电容充放电的电流，故必然导致功耗变大。

## 1.2.3 关于“价格”

集成芯片的成本计算公式为

$$C_r = \frac{\text{设计成本}}{\text{总产量}} + \frac{\text{大圆片加工成本}}{\text{成品率} \times \text{大圆片芯片数}} = \frac{C_D}{N} + \frac{C_p}{y \times n} \quad (1-6)$$

式中： $C_D$ ——设计成本及制版费；

$N$ ——总产量；

$C_p$ ——每个大圆片(Wafer)的制造费用；

$y$ ——成品率；

$n$ ——每个大圆片上的芯片数  
(Chip/Wafer)。

大圆片的芯片如图 1-4 所示。

由(1-6)式可知，要降低成本，必须采取以下措施：

- 批量要大，总产量大，则第一项设计成本和制版费就可忽略，成本降低；
- 提高成品率；

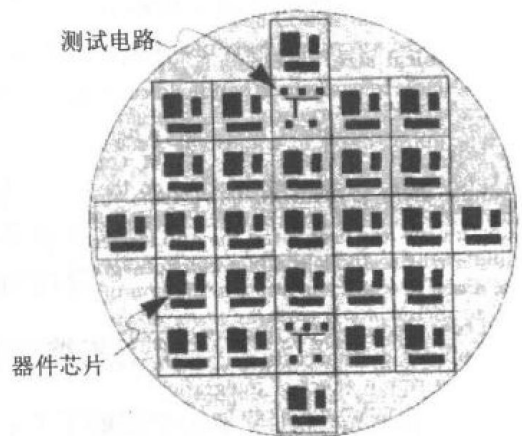


图 1-4 大圆片上的芯片

• 提高每个大圆片上的芯片数,要尽量缩小芯片尺寸(面积)。成本与芯片面积几乎是2~3次方的比例关系,因此减小尺寸是集成电路设计者和工艺技术人员追求的重要目标。

为了缩小芯片面积,则要采取以下措施:

- 优化逻辑设计;
- 优化电路设计;
- 优化器件设计,工艺上要不断追求精细加工,发展亚微米工艺和深亚微米工艺;
- 优化版图设计,尽量充分利用版芯面积,合理布局/布线,减小连接长度,减小大圆片的无用区。

## 1.3 集成电路的分类

集成电路的分类有许多种,下面详细介绍。

### 1.3.1 按功能分类

按功能不同,可将集成电路分为以下几类:

- 数字集成电路;
- 模拟集成电路;
- 数、模混合集成电路。

随着芯片规模越来越大,电路越来越复杂,片上系统(SOC)时代即将到来,数、模混合集成电路的应用与发展备受关注。

### 1.3.2 按结构形式和材料分类

按结构形式和材料不同,可将集成电路分为:

- 半导体集成电路,主要指单片集成电路,这是当今的主流;
- 膜集成电路(二次集成)。

膜集成电路又分薄膜集成电路(厚度 $<1\mu\text{m}$ )和厚膜集成电路(厚度 $>1\mu\text{m}$ )。

所谓膜集成电路,是指在一块玻璃或陶瓷基片上,用膜形成技术和光刻技术形成多层金属和金属氧化物膜构成电路中的连线和电阻,并与贴装上去的器件芯片一起互连而实现某种电路功能的集成电路。若膜是用真空蒸发、溅射或化学淀积方法形成的,其厚度小于 $1\mu\text{m}$ ,则称之为薄膜集成电路。若膜是用网板印刷等工艺淀积并在高温下烧结融合而成的,其厚度通常都在 $1\mu\text{m}$ 以上,则称之为厚膜集成电路。

半导体集成电路是当前的主流集成电路,而膜集成电路或混合集成电路都是为了满足某种特殊的用途而制作的,不是应用普遍的集成电路。

### 1.3.3 按有源器件及工艺类型分类

按有源器件及工艺类型的不同,可将集成电路分为:

- 双极集成电路。这种集成电路由双极型晶体管组成,如中、小规模数字集成电路TTL、ECL和许多模拟集成电路都是双极型集成电路;

• MOS 集成电路, 有 NMOS 集成电路、PMOS 集成电路和 CMOS 集成电路三种, 其中 CMOS 集成电路由于集成度高, 功耗小, 随着工艺技术的进步, CMOS 运行速度也很高, 噪声也较小, 因而已经成为当前数字和模拟(特别是数字)集成电路的主流技术;

• 双极与 MOS 混合集成电路——BiMOS 集成电路, 这种集成电路中同时含有双极型晶体管和 MOS 场效应管, 这是为了提高某种性能或满足某种需要, 利用双极型器件和 MOS 器件各自的特点而采取的一种工艺技术。

### 1.3.4 按集成电路的规模分类

按集成电路的规模不同, 集成电路可分为:

- 小规模集成电路(SSI);
- 中规模集成电路(MSI);
- 大规模集成电路(LSI);
- 超大规模集成电路(VLSI);

通常, 根据芯片中含有的元件数来划分集成电路的规模, 表 1-2 提供了一种参考标准。

表 1-2 划分集成电路规模的(参考)标准

	数字集成电路芯片元件数		模拟 IC 芯片元件数
	MOS IC	双极 IC	
SSI	<100	<100	<30
MSI	100~1000	100~500	30~100
LSI	1000~10 000	500~2000	100~300
VLSI	>10 000	>2000	>300

• 甚大规模集成电路(ULSI), 芯片元件数在 1000 万~10 亿个之间的集成电路属于甚大规模集成电路, 如 16 位 RAM 芯片;

• 极大规模集成电路(Super Large Scale Integration), 记为 SLSI, 指的是芯片元件数超过 10 亿的集成电路。

### 1.3.5 按生产目的和实现方法分类

按生产目的不同, 可将集成电路分为:

- 通用集成电路(如 CPU、存储器等);
- 专用集成电路(ASIC);
- 可编程器件。

按实现方法不同, 可将集成电路分为:

- 全定制集成电路;
- 半定制集成电路。

#### 1. 全定制集成电路(Full-Custom Design Approach)

所谓全定制集成电路, 是指按照用户要求, 从晶体管级开始设计, 力求做到芯片面积小, 功耗低, 速度快(延迟最小), 各方面都周密安排, 达到性能价格比最优的实现方法。全

定制集成电路的所有掩膜层都要精细设计加工，适用于对质量要求最严格的芯片。

目前，产量极大的通用集成电路(CPU、存储器等)及大量应用的通信专用芯片，从成本与性能两方面进行考虑，均采用全定制技术，要求有最佳尺寸，对拓扑结构要求有合理的布局，对连线要寻求最短路径，以精细的设计降低成本，以低价位优势占领市场。

一些标准逻辑单元的底层电路也采用全定制设计；模拟电路由于复杂和规律性差，也采用全定制设计。

全定制设计要求 EDA 工具提供完整的检查和验证功能，这些验证和检查工具包括设计规则检查(DRC)、电连接性检查(ERC)、版图与电路图一致性检查(LVS)等，以帮助设计者发现和纠正错误。

全定制设计的缺点是周期长，成本高，但由于产量大，其成本低的优势反而又突出出来。

## 2. 半定制集成电路(Semi-Custom Design Approach)

半定制集成电路包括门阵列、门海、标准单元等。

对半定制集成电路，设计者在厂家提供的半成品基础上继续完成最终的设计，一般是在成熟的通用母片基础上追加某些互连线或某些专用电路的互连线掩膜，因此设计周期短。但如果所设计的电路规模不大，而又采用大规模母片，则芯片利用率太低。

### 1) 门阵列——有通道门阵列

将很多规则排列的晶体管用内连线连接起来，构成各种逻辑门阵列，阵列间有规则布线通道，负责门与门之间的连接，便形成了门阵列母片，如图 1-5 所示。这个母片就是提供给设计者的基础。

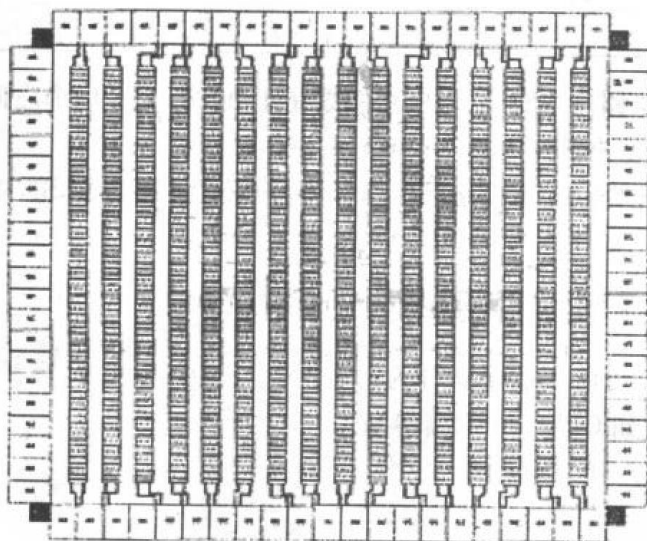


图 1-5 门阵列母片

### 2) 门海——无通道门阵列

有通道门阵列每一布线通道的布线容量是一定的，如果连线太多，则很可能布线布不通。



门海也是母片结构形式的，但母片中没有布线通道，全部由基本单元组成，以横行或竖排为单位。门海若需要在单元上走金属连线时，则对应的半导体单元自动作废。若采用多层布线，则门海会有相当大的布线自由度。门海如图 1-6 所示。

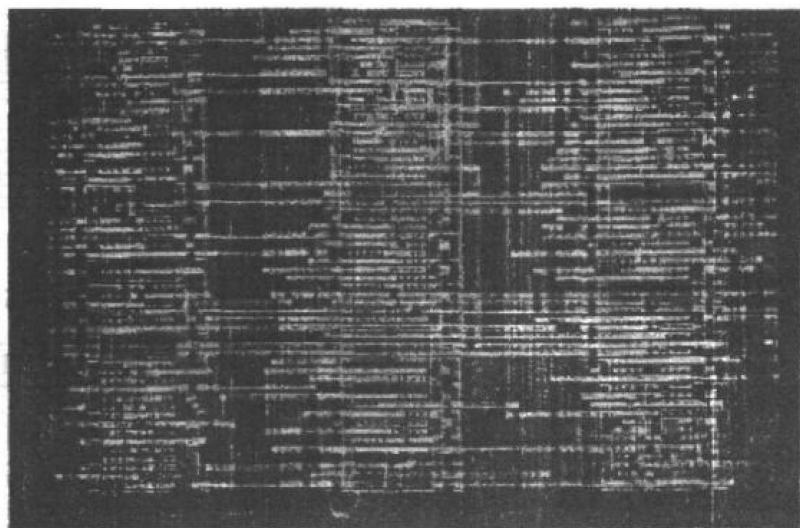


图 1-6 门海母片结构中的规则布线

“母片机制”是半定制门阵列与门海的基本概念和核心技术。其优点是设计周期短，少量应用时成本较全定制要低；缺点是有效利用率低，一般只能用到 70%。

### 3) 标准单元法——多元胞法 (Polycell)

标准单元法是指将电路设计中可能经常遇到的基本逻辑单元的版图按照最佳设计原则，遵照一定外形尺寸要求，设计好并存入单元库中，需要时调用、拼接、布线。各基本单元的版图设计遵循“等高不等宽”的原则，即高度必须相等，而宽度可以不相等。各基本单元版图应是无冗余设计。标准单元法的版图设计如图 1-7 所示。

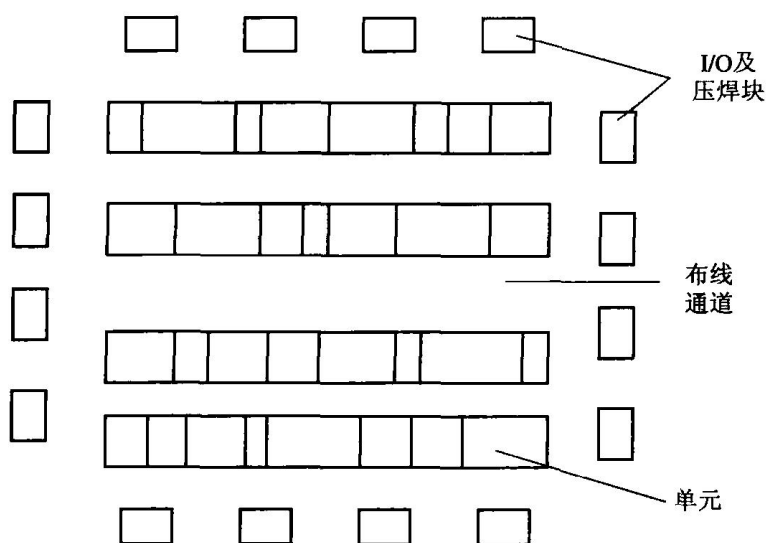


图 1-7 标准单元法的版图布置 等高不等宽