

计算机图象处理

(下 册)

容 观 澳

清 华 大 学

1989.8.

1990.9.

§ 10-1 数字图象处理系统的指标

如前所述, 数字图象处理系统主要由四部分组成即

1. 图象输入部分
2. 图象存贮部分(图象刷新存贮体)
3. 图象输出及监视部分

4. 和计算机接口部分, 若图象处理的运算由硬件、或专用内藏微计算机来执行, 则可单独进行图象处理, 和主机相联则形成主机的工作站。若图象处理主要运算由主机执行, 如脱机则完全不能工作, 则上述 1, 2, 3 项必需和主机相联才能形成图象处理系统。因此我们可把图象处理系统分成两大类, 第一类完全由主机进行运算处理既软件处理, 其特点是速度慢价格低廉, 系统易于建立。第二类是可脱机处理, 多数是硬件处理, 或采用专用快速运算芯片的单片数字信号处理芯片 TM 5320 系列、

AMD2900 系列以及 μ PD77230 或专用于处理运算的硬件单板, 或专用图象处理的高速微处理器。这些运算多是硬件专用运算, 组成系统后能脱机进行图象处理, 因此叫做图象计算机。这种图象计算机和主机相联时, 主机只给出处理命令, 控制图象输入, 输出以及处理的管理。这类系统特点是处理速度快而价格较高。实际上数字图象处理系统的设计是把不断提高处理速度和增加更多更新的处理功能作为指导思想的, 同时还要不断采用新技术、新芯片以改善性能降低成本。值得指出的是不论那一种图象系统, 其图象处理指标大体相同, 只是其速度及操作灵活性有差别, 现将主要技术指标分述如下

一、输入图象的速度: $20\text{ms}/\text{Pel}$, $64\mu\text{s}/\text{Pel}$, $200\text{ns}/\text{Pel}$ 和 $100\text{ns}/\text{Pel}$ 这是当前商品图象系统的指标, 主要是采用高速 A/D 器件和配上合适的图象刷新存贮体而达到的, 因为图象进入存贮体后才谈到处理。

二、刷新存贮体: $512 \times 512 \times 8$ 图象可以用电视速度存入存贮体, 即 25 帧/秒或 50 场/秒。其设计常为双端口读写方式, 即以电视速度存入的同时也能以电视速度读出监视处理的中间结果和最终结果。图象刷新存贮体的其它指标为

1. 存贮图象的数量: $256 \times 256 \times 8$ 一幅为较低档, 较高档可存 $256 \times 256 \times 8$ 图象 8~16 幅以上。

2. 与真彩色图象相配合, 至少应存三幅图象, 低档为 $250 \times 256 \times 8$ 三幅, 高档最少也能存 $512 \times 512 \times 8$ 图象三幅。

3. 与图形处理相结合至少有 $256 \times 256 \times 1$ 一个位面, 高档机为 $512 \times 512 \times 1$ 八个位面且可划分为 $256 \times 256 \times 1$ 三十二个位面。

4. 存贮体划分、分割功能。通常是以一幅画存贮为基本单元进行分配, 最好是在一个大存贮体中任意指定一幅画面的地址。功能可令分为分割, 拼接, 局面窗口, 漫游 ROAM 等。

5. 存贮体快速读写、累加写, 重迭写等。

6. X、Y 方向任意图象滚动。

7. 图象电子放大, 通常为 2^N 的N次幂电子放大和任意放大。

三、图象处理基本能力

1. 图形功能, 各种颜色位面图形迭加显示感兴趣区ROI内外不同处理以及图形字符迭加显示, 动画显示。

2. 跟踪球Trackball或鼠标器mouse或数字化板的位置指定, 曲线绘制、ROI指定

3. 快速处理 硬件快速处理方案, 常用有流水线处理Pipeline和反馈ALU处理以及并行型单元处理process element、阵列处理DAP

Distributed Array Processor和块群并行处理MPP Massively Parallel Processor等多种方法

4. 硬件实时直方图统计和显示以及图象处理动态范围调整。

四、图象处理功能(常以硬件为依托的软件方式体现)

1. 图象增强, 如灰度scale, 直方图均衡化, 图象尖锐化、平滑以及多种提取轮廓算法。

2. 图象正交变换, 卷积、相关、功率谱等处理。

3. 图象复原, 逆滤波, 维纳滤波、运动图象引起模糊等图象的复原。

4. 从投影重建图象CT, NMR 超声成象等的处理及显示。

5. 图形功能 三维图象合成及任意方向截面图象、彩色图形图象混合迭加文字、动画以及计算机图象产生等。

6. 图象的编码压缩及图象远距传输以及图象的特征提取。

7. 图象的分割描绘

8. 图象的分析、理解。

§ 10-2 图象刷新存贮体的设计

数字图象处理的数据量十分庞大, 而且图象是一种视觉效果, 希望能够实时显示。这个特殊性使其仅用一般的通用计算机难以胜任, 需要专门的数字图象处理系统。而图象刷新存贮器(以下简称刷存)正是数字图象处理系统中解决这个问题的关键部件之一。本文就数字图象处理系统中刷存设计的几个基本问题和矛盾进行一些分析讨论, 并介绍在使用常规存贮芯片时如何从存贮结构设计方面解决这些矛盾。

一、数字图象处理系统及其对刷存的要求

如不考虑数字图象的输入, 一个数字图象处理系统, 不论是简单的还是复杂的, 就功能来说基本上可以分成处理和显示两部分。图象显示设备目前占支配地位的仍是光栅扫描的CRT显示器, 处理器则可以是普通计算机或专用的处理硬件。联系这两部分的关键是图象刷新存贮器。它一方面作为处理器的图象存贮器, 存贮待处理的或处理过的图象数据; 另一方面以视频速率不断反复读出支持显示屏幕的刷新(刷新二字也是由此而来)。图10-2-1给出了最基本的数字图象处理系统的结构框图, 它由一个普通计算机加上刷新存贮器和CRT光栅显示器构成。当然在计算机与刷存间及CRT显示器与刷存间都需要一些电路分别管理处理存取和显示存取。其中计算机和刷存构成了系统的处理部分, 刷存和CRT显示器则构成其显示部分。

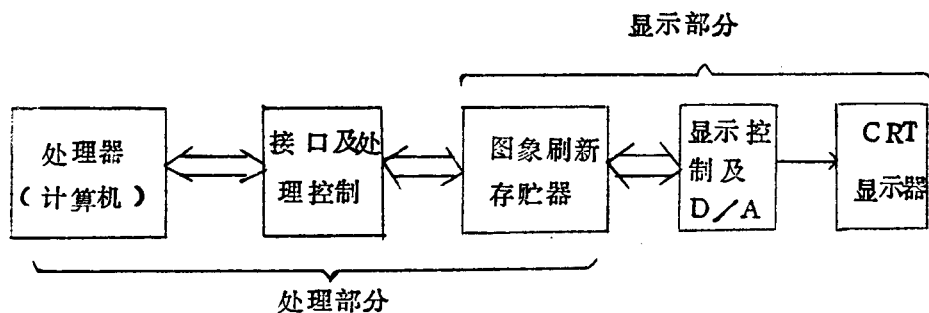


图 10-2-1 最基本的数字图象处理系统结构框图

复杂一些的数字图象处理系统设有专门的处理硬件，例如美国 I²S 公司的 Model-70 和 Model-75 以及我国的 TJ-82 图象计算机就设有时间上串行的流水处理线，设在显示通道上使处理与显示同步。为使处理结果能够保存下来并能实现快速递归迭代运算，这种系统中还设有同样与显示同步的反馈和算术逻辑运算通道。图 10-2-2 是具有同步处理的 TJ-82 图象计算机的结构框图。图象计算机仍需有一主计算机实现图象数据的输入输出及管理控制，只是由于图象计算机本身就具有很强的处理能力，因而对主机的要求大大降低，一般的小型机甚至微型机即可胜任。

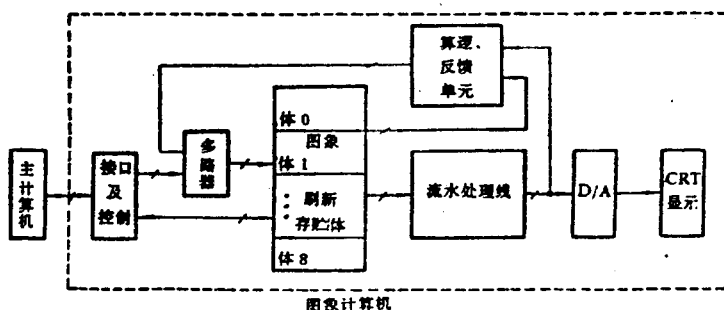


图 10-2-2 TJ-82 图象计算机结构框图

由数字图象处理系统的基本结构可以看出系统对刷存的要求基本上有以下几个方面

1. 需要一个与显示画面的像素一一对应（即以像素映射方式存贮图象数据）的存贮单元阵列。刷存因而也叫帧存贮器或显示存贮器，这意味着刷存的容量相当大。因为存贮一帧与广播电视画面质量相当的图象，其容量大约需要 $512 \times 512 \times 8 \text{ bit}$ ，即 256 k 字节，这相当于 PDP-11/23 小型机的全部内存。由于是二维的，所以分辨率成倍提高时，所需容量平方地增大。

2. 刷存必须能双端口存取。一个是同步的视频存取口，一个是异步的随机存取口。视频读取为 CRT 光栅显示所必须，不论是简单的还是复杂的系统都不可少。视频写入口可提供经由电视摄像机和视频数字化器的视频图象的实时输入。在采用同步的流水线处理结构的图象计算机中，①同步的视频存取口还同时支持流水线处理器的像素读取和反

馈写入。②随机存取口供主机存取用。支持刷存中数字图象的输入输出。在简单的系统中，它实际上是处理器的存取口。为适应多种多样的主机，这个端口的存取应是异步的

3 刷存须具有快速存取的能力。采用CRT光栅显示器显示图象，无论是根据我国的电视标准还是国际E I A标准均可算出， 512×512 的图象隔行显示时每象素的显示时间（象素周期）约为 100 ns ，不隔行时约为 45 ns ； 1024×1024 的图象隔行显示时其象素周期约为 25 ns ，不隔行时约为 10 ns 。这意味着要求刷存能每 100 ns 或每 45 ns 或每 25 ns 甚至每 10 ns 就提供一个象素数据。视频写入或象某些系统中要求的反馈写入同样要求刷存具有如此高的象素写入速率。为适应快速递归、迭代处理，还希望刷存具有同时快速读写的能力。

4 尽可能灵活的读写方式和非破坏性的滚动、放大、开窗、漫游等显示功能。刷存应能按位读写，有些情况下希望能在一幅图象上叠加另一图象、图形或字符，这就需要一种叫做附加写的功能。

二、刷存设计的一些基本问题及其处理

刷存设计一般要包括存贮阵列的结构、数据通道的多路及变换、地址的多路及变换以及时序和控制四个部分。其中存贮阵列的结构是个关键。根据系统对刷存的要求可以看出，刷存设计主要存在要求存取速度高和容量大、体积小之间的矛盾以及双端口存取间竞争的矛盾。这些矛盾都与存贮结构设计及存贮器件的选择密切相关。本文将就存贮结构及存贮阵列的设计中如何解决这几个问题做些分析讨论。

刷存系统一般采用体式结构，以能存一帧画面大小的一幅单色图象数据为一个体（或叫做一个通道）。当需要真彩色图象的显示处理或实现多波段遥感图象的处理时则设置多个这样的体。T J - 82 图象计算机即采用这种多体式结构（见图10 - 2 - 2）。采用此结构，各通道可独立存取，便于并行处理，便于通道间的运算，这对于多波段遥感图象处理十分必要。而且这种结构也使刷存设计简单归一化。体内采用位平面结构。这样，灰度分辨率或颜色分辨率的改变只需增减位平面数，而且也容易实现按位存取。

帧存贮体的大小即其象素分辨率和灰度（或颜色）分辨率应根据需要并结合显示器的分辨力确定。目前光栅扫描的CRT显示器分辨力有几百线甚至几千线，灰度分辨力有几十到上千级。由于计算机使用的是二进制数，考虑到设计上的方便，帧存的象素分辨率和灰度分辨率一般设计为2的整数幂，而且X，Y两个方向上象素分辨率相同。为充分利用显示屏幕，也可将帧存贮体的尺寸也设计为4：3。常见的1：1帧存尺寸有 512×512 和 1024×1024 ，4：3的帧存尺寸有 640×480 和

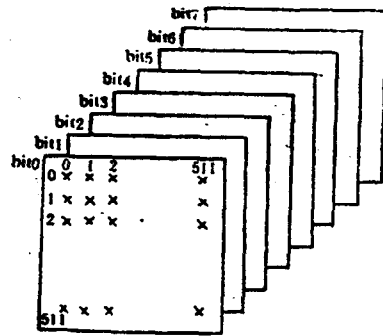


图10 - 2 - 3 位平面结构
 $512 \times 512 \times 8\text{ bit}$
存贮机

和 1280×960 。而位平面数则可根据实际需要从单色的1 bit直到彩色的24 bits。图10-2-3是一个位平面结构的 $512 \times 512 \times 8$ bits的刷新存储体图。

由于采用了位平面结构,各个位平面是完全相同的,所以我们就只需对单个位平面加以讨论。

1 存储器件的选择

大容量的刷存一般采用动态随机存取存储器(DRAM),它容量大,功耗小,因而成本低。大规模和超大规模的半导体集成电路首先在半导体存储器上得到飞速的发展。DRAM产品从结构看有单位的(即 $\times 1$),有多位的(如 $\times 2$ 、 $\times 4$ 、 $\times 8$ 甚至 $\times 16$)。单片容量从4 kb、16 kb、64 kb很快发展到256 kb、1 Mb,容量是足够的,但存取速度最快100 ns,连续存取周期都还在200 ns以上,所以满足不了显示存取的要求。为了适应这个要求,新近出现了一些新型片子,如具有extended page mode、ripple mode、nibble mode等存取模式的片子。以及双端口视频RAM(dual port VDRAM)。这些片子非常适合显示存取,但也有其局限性,在此不做详细讨论。

2 速度问题的解决

速度问题的解决一般是采用分层次存储的思想,即存储阵列之外另设高速缓存级,而存储阵列本身则采用多模块并行存取方式以实现与缓存级间的数据交换。缓存器用来实现并行和串行间的变换。具体说就是存储阵列要由一定数量的独立模块(或存储芯片)组成。在这多个芯片上同时执行一个读周期或写周期,从而同时读出或写入多个像素。例如视频速率显示,即快速读出就是并行地存入高速缓存器,而后按视频速率的要求串行取出。视频速度的写入则倒过来,先将要写入的像素数据串行存入高速缓存器而后再并行写入存储阵列。并行存取数应大于存储芯片的存取周期与视频存取所要求的像素周期之比的整数。同样为了设计和处理上的方便,这个整数一般为2的正整数幂。图10-2-4给出了这种并行存取的示意图。由于并行数不大,这里所说的高速缓存器实际上可以是速度很高的双极型的中规模集成电路数据选择器和移位寄存器。

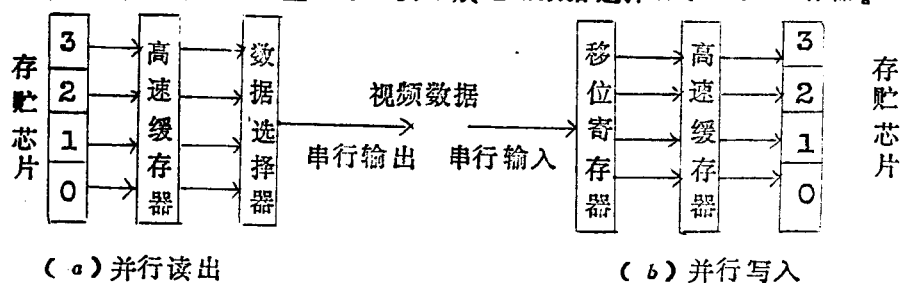
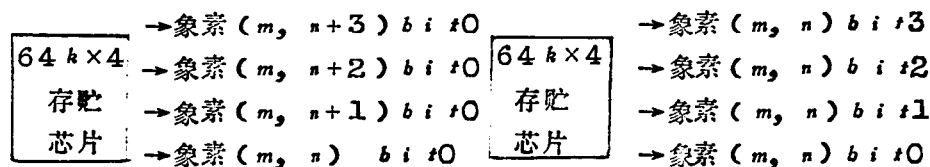


图10-2-4

多位的DRAM芯片的多个比特可被用作多像素并行存取,从而减少构成一个刷存的芯片总数。但是由于是在同一芯片上,单像素的随机写入就不方便了。不需要的像素也须先将原存像素读出而随同要写入的像素一起再写入芯片,也就是要执行一个读改写周期。

这将使外电路复杂。而象素的选择要通过地址译码来实现，这又进一步增加电路设计的复杂性。所以多位的存贮芯片的多个比特通常被用作同一象素的多位。虽然不需要写的位也要通过读写改写来实现，但这平面的选择可以是线选，比较容易实现。图10-2-5是这种多位的存贮芯片用作多象素的同一位和用作同一象素的多位的示意图。



(a) 多位的存贮芯片用作多象素的情形 (b) 多位的存贮芯片用作多位的象素的情形

图10-2-5

3. 双端口存取间的竞争

由于图象在处理过程中的实时显示是人机交互的重要手段之一，所以对刷存的显示存取（即读出）一般总是处于优先地位。处理器对刷存的存取应是在保证不影响显示的情况下进行。处理这二者对刷存存取的竞争的最简单办法是采取时间上错开的办法，即将处理器的存取安排在没有显示存取的行场扫描进程。但进程甚短，将限制总的处理速度。处理器可利用的存贮周期只占百分之十几。这在一些简单的系统中是可行的，但对那些必须要求双端口能同时存取的系统（如前面提到的要求有实时反馈功能的系统）就不行。为实现双端口同时存取，就要采用空间并行的思想。我们可以把一个刷存分成两个可独立存取的存贮组，将象素数据按显示顺序分成许多小组，以一个存贮周期为单位交替存贮在两个存贮组内。这样，任一存取周期总有一个存贮组不被显示存取，这个组就可以被处理器访问。当处理器要访问的存贮组正在执行显示存取时，也只须等待一个存贮周期即可。这样处理器存取的成功率就大于百分之五十了。若与显示读出同步，则可达到百分之百。这个想法是基于这样的事实，即虽然从整体上看在显示过程刷存要被显示存取，但在任一具体时刻，被显示存取的只是刷存中的有限单元。因而原则上还可以把刷存分为更多的可独立存取的组以进一步减少两种存取间的碰撞机会。但这又会与为缩小刷存体积而提高存贮芯片的集成度发生矛盾。图10-2-6给出了一个分组存贮的存贮阵列和数据结构的例子。图10-2-7则显示了这种分组存贮方式的存取周期分配。

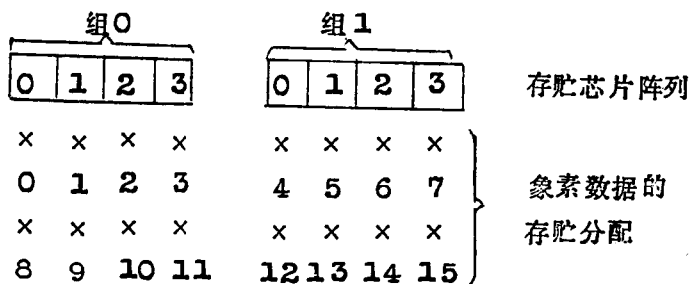


图10-2-6 分组存贮的原理

存取 周期	0	1	2	3	4	...
	显示存取	处理存取	显示存取	处理存取	显示存取	

图10-2-7 分组存贮方式的存取周期分配

由上面的分析可以看出,如果采用分组存贮的方式并且以多象素并行存取的方式解决速度问题,则每个刷存位面至少要多由多个芯片组成。构成一个刷存位面的最低芯片数将是分组数与并行存取数的乘积。至于整个刷存所需的芯片数,若采用单位的芯片则还须乘以位平面数。若采用多位的则所需芯片数可以不再增加或增加较少。最低芯片数确定以后,构成一个容量已定的刷存所需的芯片的最大容量也就确定了。例如一个

表10-2-1 $512 \times 512 \times 8 \text{ bit}$ 刷存的芯片选择

芯片存取周期	并行存取数	分组数	每个位平面最少芯片数	芯片最大容量	每体最少芯片数			
					芯片字宽			
					$\times 1$	$\times 2$	$\times 4$	$\times 8$
$< 400 \text{ ns}$	4	2	8	32 k	64	32	16	8
$> 200 \text{ ns}$		1	4	64 k	32	16	8	4
$< 200 \text{ ns}$	2	2	4	64 k	32	16	8	4
		1	2	128 k	16	8	4	2

512×512 分辨率的刷存每平面的容量是 262144 bits , 如果采用分两组, 并行存取数为2的结构, 则每个位平面至少需4片, 从而芯片的最大容量只能是 64 k 表10-2-1列出了采用不同的芯片和不同的存贮结构时, 构成一个 $512 \times 512 \times 8 \text{ bit}$ 的刷存所需的芯片数。由表10-2-1可看出, 为缩小刷存体积希望尽可能采用大容量的存贮芯片以减少所需的芯片数, 但这要求芯片具有更高的存取速度。这是一个矛盾。当芯片的存取速度还不够高时, 构成一个刷存的芯片数的减少就是有限度的。从而单片的容量加大也就受限制。所以并非芯片容量越大越好。

总结上述存贮阵列设计的步骤大体如下, 首先根据显示分辨率确定象素周期, 然后根据象素周期和可选择的芯片的最大存取周期确定并行存取数, 再根据分组不分组确定每个位平面所需的最少芯片数, 接下来确定每芯片的最大容量, 最后经综合考虑确定选择什么样的芯片。综合考虑是重要的, 因为方案不是唯一的, 须根据需求和可能综合考虑而选择。

§ 10-3 查表、映射和可编逻辑阵列

为了加快图象处理的运算速度, 精简布线, 缩小硬件单板体积常采用查表、映射和可编逻辑阵列三种技术。

一、查表 Look-up Table 技术——LUT

为了加快图象处理速度, 特别是图象处理中的乘法、除法、函数、乘幂等运算都很难

用通用电子计算机来达到一次运算 100 ns 以下的速度, 但用查表技术只需几块集成电路即可轻松地达到。

LUT 常用快速 RAM 和 PROM 或 ROM 存储体来达到, 一般这种集成电路速度远远小于图象处理中点处理所需的速度。

1. 乘方, 开方各种函数如正弦、余弦指数、对数等都把存储体的地址作为输入数据, 而存储体的各单元就把预先计算出来的数据写入。这样当某一数据 x 出现在该地址上时, 则该地址单元的内容就可输出预先写入 x^2 , $\sqrt{x}$, $\sin x$, $\cos x$, e^x , $\ln x$ 等计算好的数据了。以乘方运算为例, 设输入 x 为 8 位二进制数, 则选择八位地址的存储体, 把 x 数据线直接与存储体的地址相联, 而在内存地址单元顺次填入 00H , 01H , 04H , 09H , 16H , 25H ... 等。显然输入 x 时, 就可输出相应的 x^2 值了。其运算速度相当于存储体的读出速度。一般 MOS 集成电路读出速度常为 $150 \sim 500\text{ ns}$, 而 TTL 存储体则仅为 $10 \sim 30\text{ ns}$, 但价格上 TTL 要昂贵得多。

LUT 技术常用在灰度 SCALE 处理和伪彩色指定技术之中。在医学的超声成像、XCT, NMR 等技术中用于可变灰度窗口显示技术中, 它可显示 2048 级灰度分割中的几级灰度变化籍以获取早期病变的诊断。

2. 乘法、除法以及卷积、相关运算。这些运算都是相乘和累加模式的运算, 而难度最大的是乘(除)法。因为 TTL 电路的加法(减法)仅需 $10 \sim 30\text{ ns}$, 而决定总计算速度的是乘(除)法。仅以乘法 $y = x_1 \times x_2$ 为例, 分三步进行

(1) 用 LUT 方法求出 $\log_a x_1$ 和 $\log_a x_2$

(2) 求 $\log_a x_1 + \log_a x_2$ 记作 $\log_a x$

(3) 用 LUT 的方法求出 $y = a^x$

显然, 这三个步骤用 LUT 技术和加法逻辑可组成很简单的硬件环境, 而其速度取决于 LUT 的速度, 通常可达到几十 ns 。只要加上反馈通道则计算 FT, 卷积、相关等都十分便利。

存储体作为单独硬件组成电路则多采用 ROM 和 PROM。用于快速运算则常用 TTL ROM 和 PROM 不但价格贵, 而且用户自己编程写入 PROM 也较复杂, 最好选购商品写入器。作为计算机控制的硬件运算器则 LUT 常用 RAM 组成。在计算机初始化时写入相应的“表”, 则在具体运算或图象处理时可以快速运算, 而初始化的速度则不影响图象处理速度。

应当指出, 查表技术虽然原理简单, 但若灵活应用可组成各种快速、简单、灵活的电路, 例如汉字、图形以及各种文字(包括我们各种少数民族文字和各国文字)的字形产生, 各种程控信号产生, 复杂波形以及电视隔行扫描时序的产生, 各种编码... 等。这些丰富多彩的电路都会使硬件大为简化。

二、映射——VIDEO RAM

图象刷新存储器的地址设置和 CPU 地址空间的关系是很重要的。为了加快运算减少数据交换的时间, 有许多种实现方法。其中一种是常用的是视频存储器技术, 简称 VRAM 技术。这种技术可以用来设计中小型计算机系统用的图形、图象显示器或显示终端。可以把一台普通的字符显示器加一些器件后, 改装成为可显示字符、图形的兼容

显示器。在微型机的应用中，可以很方便地把个人计算机改装成结构简单的，人机交互式图形显示系统或小型图象处理系统。在当前流行的字符、图形、汉字、图象兼容的显示系统中，大多采用光栅式图形显示技术，最适于采用 Video RAM。

在光栅式图形显示技术中，要求刷新存储器中存储图形矩阵的每一个光点，而在图象处理、模式识别技术中要求刷新存储器中存储图象矩阵的每一个带灰度层次的象点。在自动化技术和遥感技术中图形和图象矩阵常选 256×256 （或 512×512 ）遥感技术要求图象象点的灰度层次为 256 种灰度等级（即象点的字长为 8 位）。为了适应以上要求，视频随机图象存储器应具有以下特点：

1. 存储容量大。存储一幅 256×256 矩阵的图形，存储器的容量需 $256 \times 256 \times 1$ 比特；而存储一幅 256×256 矩阵的图象时，若其灰度层次为 256 灰度级，则其容量为 $256 \times 256 \times 8$ 比特。这个容量和早期计算机全部内存容量相近。

2. 存取速度快。CRT 器件常采用不断刷新的方法来维持稳定显示。此处 CRT 器件是由刷新存储器中取出的数据经显示电路后驱动的，这样就必须在屏幕上光点的辉亮尚未消失之前，不断从存储体中取出原数据使该点增加辉亮。上述过程亦叫做刷新。刷新频率可根据 CRT 管所用荧光粉的性质来选择，但采用电视的扫描制度可以使设计简化，因此通常刷新频率定为每秒 50 场。这个数据的确定，对存储器相应提出高速存取的要求。因为电视光栅每一个扫描行的正程约 52 微秒，如果每行正程显示 256 个光点，则存储器的存取速度至少应为 52 微秒的 $1/256$ ，即近似为 200 毫微秒；对每行显示 512 个光点的则为 100 毫微秒。这个指标，对大多数存储器来说是非常高的。

3. 控制方便。计算机对存储器的写入和读出以及读出刷新显示都需要复杂的逻辑控制。存储器本身的控制要方便才能简化总体的逻辑控制。例如总体设计中要求存储体存入数据是随机的或连续的。随机写入时为了不影响屏幕显示，要求在场、行扫描的逆程时写入，或采用读写周期交替式写入，连续写入时要求写入速度与刷新显示速度相适应，即要求快速写入。总体设计中还常要求存储器能以三态形式与计算机总线相联。能够灵活控制，满足各种要求的存储器是半导体大规模集成电路存储器。

(1) VRAM 的工作原理

计算机与图象或图形存储体之间的数据交换方式除了最常见的输入输出方式外，还有 DMA 方式和 VRAM 方式。输入输出方式和 DMA 方式应管方式复杂，数据交换速度慢，但 VRAM 方式可以解决这个矛盾。VRAM 方案把图形或图象存储体直接作为计算机内存的一部分，计算机可以直接通过机器指令写入或读出数据。当计算机不对这部分存储体寻址时，这部分存储体立即切换到刷新显示电路，执行取数并刷新显示，即把存储器的内容显示在 CRT 屏幕上。VRAM 存储体是接到计算机电路一方还是接到刷新显示电路一方，由计算机控制。图 10-3-1 为 VRAM 原理方框图。计算机内存存储器分为 RAM 和 VRAM 两部分。RAM 为计算机运行中经常使用的内存，其地址数据、控制（读、写、选通等）三组信号线，固定接到从计算机来的总线上。VRAM 为刷新显示与计算机共用的存储器，其三组信号线要经过多路开关 MUX，使之能按着要求接到计算机一方或接到刷新显示电路一方。当多路开关 MUX 把 VRAM 的三组

信号线切换到刷新显示电路方面时，VRAM 由刷新显示电路提供地址、读写控制信号其读出的数据不断地送CRT刷新显示。此时，VRAM好象与计算机断开而和刷新显示电路组成一个与计算机无关的刷新显示系统。但是只要计算机需要使用这部分内存，即计算机的CPU要向这部分内存进行读写操作时，多路开关MUX立即把VRAM的三组信号线全部接到计算机方面，也就是由计算机提供地址、数据、控制三组总线，此时，VRAM好象与刷新显示电路断开而和计算机电路组成一个计算机系统。计算机可直接用指令对VRAM寻址，VRAM和RAM完全一样。计算机要写入VRAM的数据，就是以后要显示的图形或图象，从VRAM中读出并送往计算机的数据，是需进行处理的，处理以后还要送回VRAM中再显示出来。

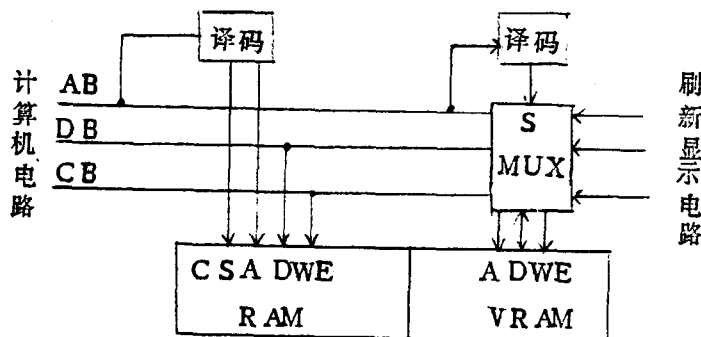


图10-3-1 VRAM原理方框图

VRAM存储体的三组信号线，即地址、数据、控制线都由MUX进行快速切换，MUX的控制是从计算机来的译码选中信号。当CPU需对VRAM部分的地址读写时，地址译码选中信号起作用，控制MUX把三组信号线接到计算机方面，由计算机占有VRAM。反之，控制MUX把VRAM自动接到刷新显示电路一方，由刷新显示电

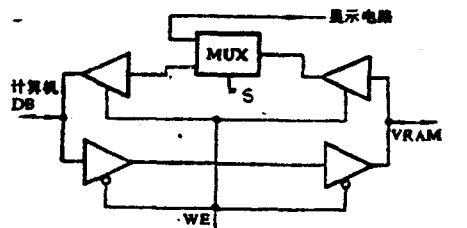


图10-3-2 双向数据总线的切换

路占有VRAM。组成VRAM的随机存储器都是大规模集成电路。这种存储器的数据结构有两种，一种是数据输入线和输出线分开，另一种是数据输入和输出公用一组双向总线。用这两种LSI存储器组成VRAM时，MUX控制电路稍有不同。采用输入和输出数据线分开的LSI存储器，只需把输出数据线进行切换即可；采用输入和输出公用数据总线的LSI存储器时，应按照图中的接线方式。图中是先把双向数据线分别变为单向数据输入和输出线，然后再把数据输出线经过多路开关MUX，转接到刷新显示电路或计算机的数据总线上。图10-3-2所用的门电路都是三态缓冲控制门。另外，所用的LSI存储器有静态和动态两种。静态存储器功耗大，容量小，但控制简单，易于组成各种类型存储体，应用广泛。动态存储器功耗小，可做成大容量的，但由于使用时需要再生，增加了控制的复杂性。对于小型图象或图形显示系统，如医用细胞血球分析仪，金相微粒分析系统等，由于设备小巧，电路及控制都要求简单，因此

VRAM大都由静态随机存储器组成。对于大型图形或图象系统，要求存储多幅高分辨率图象，例如每幅图象为 $512 \times 512 \times 8$ 比特容量，此时VRAM多采用动态随机存储器，虽然控制电路较复杂，但体积小、功耗低。

(2) VRAM应用实例

用一台可显示字符、符号化图形、西文和汉字的单板计算机，显示格式为 256×256 点阵的VRAM实际应用为例，来说明设计原理和实现方法。单板机以8080A为CPU，内存和固存均为4K字节，（皆可扩大为8K字节）带有8251和8255接口。内存分配见图10-3-3所示。地址为16进制。为了便于与其它类型的微处理器相联，选用控制简单的静态随机存储器2114作为VRAM。存储器2114为1K $\times$ 4比特，存取周期为200~450毫微秒。数据线是输入和输出公用三态总线的方式。用两片2114即可组成1K字节VRAM。为了适应屏幕显示格式的要求，本机采用字节方式访问VRAM，即每次存取8个象点，每个象点之间的间隔为200毫微秒以下。这时，存取数据的时间限制扩大为 $200 \times 8 = 1600$ 毫微秒，多数LSI存储器都能满足这个要求，若显示格式提高到 512×512 ，则8个光点需800毫微秒，多数LSI存储器也能满足要求。其电路原理是8个象点同时取出后，经过门电路以快速时序选通，使逐点送出的时间仍为200毫微秒。快速门电路可以用快速移位寄存器代替，以简化电路。移位寄存器采用并行输入，串行输出方式，移位时间间隔为200毫微秒。

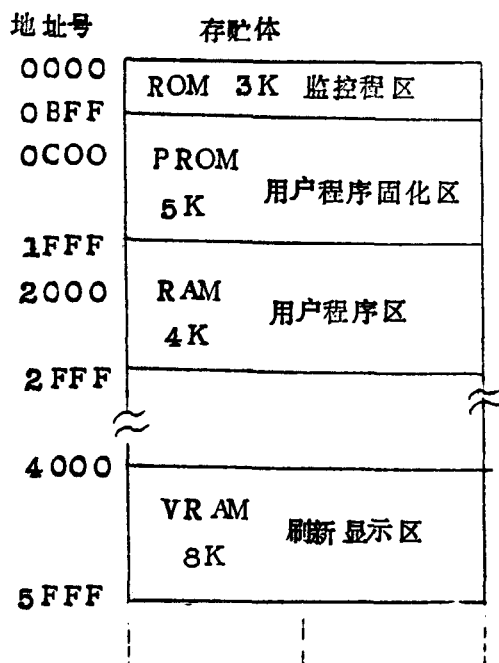


图10-3-3 微型机的内存分配

图10-3-4为字符图形显示器的系统方框图。图中包括微计算机部分，VRAM及转换电路，刷新显示电路，标准键盘及接口部分。显示图形为 256×256 点阵，为了与字符配合，每个字符为 8×8 点阵。这样每排可显示字符32个，

[illegible]

图 10-3-4 系统方框图

图10-3-5 VRAM切换电路

(2) 微计算机读VRAM, 微计算机对VRAM寻址时, AB₁₄为高电平, MEMR为低, MEMW为高, 此时门3输出为低, MUX把VRAM的地址线接向微计算机地址总线AB, 与刷新地址产生器断开。当MEMR为低时, 门1为低、门2为高, 使门4打开, 门6关断为三态, 门5打开, VRAM的数据线接到微计算机数据总线DB, 门2为高, 使VRAM的WE端为高, 维持读出状态。此时从VRAM中读出的是由微计算机地址所指定的单元内容, 并经门4、5送回微计算机数据总线DB, 同时也送去显示。由于微计算机读数时间极短, 不会影响屏幕稳定。

10 - 12

机总线。门2低使门5关闭为三态，门6打开。门2低使VRAM的WE为低，即VRAM处于写入状态。同时从微计算机DB总线来的数据经门6加到VRAM的数据输入端，即写入了由微计算机地址总线AB所决定的单元中去。在写入后再把M接到刷新显示电路一方，把写入内容显示在屏幕上。写入的瞬间，门5关断，没有数据送显示但由于写入时间极短，所以不会对屏幕产生不良影响。

(二) 刷新地址产生器

刷新地址产生器框图如图10-3-6所示。由一般计数电路产生刷新显示所需的13位地址线。图中晶体振荡器产生6MHz的光点脉冲信号。图中分频器采用四位二进制可预置同步计数器。其48分频及39分频是考虑到行、场的逆程和消隐而设置的。此数据只适于 256×256 点阵格式。

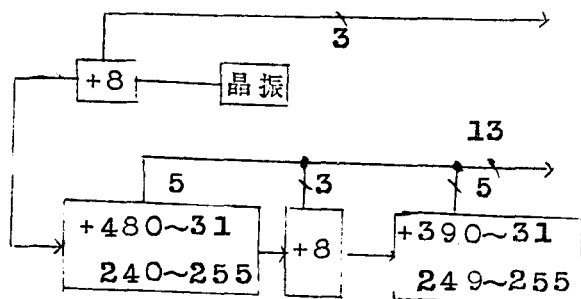


图10-3-6 刷新地址产生器

应当指出，图象系统的微小型化，高速处理是重要方向。VIDEORAM技术很容易扩展到微型图象处理系统。例如16位机如Intel 8086 80286 Motorola 68000系列CPU芯片其地址空间1M~16M，而图象刷新存储器只需256K空间，上述技术立即就可以应用。

三、PAL可编程阵列逻辑

近代数字计算机和其它电子设备中，特别是小型化高速处理图象计算机中，除了标准的中、小规模集成电路、微处理器、存储器、成品的外围电路外，还常常有一些专用的集成电路ASIC(Application Specific Integrated Circuit)器件。它简化设计、缩小体积和提高技术保密性。

(一) 逻辑设计

通常逻辑电路设计有三种途径，(1) 用标准件(芯片)组成可完成一定逻辑功能的电路；(2) 用微处理器和相应软件完成一定的逻辑功能；(3) 用专用芯片ASIC来进行逻辑设计。用标准芯片可以完成许多功能，但需要进行复杂的逻辑设计和联接。由标准芯片组成的逻辑电路，体积大，功耗高，可靠性差。用软件完成逻辑功能具有较大的灵活性，但速度较低，一般只有硬件的1/10，不能满足对速度要求较高的场合应用。此外，还需要一定接口芯片。而用ASIC方式进行逻辑设计具有很大的灵活性，并且有较高的性能指标。ASIC方式可以分成两类。

1 专用芯片

按一定的逻辑功能要求，把组成一定宏功能的晶体管门电路集中起来就成了标准单元。标准元的范围很广，它可以是常用的逻辑门，也可以是RAM、ROM和CPU等把一定组合的标准元集成在一块晶片上就可以形成功能很强的ASIC。

这种设计常需半导体工厂密切配合才行，而在设计简单或中等复杂程度的系统时，设计者又会遇到集成化与成本的矛盾。即设计者常常把系统适当地划分为功能部件，并打算将其做成集成电路片，以几片集成电路构成令人满意的系统。实际上，定做一片集成电路不仅设计周期长，而且成本非常高，致使大多数人不肯冒此风险。为了解决上述矛盾，人们提出了可编程器件。

2. 可编程器件PLD

这些器件利用“半定做”(Semi-Custom)的设计方法，在解决随机逻辑LSI化上具有显著的作用，同时给予设计者极大的灵活性，设计者可按照自己所需的逻辑要求二次构造这些器件。因为这些器件是“半成品”，故还有成本低的特点。

PAL就是这样一种可编程器件，它有许多其它器件不可比拟的优点。

(1) 加速系统设计 PAL可以代替各种SSI和MSI的TTL逻辑设计，即可以用它做成各种门、触发器、计数器、译码器、寄存器等，允许设计者用各种方法优化自己的设计，从而加速系统设计。

(2) 节省板子空间 由于一个PAL可以代替多个SSI TTL芯片，故可减少板子空间，缓和LSI和分散的TTL接口电路之矛盾，提高整个板子的集成度。

(3) 设计灵活 因为是可编程器件，设计者可以根据自己的需要任意编程，构成不同的逻辑组合，故较之任何LSI器件有很大的灵活性。

(4) 高速 PAL运行速度不低于最好的双极型逻辑电路，典型的传输延迟为15ns。

(5) 节省器件清单 PAL仅用现有的29种型号就可以代替90%以上的传统TTL组件，所以大量地节省了器件清单和数据手册。对于用户来说，所用备份器件和种类也大量减少，便于设备的检修和维护。

(6) 保密性强 PAL设有一根加密熔丝，当它被熔断后，PAL内部逻辑关系即无法被读出，而且丝毫不影响使用。

(7) 成本低。

(二) PLD可编程逻辑器件

ASIC的开发层次很多，对于一般逻辑电路的开发可以用可编程逻辑器件(PLD)来实现。在很多情况下，PLD可直接作为ASIC使用。当某一种ASIC大批量使用时，PLD就成了逻辑电路的开发器件。

PLD是用户可自己定义的逻辑器件，基本PLD的框图如图10-3-7所示。

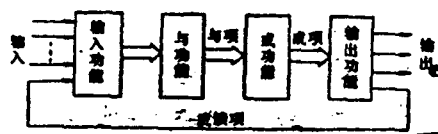


图10-3-7 基本PLD框图

PLD有四类, 1.PROM, 2.FPLA, 3.PAL, 4.GAL。

其中最常用为PAL电路, 最近又提出GAL电路, 我们先把PAL作一介绍, 然后再讲GAL。

PAL的结构及类型

PAL与PROM和PLA是三种最普通的可编程逻辑器件, 统称PLD (Programmable Logic Device)。它们有一相同的基本结构, 其核心由两层AND-OR结构组成, 如图10-3-8。这种基本的AND-OR结构使PLD以布尔乘积项和的方式执行逻辑方程。

PROM、PAL、PLA这三种PLD的主要不同示于表10-3-1, 表10-3-2为三种PLD特性之比较。

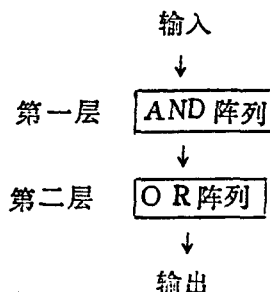


图10-3-8 基本PLD结构

表10-3-1 三种AND-OR可编程的不同组合

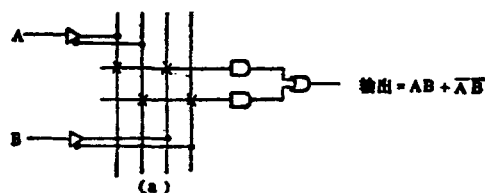
	PROM	PAL	PLA
AND	固定	可编程	可编程
OR	可编程	固定	可编程

从表10-3-2可看出, PAL兼有PROM易懂易用、成本低及PLA编程灵活之特点, 且速度最快, 因此被越来越广泛地使用在各种计算机系统中。

PAL的逻辑表达为一“AND-OR”方程, 利用这种布尔表达式可以覆盖几乎所有的逻辑功能电路。又因PAL的AND阵列可以编程, 所以一个PAL器件可以组合出多种逻辑功能。以2输入AND项馈给OR项得到一输出为例, 就可以完成多种逻辑功能, 如图10-3-9(a)、(b)所示。

表10-3-2 三种PLD特性比较

	PROM	PAL	PLA
功能特性	对所有输入变量全译码	对所有输入变量部分译码	同PAL
	生成全部最小项	生成有限个乘积项	同PAL
	每个输出提供最小项的和	每个输出提供有限个乘积项的和	同PAL
速度	较快	快	慢
灵活性	有限	比PROM灵活	非常灵活
成本	低	低	高
使用性	易懂易用	非常易懂易用	很难掌握使用



(“x”表示此点未熔断, 有AND功能)

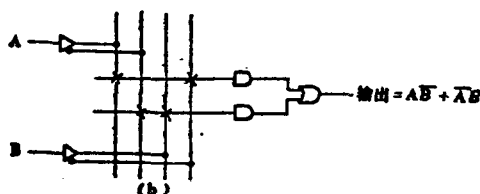


图10-3-9

典型 PAL 片子的详细结构如图 10-3-10

对于 PAL 结构, 最重要的四部分为: AND 阵列, OR 阵列, 输出单元, I/O 端。其中 AND 阵列和 OR 阵列是构成逻辑方程的核心部分。输出单元的主要功能为: 决定输出极性、输出是否有寄存器作为存储单元、组织各种输出、决定反馈途径。I/O 端结构决定是否一个端可被定义为输入端、输出端或动态可控制的 I/O 端。最初生产的 PAL 片子都是有限定的输入端、输出端, 可编程 I/O 端很少, 近来生产的 PAL 器件, 则有更多的可编程 I/O 端。这些端有一控制线, 靠程序控制决定其为输入还是输出, 这样又给使用者增加了很大的灵活性。

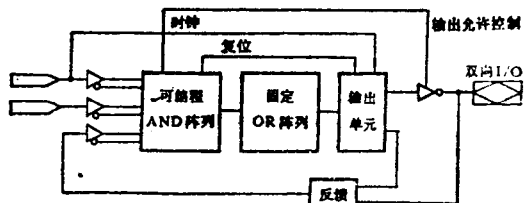


图 10-3-10

PAL 的器件号是唯一的, 从器件号可以确定器件的逻辑操作。PAL 器件号的意义如图 10-3-11。

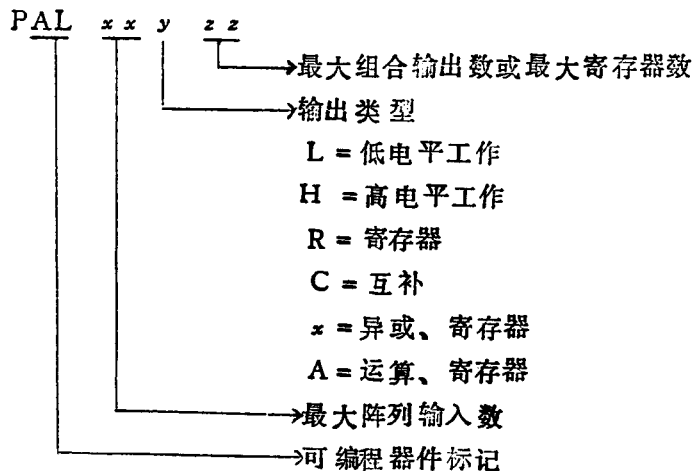


图 10-3-11

例如, PAL10H8 表示阵列输入数为 10, 输出为高电平有效, 有 8 个输出端。PAL16L6 表示阵列输入数为 16, 输出为低电平有效, 有 6 个输出端。图 10-3-12。

图 10-3-13 给出两种最常用的 PAL 的逻辑图。

上面简要介绍各自的特点和结构。在结构图中, “.” 表示硬接线, 用户不可改变。“x” 表示可编程联接, 用户可以改变; “+” 表示不联接。

下面把 PROM, PLA(FPLA) 和 PAL 和新发展的 GAL 作一介绍。

1 PROM

PROM 是七十年代初出现的产品, 其内部逻辑结构如图 10-3-14 所示。

从图中可以看出, PROM 对输入进行全译码, 因而逻辑阵列比较大, 速度较慢, 目前主要应用于存储器, 只有比较小规模 PROM 才用于逻辑电路。