

TI 公司 DSP 器件系列丛书



TMS320LF240x DSP

结构、原理及应用



刘和平

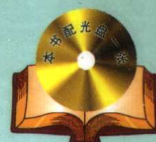
编著

严利平 张学锋 卓清锋



北京航空航天大学出版社

<http://www.buaapress.com.cn>



TMS320LF240x DSP

结构、原理及应用

刘和平

编著

严利平 张学锋 卓清锋

北京航空航天大学出版社

<http://www.buaapress.com.cn>

内 容 简 介

本书介绍了 TMS320LF240x 硬件概况, TMS320LF240x 内部资源, TMS320C24x 寻址方式和指令系统, 程序编写和调试环境等。编写以 TMS320LF240x 模块的原理和应用为主线, 介绍了各个功能模块(或外设)的基本原理, 并列举出相应的应用实例, 同时给出了应用的电路原理接线图和程序清单。书中提供的所有程序均已在设计的实验目标板上调试通过。

本书可作为大学本科生和研究生“数字信号处理器原理及应用”课程的教材, 也可作为数字信号处理器应用开发人员很好的一本参考书。

图书在版编目(CIP)数据

TMS320LF240x DSP 结构、原理及应用/刘和平等编著.

—北京:北京航空航天大学出版社, 2002. 3

ISBN 7-81077-161-2

I. T… II. 刘… III. 数字信号—信号处理—数字
通信系统, TMS320LF240x IV. TP914. 3

中国版本图书馆 CIP 数据核字(2002)第 012181 号

TMS320LF240x DSP 结构、原理及应用

刘和平

编著

严利平 张学锋 卓清锋

责任编辑 蔡 喆

责任校对 陈 坤

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:82317024 传真:82328026

<http://www.buaapress.com.cn>

E-mail: pressell@publica.bj.cninfo.net

河北省涿州市新华印刷厂印装 各地书店经销

*

开本:787×1092 1/16 印张:19.5 字数:499 千字

2002 年 4 月第 1 版 2002 年 4 月第 1 次印刷 印数:5 000 册

ISBN 7-81077-161-2/TP·088 定价:36.00 元(含光盘)

前 言

TMS320LF240x 芯片作为 DSP 控制器 24x 系列的新成员,是 TMS320C2000™平台下的一种定点 DSP 芯片。240x+ 芯片为 C2xx CPU 功能强大的 TMS320™ DSP 结构设计提供了低成本、低功耗、高性能的处理能力,对电机的数字化控制非常有用。几种先进外设被集成到该芯片内,以形成真正的单芯片控制器。在与现存 24x DSP 控制器芯片代码兼容的同时,240x 芯片具有处理性能更好(30MIPS)、外设集成度更高、程序存储器更大、A/D 转换速度更快等特点,是电机数字化控制的升级产品。

240x 芯片包含了多种芯片,可提供不同容量存储器和不同外设,以满足各种应用的要求和性能价格比。FLASH 芯片有高达 32 K 字的存储器,为多种用途的产品提供了经济的可编程解决方案。基于 FLASH 的芯片中有 256 K 字的引导 ROM 使在线编程更加方便。240x 系列芯片还包含 ROM 存储器系列,并与其他 FLASH 芯片引脚完全兼容。

所有 240x 芯片都至少有一个事件管理器模块,用于电机数字化控制应用。该模块的性能包括中间和/或边缘对齐的 PWM 发生器及可编程的死区控制性能,以防止桥式驱动主电路上下桥臂短路。事件管理器模块可实现同步 A/D 转换功能,如果带有双事件管理器(TMS320LF2407)就能用一个 240x DSP 控制芯片对多个电机和/或逆变器进行控制。

高性能 10 位模数转换器(ADC)的转换时间为 500 ns,提供多达 16 路的模拟输入,具有自动排序功能,使最大为 16 路的转换在同一转换期间进行而不会增加 CPU 的开销。

所有该系列的控制器都集成有串行通信接口(SCI),使之能够与系统中的其他控制器进行异步通信(RS-485)。对于要求额外通信接口的系统,2406 和 2407 控制器提供了一个 16 位的同步串行外围接口(SPI);它们还提供了 CAN 通信模块,且符合 CAN2.0B 的规范要求。这些功能的引脚也可设置为通用 I/O 引脚。

本书是作者在开发了多种 TMS320F206、TMS320F24x 和 TMS320LF240x DSP 芯片工程应用项目的基础上编写的。介绍了 TMS320LF240x 硬件概况,TMS320LF240x 系列内部资源,TMS320C24x 寻址方式和指令系统,程序编写和调试环境等。编写以 TMS320LF240x 模块的原理和应用为主线,介绍了各个功能模块(或外设)的基本原理,列举出相应的应用实例,给出了应用的电路原理接线图和程序清单。书中提供的所有程序均在重庆大学—美国德州仪器公司数字信号处理器解决方案实验室设计的实验目标板上调试通过。

成书的过程中,得到了重庆大学电气工程学院电力电子与电力传动系郑连清、李远树、郑群英等老师的大力帮助和支持,他们参与了编写、校对、录入工作;还得到了冼成瑜、杨立勇、杨立辉、李志明等同学的协助,他们为校对、修改做了大量工作,在此一并表示感谢。在这里要感谢美国德州仪器公司大学计划项目所提供的大力支持。

限于编者的水平,书中难免存在错误和不当之处,恳请读者批评指正。

编 者

2002 年 1 月于重庆大学

目 录

第 1 章 TMS320LF240x 概述

1.1	TMS320 系列 DSP 概况	1
1.2	TMS320LF240x 芯片概述	1
1.3	TMS320LF240x DSP CPU 控制器的功能结构图	2
1.4	TMS320LF240x 系列 DSP 引脚功能介绍	5
1.5	TMS320LF240x 系列 DSP 存储器映射图	11
1.6	TMS320LF240x 系列 DSP 外设存储器映射图	14

第 2 章 TMS320LF240x 系列 DSP 内部资源介绍

2.1	TMS320LF240x 系列 DSP 的 CPU 内部功能模块介绍	15
2.2	存储器和 I/O 空间	24
2.3	系统配置和中断	28
2.4	程序控制	46

第 3 章 TMS320C24x 寻址方式和指令系统

3.1	寻址方式	53
3.2	指令集	57
3.3	典型指令说明	67

第 4 章 程序编写和调试环境简介

4.1	程序的编写	74
4.2	调试环境代码编译器 CC 简介	77
4.3	调试一个程序的简单步骤	81
4.4	头文件和命令文件	82

第 5 章 TMS320LF2407 实验模板简介

5.1	TMS320LF2407 实验开发系统介绍	92
5.2	TMS320LF2407 实验目标板各模块功能介绍	93

第 6 章 数字输入/输出模块(I/O)

6.1	数字 I/O 端口概述	96
-----	-------------------	----

6.2 数字 I/O 端口寄存器	96
6.3 I/O 端口应用	102

第 7 章 事件管理器模块(EV)

7.1 事件管理器模块概述	113
7.2 通用定时器	126
7.3 比较单元	143
7.4 脉宽调制电路 PWM	147
7.5 捕获单元	157
7.6 正交编码脉冲(QEP)电路	164

第 8 章 模数转换模块(ADC)

8.1 模数转换模块(ADC)概述	166
8.2 自动排序器的工作原理	166
8.3 ADC 时钟预定标	174
8.4 校准模式	175
8.5 自测试模式	175
8.6 ADC 模块的寄存器	176
8.7 ADC 转换时钟周期	185
8.8 ADC 转换应用举例	185

第 9 章 串行外设接口模块(SPI)

9.1 串行外设接口概述	189
9.2 串行外设接口操作	190
9.3 串行外设接口控制寄存器	196
9.4 串行外设接口应用举例	202

第 10 章 串行通信接口模块(SCI)

10.1 串行通信接口概述	207
10.2 多处理器和异步通信模式	209
10.3 串行通信接口控制寄存器	215
10.4 串行通信接口典型应用举例	221

第 11 章 CAN 控制器模块

11.1 CAN 控制器模块概述	226
11.2 邮 箱	228
11.3 CAN 控制寄存器	231
11.4 CAN 控制器的操作	241
11.5 CAN 控制器的应用举例	245

第 12 章 应用实例

12.1	TMS320LF2407 与图形液晶显示模块接口及应用	250
12.2	I ² C 串行日历时钟与 TMS320LF2407 的接口及应用	268
12.3	用 TMS320LF2407 实现三相 SPWM 波形发生器	276
12.4	串行 EEPROM 的接口编程	285
12.5	TMS320LF2407 可屏蔽中断的实现	292
12.6	TMS320LF2407 捕获单元 CAP 的应用	296
12.7	PID 算法	300

第 1 章 TMS320LF240x 概述

1.1 TMS320 系列 DSP 概况

TMS320 系列包括:定点、浮点、多处理器数字信号处理器和定点 DSP 控制器。TMS320 系列 DSP 的体系结构专为实时信号处理而设计,该系列 DSP 控制器将实时处理能力和控制器外设功能集于一身,为控制系统应用提供了一个理想的解决方案。下列特性使得 TMS320 系列成为很多处理应用的理想选择:

- 灵活的指令集;
- 内在的操作灵活性;
- 高速的运算能力;
- 改进的并行结构;
- 有效的成本。

目前 TI 公司主推的 DSP 有:定点系列 TMS320C2000、TMS320C5000,浮点系列 TMS320C6000。其中 TMS320C6000 系列中也有部分为定点 DSP。

TMS320 系列同一产品系列中的器件具有相同的 CPU 结构,但片内存储器和外设的配置不同。派生的器件集成了新的片内存储器和外设,以满足世界范围内电子市场的不同需求。通过将存储器和外设集成到控制器内部,TMS320 器件减少了系统成本,节约了电路板空间。

1.2 TMS320LF240x 芯片概述

在 TMS320 系列 DSP 的基础上,TMS320LF240x DSP 有以下一些特点:

- 采用高性能静态 CMOS 技术,使得供电电压降为 3.3 V,减小了控制器的功耗;30 MIPS 的执行速度使得指令周期缩短到 33 ns(30 MHz),从而提高了控制器的实时控制能力。

- 基于 TMS320C2xx DSP 的 CPU 核保证了 TMS320LF240x 系列 DSP 代码和 TMS320 系列 DSP 代码兼容。

- 片内高达 32 K 字的 FLASH 程序存储器,高达 1.5 K 字的数据/程序 RAM,544 字双口 RAM(DARAM)和 2 K 字的单口 RAM(SARAM)。

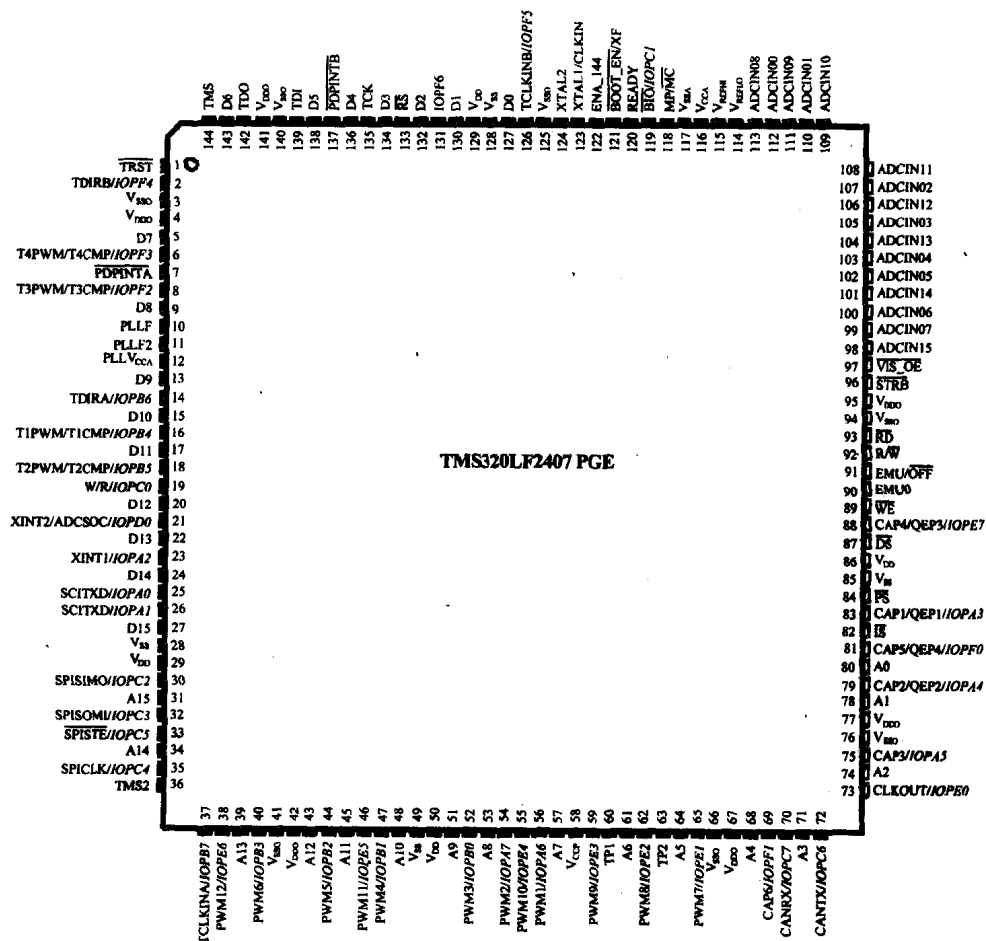
- 两个事件管理器模块 EVA 和 EVB,每个包括:两个 16 位通用定时器;8 个 16 位的脉宽调制(PWM)通道。它们能够实现:三相反相器控制;PWM 的对称和非对称波形;当外部引脚 $\overline{\text{PDPINTx}}$ 出现低电平时快速关闭 PWM 通道;可编程的 PWM 死区控制以防止上下桥臂同时输出触发脉冲;3 个捕获单元;片内光电编码器接口电路;16 通道 A/D 转换器。事件管理器模块适用于控制交流感应电机、无刷直流电机、开关磁阻电机、步进电机、多级电机和逆变器。

- 可扩展的外部存储器(LF2407)总共 192 K 字;64 K 字程序存储器;64 K 字数据存储器;64 K 字 I/O 寻址空间。

- 看门狗定时器模块(WDT)。
- 10 位 A/D 转换器最小转换时间为 500 ns, 可选择由两个事件管理器来触发的两个 8 通道输入 A/D 转换器或一个 16 通道输入的 A/D 转换器。
- 控制器局域网(CAN)2.0 B 模块。
- 串行通信接口(SCI)。
- 16 位的串行外设接口模块(SPI)。
- 基于锁相环的时钟发生器。
- 高达 40 个可单独编程或复用的通用输入/输出引脚(GPIO)。
- 5 个外部中断(电机驱动保护、复位和两个可屏蔽中断)。
- 电源管理包括 3 种低功耗模式, 并且能独立将外设器件转入低功耗模式。

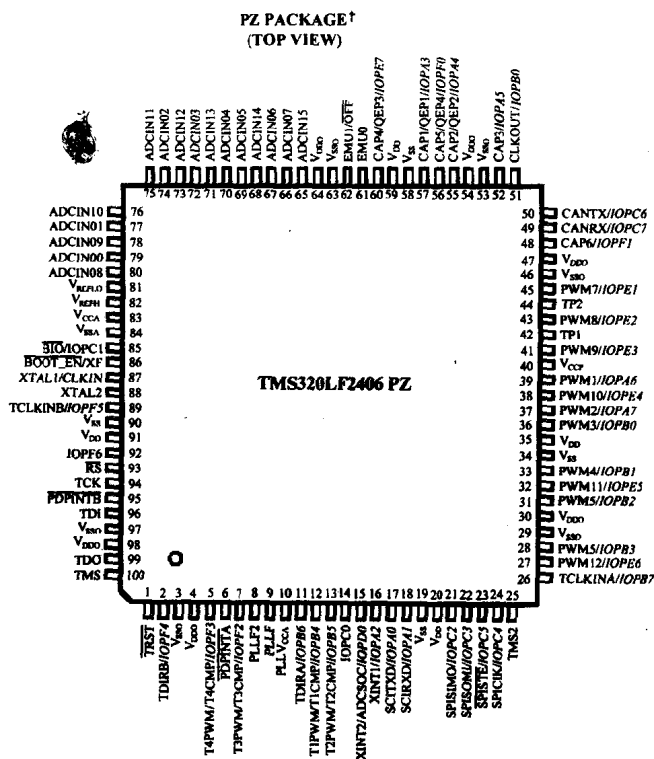
1.3 TMS320LF240x DSP CPU 控制器的功能结构图

以下列出 TMS320LF2407/2406/2402 的 PGE 封装图及 TMS320LF2407 DSP CPU 控制器的功能结构图, 见图 1.1~1.4。



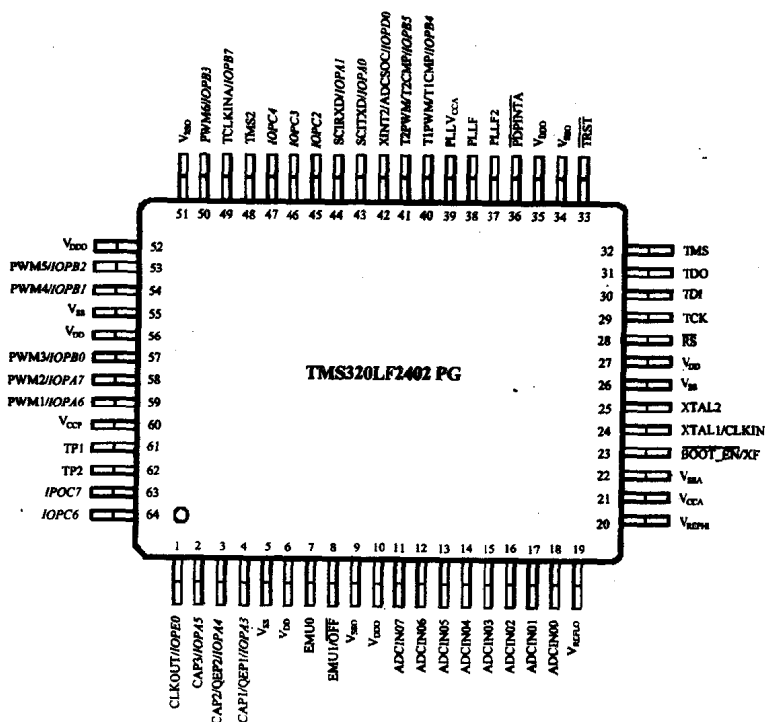
† Bold, italicized pin names indicate pin function after reset.

图 1.1 2407 的 PGE 封装图(俯视图)



† **Bold, italicized pin names** indicate pin function after reset.

图 1.2 2406 的 PGE 封装图(俯视图)



† **Bold, italicized pin names** indicate pin function after reset.

图 1.3 2402 的 PGE 封装图(俯视图)

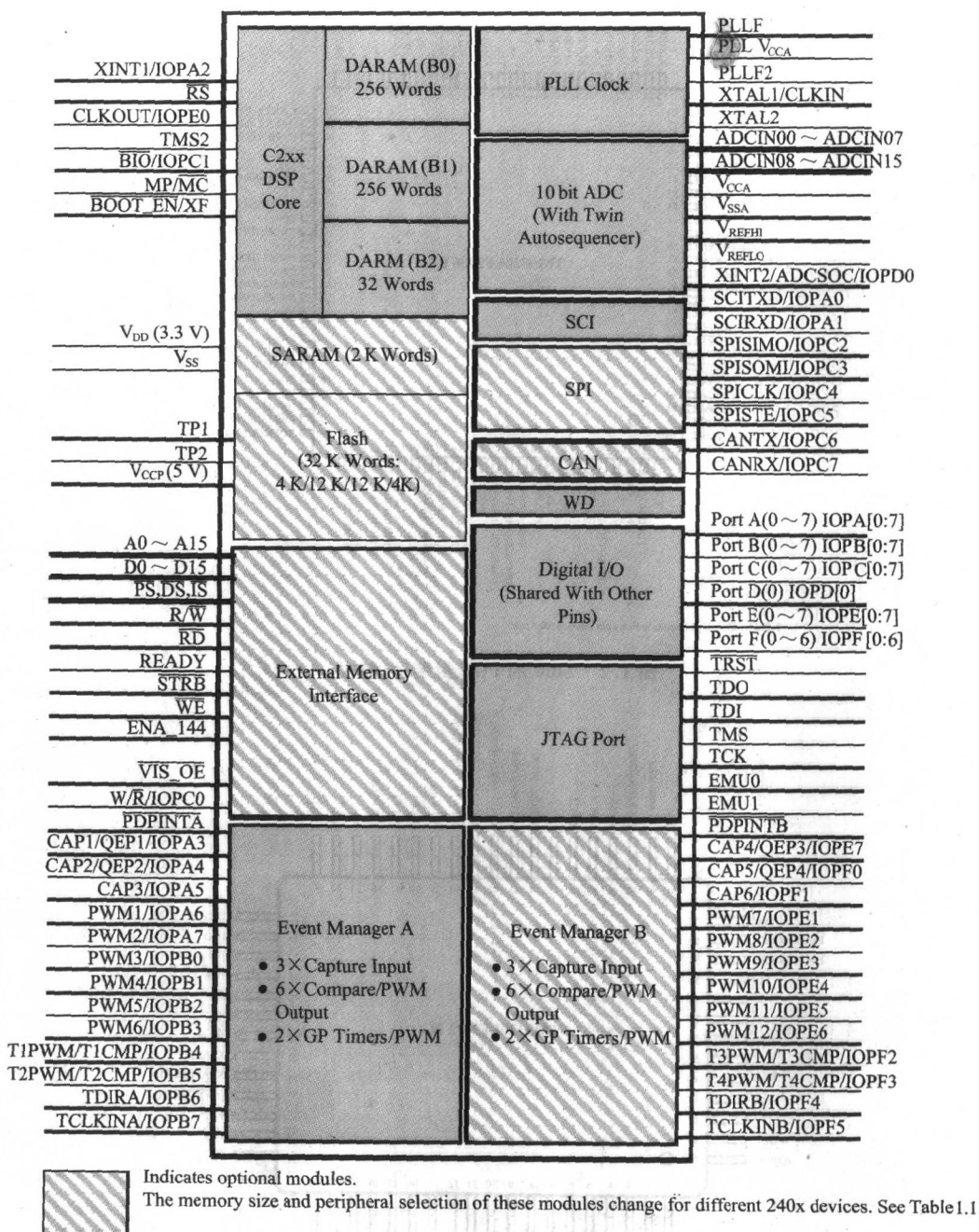


图 1.4 2407 DSP 控制器功能结构

1.4 TMS320LF240x DSP 引脚功能介绍

TMS320LF2407 控制器是所有 240x 控制器中的一种超集控制器,2407 控制器上有所有的信号。表 1.1 列出了 240x 控制器上可用的所有信号。

表 1.1 LF240x 控制器引脚列表

引脚名称	2407	2406	2402	功能描述
事件管理器 A(EVA)				
CAP1/QEP1/IOPA3	83	57	4	捕捉输入 #1/正交编码脉冲输入 #1(EVA)或通用 IO(↑)
CAP2/QEP2/IOPA4	79	55	3	捕捉输入 #2/正交编码脉冲输入 #2(EVA)或通用 IO(↑)
CAP3/IOPA5	75	52	2	捕捉输入 #3(EVA)或通用 IO(↑)*
PWM1/IOPA6	56	39	59	比较/PWM 输出引脚 #1(EVA)或通用 IO(↑)
PWM2/IOPA7	54	37	58	比较/PWM 输出引脚 #2(EVA)或通用 IO(↑)
PWM3/IOPB0	52	36	57	比较/PWM 输出引脚 #3(EVA)或通用 IO(↑)
PWM4/IOPB1	47	33	54	比较/PWM 输出引脚 #4(EVA)或通用 IO(↑)
PWM5/IOPB2	44	31	53	比较/PWM 输出引脚 #5(EVA)或通用 IO(↑)
PWM6/IOPB3	40	28	50	比较/PWM 输出引脚 #6(EVA)或通用 IO(↑)
T1PWM/T1CMP/IOPB4	16	12	40	TMR1 比较输出(EVA)或通用 IO(↑)
T2PWM/T2CMP/IOPB5	18	13	41	TMR2 比较输出(EVA)或通用 IO(↑)
TDIRA/IOPB6	14	11		通用定时器计数方向选择(EVA)或通用 IO;如果 TDIRA=1,选择加计数,否则选择减计数(↑)
TCLKINA/IOPB7	37	26	49	通用定时器(EVA)的外部时钟输入或通用 IO;注意该定时器也可用内部时钟(↑)
事件管理器 B(EVB)				
CAP4/QEP3/IOPE7	88	60		捕捉输入 #4/正交编码脉冲输入 #3(EVB)或通用 IO(↑)
CAP5/QEP4/IOPF0	81	56		捕捉输入 #5/正交编码脉冲输入 #4(EVB)或通用 IO(↑)
CAP6/IOPF1	69	48		捕捉输入 #6(EVB)或通用 IO(↑)
PWM7/IOPE1	65	45		比较/PWM 输出引脚 #7(EVB)或通用 IO(↑)
PWM8/IOPE2	62	43		比较/PWM 输出引脚 #8(EVB)或通用 IO(↑)
PWM9/IOPE3	59	41		比较/PWM 输出引脚 #9(EVB)或通用 IO(↑)
PWM10/IOPE4	55	38		比较/PWM 输出引脚 #10(EVB)或通用 IO(↑)
PWM11/IOPE5	46	32		比较/PWM 输出引脚 #11(EVB)或通用 IO(↑)
PWM12/IOPE6	38	27		比较/PWM 输出引脚 #12(EVB)或通用 IO(↑)
T3PWM/T3CMP/IOPF2	8	7		TMR3 比较输出(EVB)或通用 IO(↑)
T4PWM/T4CMP/IOPF3	6	5		TMR4 比较输出(EVB)或通用 IO(↑)
TDIRE/IOPF4	2	2		通用定时器计数方向选择(EVB)或通用 IO;如果 TDIRB=1,选择加计数,否则选择减计数(↑)

续表 1.1

引脚名称	2407	2406	2402	功能描述	
TCLKINB/IOPF5	126	89		通用定时器(EVB)的外部时钟输入或通用 IO; 注意该定时器也可用内部时钟(↑)	
模数转换器 ADC					
ADCIN00	112	79	18	ADC 的模拟输入 #0	
ADCIN01	110	77	17	ADC 的模拟输入 #1	
ADCIN02	107	74	16	ADC 的模拟输入 #2	
ADCIN03	105	72	15	ADC 的模拟输入 #3	
ADCIN04	103	70	14	ADC 的模拟输入 #4	
ADCIN05	102	69	13	ADC 的模拟输入 #5	
ADCIN06	100	67	12	ADC 的模拟输入 #6	
ADCIN07	99	66	11	ADC 的模拟输入 #7	
ADCIN08	113	80		ADC 的模拟输入 #8	
ADCIN09	111	78		ADC 的模拟输入 #9	
ADCIN10	109	76		ADC 的模拟输入 #10	
ADCIN11	108	75		ADC 的模拟输入 #11	
ADCIN12	106	73		ADC 的模拟输入 #12	
ADCIN13	104	71		ADC 的模拟输入 #13	
ADCIN14	101	68		ADC 的模拟输入 #14	
ADCIN15	98	65		ADC 的模拟输入 #15	
V _{REFHI}	115	82	20	ADC 模拟输入高电平参考电压输入端	
V _{REFLO}	114	81	19	ADC 模拟输入低电平参考电压输入端	
V _{CCA}	116	83	21	ADC 模拟供电电压(3.3 V) ^{&}	
V _{SSA}	117	84	22	ADC 模拟地	
CAN SCI SPI					
CANRX /IOPC7	CANRX	70	49	—	CAN 接收数据引脚或通用 IO (↑)
	IOPC7	70	49	63	
CANTX/ IOPC6	CANTX	72	50	—	CAN 发送数据引脚或通用 IO (↑)
	IOPC6	72	50	64	
SCITXD/IOPA0		25	17	43	SCI 异步串行口发送数据引脚或通用 IO (↑)
SCIRXD/IOPA1		26	18	44	SCI 异步串行口接收数据引脚或通用 IO (↑)
SPICLK/ IOPC4	SPICLK	35	24	—	SPI 时钟引脚或通用 IO (↑)
	IOPC4	35	24	47	
SPISIMO/IOPC2	SPISIMO	30	21	—	SPI 从动输入、主控输出引脚或通用 IO (↑)
	IOPC2	30	21	45	

续表 1.1

引脚名称		2407	2406	2402	功能描述
SPISOMI/IOPC3	SPISOMI	32	22	—	SPI 从动输出、主控输入引脚或通用 IO (↑)
	IOPC3	32	22	46	
SPISTE/IOPC5	SPISTE	33	23	—	SPI 从动发送使能(可选)引脚或通用 IO (↑)
	IOPC5	33	23	—	
外部中断,时钟					
RS		133	93	28	控制器复位引脚;RS使 240x 控制器终止执行并使 PC=0;当RS拉为高电平时,从程序存储器的 0 位置开始执行;RS影响不同的寄存器和状态位;当 WDT 定时时间溢出时,在RS引脚产生一个系统复位脉冲(↑)
PDPINTA		7	6	36	功率驱动保护中断输入引脚;当电机驱动/电源逆变器不正常时,比如出现过电压、过电流等,该中断有效,将 PWM 输出引脚(EVA)置为高阻态;PDPINTA是一个下降沿有效的中断(↑)
XINT1/IOPA2		23	16		外部用户中断 1 或通用 IO;XINT1、2 都是边沿有效,边沿极性可编程(↑)
XINT2/ADCSOC/IOPD0		21	15	42	外部用户中断 2 可作 AD 转换开始输入引脚或通用 IO;XINT1、2 都是边沿有效,边沿极性可编程(↑)
CLKOUT/IOPED		73	51	1	时钟输出或通用 IO;输出时钟为 CPU 时钟或监视定时器时钟,这由系统控制状态寄存器中的 CLKSRC(bit 14)决定;当不用于时钟输出时,就可用作通用 IO(↑)
PDPINTB		137	95		功率驱动保护中断输入引脚;当电机驱动/电源逆变器不正常时,比如出现过电压、过电流等,该中断有效,将 PWM 输出引脚(EVA)置为高阻态。PDPINTB是一个下降沿有效的中断(↑)
振荡器、PLL、FLASH、引导程序及其他					
XTAL1/CLKIN		123	87	24	PLL 振荡器输入引脚;晶振或时钟源输入到 PLL,该引脚接到参考晶振的一边
XTAL2		124	88	25	晶振、PLL 振荡器输出引脚;该引脚接到参考晶振的一边,当 EMU1/OFF 引脚为低电平时,该引脚呈高阻态
PLL VCCA		12	10	39	PLL 电压(3.3 V)
BOOT_EN/XF		121	86	23	引导 ROM 使能,通用 IO,XF 引脚;该引脚在复位期间被采样输入以更新 SCSR1.3(BOOT_EN位),然后驱动给 XF 作为输出信号;复位之后,XF 被置为高电平;BOOT_EN只能用无源回路驱动(↑)
IOPF6		131	92		通用 I/O 口(↑)
PLL F		11	9	38	滤波器输入 1
PLL F2		10	8	37	滤波器输入 2
VCCP(5 V)		58	40	60	FLASH 编程电压输入引脚;在硬件仿真时该引脚电平必须为 5 V,在程序下载时该引脚电平可为 5 V 或 0 V,在程序下载进 DSP 之后运行时该引脚必须接地;在该引脚上不要使用任何限流电阻
TP1(FLASH)		60	42	61	FLASH 阵列测试引脚,不接
TP2(FLASH)		63	44	62	FLASH 阵列测试引脚,不接

续表 1.1

引脚名称	2407	2406	2402	功能描述
$\overline{\text{BIO}}/\text{IOPCI}$	119	85		分支控制输入引脚;由 BCND pma, $\overline{\text{BIO}}$ 指令查询该引脚电平,若为低,则执行分支程序;如果不用该引脚,则必须将其拉为高电平;所有控制器复位时将该位配置为分支控制输入,当不用此功能时,该引脚就可作通用 IO($\uparrow$)
仿真和测试				
EMU0	90	61	7	带内部上拉仿真器 I/O#0;当 TRST 拉高时,该引脚用作来自或到仿真器系统的中断,通过 JTAG 扫描可定义为 I/O 引脚($\uparrow$)
EMU1/ $\overline{\text{OFF}}$	91	62	8	仿真器引脚#1;该引脚可禁止所有输出;当 TRST 拉高时,该引脚用作来自或到仿真器系统的中断,通过 JTAG 扫描可定义为 I/O 引脚;当 TRST 拉低时,该引脚设定为 $\overline{\text{OFF}}$ 引脚;当低电平有效时,所有输出引脚驱动为高阻态;注意, $\overline{\text{OFF}}$ 只用于测试和仿真目的(而不用多处理应用),因此,对于 $\overline{\text{OFF}}$ 状态,有以下, $\text{TRST}=0$, $\text{EMU0}=0$, $\text{EMU1}/\overline{\text{OFF}}=0$ ($\uparrow$)
TCK	135	94	29	带内部上拉 JTAG 测试时钟($\uparrow$)
TDI	139	96	30	带内部上拉 JTAG 测试数据输入;在 TCK 的上升沿从 TDI 输入的数据被锁存到选定的寄存器(指令或数据)($\uparrow$)
TDO	142	99	31	JTAG 扫描输出,测试数据输出;在 TCK 的下降沿,选定寄存器中的内容(指令或数据)被移出到 TDO 引脚($\uparrow$)
TMS	144	100	32	带内部上拉的 JTAG 测试方式选择;该串行控制输入在 TCK 的上升沿锁存到 TAP 控制器中
TMS2	36	25	48	带内部上拉的 JTAG 测试方式选择 2;该串行控制输入在 TCK 的上升沿锁存到 TAP 控制器中;仅用于测试和仿真;在用户应用中,该引脚可不接($\uparrow$)
TRST	1	1	33	带内部下拉的 JTAG 测试复位;当 TRST 拉高时,扫描系统控制控制器的运行;若该信号引脚未接或为低电平,控制器运行在功能方式,并且测试复位信号无效($\downarrow$)
地址、数据和存储器控制信号				
$\overline{\text{DS}}$	87			数据空间选通引脚; $\overline{\text{IS}}$ 、 $\overline{\text{DS}}$ 和 $\overline{\text{PS}}$ 总保持为高电平,除非要用低电平请求访问相关的外部存储器或 I/O 空间;在复位、掉电和 EMU1 低电平有效期间,这些引脚为高阻态
$\overline{\text{IS}}$	82			I/O 空间选通引脚; $\overline{\text{IS}}$ 、 $\overline{\text{DS}}$ 和 $\overline{\text{PS}}$ 总保持为高电平,除非要用低电平请求访问相关的外部存储器或 I/O 空间;在复位、掉电和 EMU1 低电平有效期间,这些引脚为高阻态
$\overline{\text{PS}}$	84			程序空间选通引脚; $\overline{\text{IS}}$ 、 $\overline{\text{DS}}$ 和 $\overline{\text{PS}}$ 总保持为高电平,除非要用低电平请求访问相关的外部存储器或 I/O 空间;在复位、掉电和 EMU1 低电平有效期间,这些引脚为高阻态
R/ $\overline{\text{W}}$	92			读/写选定信号;它指明了与外部装置通信期间信号的传送方向,通常情况下为读方式(高电平),除非低电平请求执行写操作;当 EMU1/ $\overline{\text{OFF}}$ 低电平有效和掉电期间该引脚被置为高阻态

续表 1.1

引脚名称		2407	2406	2402	功能描述
W/ $\overline{R}$ /IOPC0	W/ $\overline{R}$	19			写/读选定或通用 IO; 是一个对“0 等待状态”存储器接口很有用的反向传输读/写信号; 通常为低电平, 除非在执行存储器写操作(↑)
	IOPC0	19	14		
$\overline{RD}$		93			读使能选通引脚; 该选择表示一个有效的外部读周期, 它对所有外部程序、数据和 I/O 读有效; 当 EMU1/ $\overline{OFF}$ 低电平有效时, 该引脚被置为高阻态
$\overline{WE}$		89			写使能选通引脚; 该信号下降沿表示该控制器驱动外部数据线(D15~D0), 它对所有外部程序、数据和 I/O 写有效; 当 EMU1/ $\overline{OFF}$ 低电平有效时, 该引脚被置为高阻态
$\overline{STRB}$		96			外部存储器访问选通; 该引脚总为高电平, 除非插入一个低电平来表示一个外部总线周期; 在访问任意的片外空间时该信号有效; 当 EMU1/ $\overline{OFF}$ 低电平有效时和掉电期间, 该引脚被置为高阻态
READY		120			访问外部设备时 READY 被拉低来增加等待状态; 它表示一个外部器件为将要完成的总线处理做好准备, 若该外设未准备好, 则将 READY 拉为低电平; (此时, 处理器将等待一个周期, 并且再次检测 READY); 注意, 若要处理器执行 READY 检测, 程序至少要设定一个软件等待状态, 为了满足外部 READY 时序要求, 等待状态发生控制寄存器(WSGR)至少要设定一个等待状态(↑)
MP/ $\overline{MC}$		118			微处理器/微控制器方式选择; 复位期间该引脚若为低电平, 则工作在微控制器方式下, 并从内部程序存储器(FLASH EEPROM)的 0000h 开始程序执行; 若在复位期间为高电平, 则工作在微处理器方式下, 并从外部程序存储器的 0000h 开始程序执行; 同时, 将 MP/ $\overline{MC}$ 位(SCSR2 寄存器的第 2 位)置位(↓)
ENA_144		122			高电平有效时使能外部接口信号; 若为低电平, 则 2407 与 2406、2402 控制器一样, 也就是说没有外部存储器, 如果 DS 为低, 则产生一个无效地址, 该引脚内部下拉(↓)
$\overline{VIS_OE}$		97			透视度(VIS)输出使能(当数据总线输出时有效); 在透视度方式下, 在外部数据总线驱动为输出的任何时候该引脚有效(为低电平); 当运行在透视度方式下, 该引脚可用作外部编码逻辑以防止数据总线冲突
A0		80			16 位地址总线的 bit 0
A1		78			16 位地址总线的 bit 1
A2		74			16 位地址总线的 bit 2
A3		71			16 位地址总线的 bit 3
A4		68			16 位地址总线的 bit 4
A5		64			16 位地址总线的 bit 5
A6		61			16 位地址总线的 bit 6

续表 1.1

引脚名称	2407	2406	2402	功能描述
A7	57			16 位地址总线的 bit 7
A8	53			16 位地址总线的 bit 8
A9	51			16 位地址总线的 bit 9
A10	48			16 位地址总线的 bit 10
A11	45			16 位地址总线的 bit 11
A12	43			16 位地址总线的 bit 12
A13	39			16 位地址总线的 bit 13
A14	34			16 位地址总线的 bit 14
A15	31			16 位地址总线的 bit 15
D0	127			16 位数据总线的 bit 0 (↑)
D1	130			16 位数据总线的 bit 1 (↑)
D2	132			16 位数据总线的 bit 2 (↑)
D3	134			16 位数据总线的 bit 3 (↑)
D4	134			16 位数据总线的 bit 4 (↑)
D5	138			16 位数据总线的 bit 5 (↑)
D6	143			16 位数据总线的 bit 6 (↑)
D7	5			16 位数据总线的 bit 7 (↑)
D8	9			16 位数据总线的 bit 8 (↑)
D9	13			16 位数据总线的 bit 9 (↑)
D10	15			16 位数据总线的 bit 10 (↑)
D11	17			16 位数据总线的 bit 11 (↑)
D12	20			16 位数据总线的 bit 12 (↑)
D13	22			16 位数据总线的 bit 13 (↑)
D14	24			16 位数据总线的 bit 14 (↑)
D15	27			16 位数据总线的 bit 15 (↑)
供电电源				
V _{DD}	29, 50, 86, 129	20, 35, 59, 91	6, 27, 56	内核电源电压 +3.3 V, 数字逻辑电源电压
V _{DDO}	4, 42, 67, 77, 95, 141	4, 30, 47, 54, 64, 98	10, 35, 52	I/O 缓冲器电源电压 +3.3 V, 数字逻辑和缓冲器电源电压
V _{SS}	28, 49, 85, 128	19, 34, 58, 90	5, 26, 55	内核接地, 数字参考地
V _{SSO}	3, 41, 66, 76, 95, 125, 140	3, 29, 46, 53, 63, 97	9, 34, 51	I/O 缓冲器接地, 数字逻辑和缓冲器参考地

注: 1. 粗、斜体引脚名称表明复位后的引脚功能。

2. 复位后所有的通用 IO 为输入状态。

3. V_{CCA}与数字供电电压分开供电(V_{SSA}与数字地分开), 以达到 ADC 的精确度并提高抗干扰能力。

4. 为了控制器能够正常地运行, 所有的电源引脚(V_{DD}、V_{DDO}、V_{SS}、V_{SSO})必须正确连接, 任一电源引脚都不能悬空。

5. (↑)为内部上拉, (↓)为内部下拉(典型的上拉/下拉有效值为±16 μA)。