

第2章

基本電路

2-0 緒 論

在第一章中曾說明一個序向系統實際上是由一個組合系統和一些記憶元件加以回授而構成的，有關組合系統的基本電路，我們已經於本書上冊中介紹過了。至於記憶元件，則一般以正反器（flip-flop）最為常用，因此在本章中將介紹各種形式的正反器及其運用，此外並將介紹序向系統中最常見的一些基本電路，包括計數器（counter）、移位暫存器（shift register）以及乘法運算器（multiplier）等等。

2-1 二進儲存—基本正反器

如果一個裝置具有兩種不同的穩定狀態，足以做為二進制系統中的記憶元件，符合此特性的任何電路，均可稱之為正反器（flip-flop），或稱之為“雙穩態復振器”（bistable multivibrators）。

正反器的構造包括輸入與輸出兩部份，輸入部份通常為一個或一個以上的階層輸入（Level input）以及一個脈衝輸入（pulse input），前者用以決定正

反器的次一輸出，而後者則用以啟動（Trigger）正反器動作。此外尚可以有一些控制的輸入，例如置定（preset）與清除（Clear）等等。輸出部分則有兩個，常以 Q 及 $\bar{Q}$ 來代表，這兩個輸出之值必為互補，亦即 Q 為 1 時 $\bar{Q}$ 為 0，反之亦然。

常用的正反器又可依其不同的性質而予以分類，茲分述如下：

2-1-1 依電路特性分

正反器由於其電路啟動（trigger）方式之不同，而可以分為以下三種不同的形式：

(1) 基本正反器（Basic flip-flop）：

此類正反器又可稱為 RS 門（RS-latch），通常是由兩個「反及」閘或是兩個「反或」閘所構成。

圖 2-1 是由兩個「反或」閘所組成的基本正反器，其中「反或」閘的輸出各回授至另一「反或」閘的輸入端。其右邊的(b)圖則是該正反器的邏輯真值表。

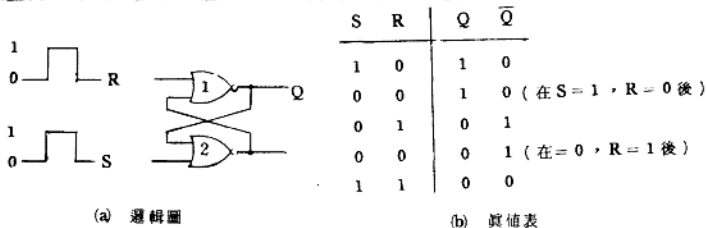
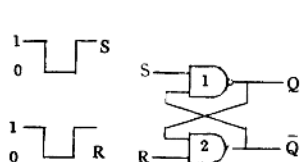


圖 2-1 「反或」閘基本正反器

此種正反器有兩個輸入端，分別為 R 及 S ，在正常狀況下， R 與 S 之輸入均為 0（低電位），故在真值表中，當 $RS = 00$ 時，其狀態不變，即保持原有的 Q 及 $\bar{Q}$ 值。而當 $RS = 01$ 時，則 $Q = 1$ ， $\bar{Q} = 0$ ，我們稱此狀態為置定狀態（set-state），若 $RS = 10$ 時， $Q = 0$ ， $\bar{Q} = 1$ ，則稱之為重定狀態（reset-state）。但是當 $RS = 11$ 時， $Q = 0$ ， $\bar{Q} = 0$ ，這種輸出，不是我們所希望的，因此在實際的應用時，應盡量避免在 R 與 S 上同時輸入高電位的情況！

圖 2-2 則是由兩個「反及」閘所組成的基本正反器，圖右則是其邏輯真值表



(a) 邏輯圖

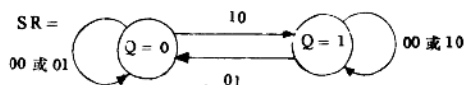
S	R	Q	Q
1	0	0	1
1	1	0	1 (在 $S = 1, R = 0$ 後)
0	1	1	0
1	1	1	0 (在 $S = 0, R = 1$ 後)
0	0	1	1

(b) 真值表

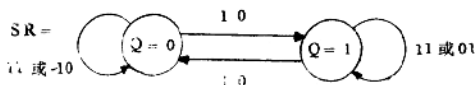
圖 2-2 「反及」開基本正反器

，這種正反器恰恰與上述的「反或」開正反器相反，在正常狀況下，其輸入 R，S 均為 1（高電位）因此當 $RS = 11$ 時，其狀態不變，當 $RS = 01$ 時，變為重定狀態，而當 $RS = 10$ 時，則變為置定狀態，只有在 $RS = 00$ 時， $Q = 1$ ，不是我們所希望的，因此必須避免！

這兩種基本正反器的操作特性，也可以用狀態圖表示之，如圖 2-3 所示，其中(a)為「反或」開基本正反器之狀態圖，(b)則為「反及」開基本正反器之狀態圖。



(a)



(b)

圖 2-3 狀態圖

綜合以上的描述，我們可以將基本正反器的特性歸納為以下三點：

- 1 基本正反器是一個具有兩個狀態的序向電路。
- 2 基本正反器是一個異步序向電路。
- 3 基本正反器具有記憶的特性，故可以做為一記憶元件。

(2) 邊觸正反器 (Edge-triggered flip-flop)：

所謂邊觸正反器，通常是由一個基本正反器加上一個脈衝輸入而成，當有脈衝輸入時，就允許基本正反器根據輸入組合而變化至下一狀態，也就是說每一個脈衝啟動該正反器一次。而啟動的時間則分為下列兩種：

- 1 正邊啟動 (positive edge-trigger)：當脈衝由 0 升至 1 時啟動之，此種正反器稱為正邊啟動正反器。
- 2 負邊啟動 (Negative edge-trigger)：當脈衝由 1 降至 0 時啟動之，此種正反器稱為負邊啟動正反器。

圖 2-4(a)及(b)分別表示了這兩種正反器的啟動時間。茲以負邊啟動之 RS 正反器為例，其線路圖及邏輯真值表如圖 2-5 所示，表中之 CK 欄之 ↓ 箭號代表當脈衝由 1 變為 0 的情況，讀者可驗證之。

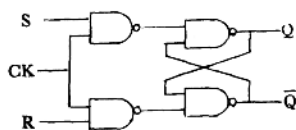


(a) 正邊啟動



(b) 負邊啟動

圖 2-4



(a) 電路圖

CK	S	R	Q	$\bar{Q}$
↓	0	1	0	1
↓	0	0	0	1 (在 $S=0, R=1$ 後)
↓	1	0	1	0
↓	0	0	1	0 (在 $S=1, R=0$ 後)
↓	1	1	1	1

(b) 真值表

圖 2-5 邊觸正反器

注意在圖 2-5(b)中，真值表的最後一列 $SR = 11$ 的情況下， $Q = 1$ ， $Q = 1$ ，不是我們所希望的，故應避免之。

(3)主副正反器 (master-slave flip-flop)：

主副正反器在構造上是由兩個基本正反器串連所構成，其中前一級為“主”(master)，後一級為“副”(slave)。一個主副正反器的動作也是由脈衝來控制的，它包含了四個步驟：

1. 將主級與副級隔絕。
2. 允許信號輸入主級。
3. 切斷信號之輸入。
4. 將主級之信號傳至副級。

其中 1，2，3，4，各對應於脈衝的某一瞬間，如圖 2-6 所示。

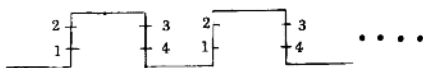
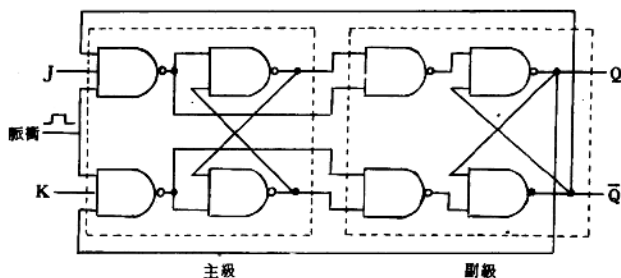


圖 2-6 主副正反器之脈衝動作

由這四個步驟我們可以知道，一個主副正反器每接受一個脈衝完畢後，才能將一個主級輸入端的信號傳送至副級的輸出端，亦即完成一次記憶。而在脈衝來到時，信號從正反器的輸入端至輸出端並非是直接傳送，而是在不同的時間下一步一步地傳送的，因此正反器的輸入端與輸出端事實上一直是隔絕著的，這是主副正反器的特徵，而由於這個特徵，使得主副正反器得以完全免除了第一章中所提到的競走問題，因此在實際的序向系統中，此類正反器的應用也最為廣泛。

茲以一般應用最廣的 JK 主副正反器為例，它是由兩個「反及」閘基本正反器所構成，如圖 2-7(a)所示，其真值表則見圖 2-7(b)，表中的 CK 一欄則代表每一脈衝做一次狀態改變，讀者可驗證之。



(a) 主副正反器

CK	J	K	Q	$\bar{Q}$
	0	0	不變 (即 $0 \rightarrow 0, 1 \rightarrow 1$)	
	0	1	0	1
	1	0	1	0
	1	1	反相 (即 $0 \rightarrow 1, 1 \rightarrow 0$)	

(b) 真值表

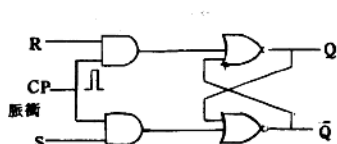
圖 2-7

2-1-2 依輸出輸入特性分

正反器依其不同的輸入組合條件而決定其次一輸出值，因此不同的正反器就具有不同的輸出特性，依此而可以將正反器分為如下四種：（以下均以邊沿正反器為例。）

(1) RS 正反器 (RS flip-flop) :

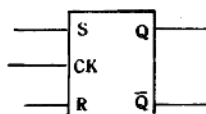
RS 正反器可以由「反及」閘基本正反器外加兩個「反及」閘構成（如圖 2-5），也可以由「反或閘基本正反器外加兩個「及」閘構成，如圖 2-8(a)所示，其輸入輸出特性表如圖 2-8(c)，表中的 Q 代表現在之輸出狀態，Q (t +



(a) 邏輯圖

Q	S	R	Q (t + 1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不定

(c) 特性表



(b) 符號

	SR		S	
	00	01	11	10
Q	1		X	X

R

(d) 特性方程式

圖 2-8 RS 正反器

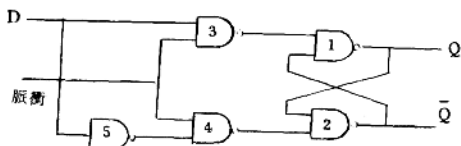
1) 則代表次一輸出狀態。需注意當 $RS = 11$ 時，次一輸出狀態為未定值，因此不可使用此輸入組合，這是 RS 正反器之缺點。RS 正反器之一般符號如圖 2-8 (b)，其特性方程式 (Characteristic equation) 則可以由圖 2-8 (d) 之坎諾圖導出如下：

$$Q (t + 1) = S + RQ \quad (2 - 1)$$

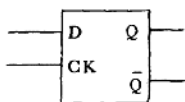
(2) D 正反器 (D flip-flop) :

D 正反器是由 RS 正反器外加一個反閘所構成，如圖 2-9 (a) 所示，其輸入輸出特性表則見圖 2-9 (b)，由表中可知其特性事實上只是在脈衝來臨時將其輸入信號記住，而維持此輸出至下一脈衝而已，因此其次一輸出僅與輸入有關，而與其現在狀態無關。D 正反器的一般符號如圖 2-9 (b)，其特性方程式則可由圖 2-9 (d) 之坎諾圖導出如下：

$$Q (t + 1) = D \quad (2 - 2)$$



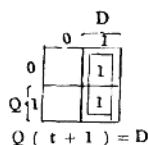
(a) 邏輯圖



(b) 符號

Q	D	Q (t + 1)
0	0	0
0	1	1
1	0	0
1	1	1

(c) 特性表



(d) 特性方程式

圖 2-9 D 正反器

(3) JK 正反器 (JK flip-flop) :

JK 正反器如圖 2-10 (a) 所示，是由 RS 正反器加以回授而形成，由於這個回授而使得當輸入 $JK = 11$ 時，此正反器不再是未定值，因此較原先的 RS 正反器為優。由圖 2-10 (c) 之特性表中，我們也可看出 JK 正反器容許輸入為 11 的情況，這時它會將 Q 改變狀態，也就是 0 變 1，1 變 0，除此之外，JK 正反器與 RS 正反器在其他輸入來說，可稱是完全一樣。圖 2-10 (b) 是 JK 正反器的一般符號，其特性方程式則可以由圖 2-10 (d) 之坎諾圖導出如下：

$$Q(t+1) = J\bar{Q} + \bar{K}Q \quad (2-3)$$

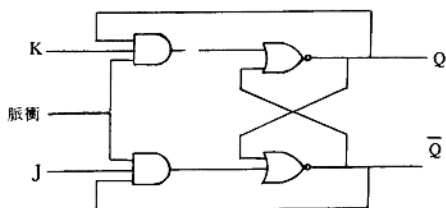
(4) T 正反器 (T flip-flop) :

T 正反器實際上是一個單一輸入的 JK 正反器，它可由 JK 正反器將二個輸入端連在一起而構成，如圖 2-11 (a) 所示，其特性為當 T 輸入為 0 時，狀態不變，當 T 輸入為 1 時，狀態改變，如圖 2-11 (c) 之特性表所示。T 正反器的一般符號見圖 2-11 (b)，其特性方程式則可由圖 2-11 (b)，其特性方程式則可由圖 2-11

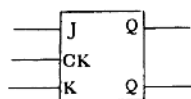
(d)之坎諾圖導出如下：

$$Q(t+1) = T\bar{Q} + \bar{T}Q$$

(2-4)



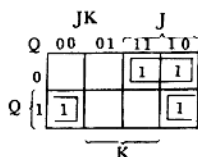
(a) 邏輯圖



(b) 符號

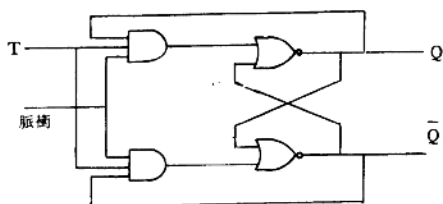
Q	J	K	Q (t + 1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(c) 特性表

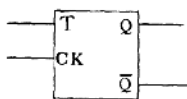


(d) 特性方程式

圖 2-10 JK 正反器



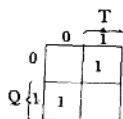
(a) 邏輯圖



(b) 符號

Q	T	Q (t + 1)
0	0	0
0	1	1
1	0	1
1	1	0

(c)



(d) 特性方程式

圖 2-11 特性表

2-2 實用上之正反器

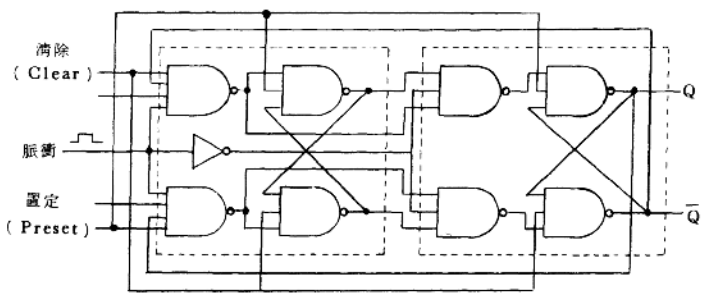
2-2-1 常用正反器之形式

上節中我們介紹了各種不同特性的正反器，包括了RS、D、JK、以及T正反器等等，但是一個完整的正反器，無論是以上那一種，除了這些輸入端（包括脈衝輸入）外，通常還有一些所謂的控制輸入，用以直接控制正反器的狀態變化，這些控制輸入最常見的包括置定（PReset）及清除（CLear）兩種，前者用以將正反器的狀態（Q）置定為1，後者則將其清除為0。

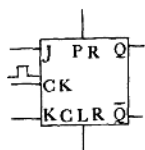
因此以JK主副正反器為例，一個完整的正反器如圖2-12(a)所示。

注意在圖2-12(c)之狀態表中，PR及C < L之正常輸入均為1，在二者均為1的狀況下，正反器之動作與上節中所述完全相同。但當PR = 0，C < L = 1時，無論JK為何及是否有脈衝，Q均為1，而當PR = 1，C < L = 0時，恰恰相反，Q均為0，若PR = 0且C < L = 0其輸出將為不定值，故此狀況必須避免。

又在圖2-12(c)之狀態表中，X號代表“隨意”（don't care），即可為0亦可為1。



(a) 邏輯圖



(b) 符號

PR	CLR	CK	J	K	Q	$\bar{Q}$
0	1	×	×	×	1	0
1	0	×	×	×	0	1
0	0	×	×	×	未定	
1	1	脈衝	0	0	不變 (即 $0 \rightarrow 0, 1 \rightarrow 1$)	
1	1	脈衝	0	1	0	1
1	1	脈衝	1	0	1	0
1	1	脈衝	1	1	反相 (即 $0 \rightarrow 1, 1 \rightarrow 0$)	

(c) 狀態表

圖 2-12 一個完整的 JK 正反器

2-2-2 正反器之取代

正反器之種類雖多，但在實際的運用上，只須要有其中的一兩種就已足夠了，這是由於正反器之間往往可以外加一些邏輯電路而達成相同的功能，因此可以互相取代。例如將 JK 正反器的二輸入端連接，就變成了 T 正反器了。在圖 2-13 中，我們列出了以 RS 正反器取代其他正反器的四種方法，以便於讀者運用時之參考。在圖中的狀態表一欄，是以 Q_n 代表現在狀態，而以 Q_{n+1} 代表次一狀態。

電路	狀態表	符 號	完整的正反器																	
	<table border="1"> <tr> <th>t_n</th><th>t_{n+1}</th></tr> <tr> <td>J</td><td>K</td><td>Q_{n+1}</td></tr> <tr> <td>0</td><td>0</td><td>Q_n</td></tr> <tr> <td>0</td><td>1</td><td>0</td></tr> <tr> <td>1</td><td>0</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>$\overline{Q_n}$</td></tr> </table>	t_n	t_{n+1}	J	K	Q_{n+1}	0	0	Q_n	0	1	0	1	0	1	1	1	$\overline{Q_n}$		
t_n	t_{n+1}																			
J	K	Q_{n+1}																		
0	0	Q_n																		
0	1	0																		
1	0	1																		
1	1	$\overline{Q_n}$																		
	<table border="1"> <tr> <th>t_n</th><th>t_{n+1}</th></tr> <tr> <td>T</td><td>Q_{n+1}</td></tr> <tr> <td>0</td><td>0</td></tr> <tr> <td>1</td><td>1</td></tr> </table>	t_n	t_{n+1}	T	Q_{n+1}	0	0	1	1											
t_n	t_{n+1}																			
T	Q_{n+1}																			
0	0																			
1	1																			
	<table border="1"> <tr> <th>t_n</th><th>t_{n+1}</th></tr> <tr> <td>CK</td><td>Q_{n+1}</td></tr> <tr> <td>$\uparrow$ 或 $\downarrow$</td><td>$\overline{Q_n}$</td></tr> </table>	t_n	t_{n+1}	CK	Q_{n+1}	$\uparrow$ 或 $\downarrow$	$\overline{Q_n}$													
t_n	t_{n+1}																			
CK	Q_{n+1}																			
$\uparrow$ 或 $\downarrow$	$\overline{Q_n}$																			
	<table border="1"> <tr> <th>t_n</th><th>t_{n+1}</th></tr> <tr> <td>T</td><td>Q_{n+1}</td></tr> <tr> <td>0</td><td>Q_n</td></tr> <tr> <td>1</td><td>$\overline{Q_n}$</td></tr> </table>	t_n	t_{n+1}	T	Q_{n+1}	0	Q_n	1	$\overline{Q_n}$											
t_n	t_{n+1}																			
T	Q_{n+1}																			
0	Q_n																			
1	$\overline{Q_n}$																			

圖 2-13 以 RS 正反器取代其它的正反器

中，我們列出了以RS正反器取代其他正反器的四種方法，以便於讀者運用時之參考。在圖中的狀態表一欄，是以 Q_n 代表現在狀態，而以 Q_{n+1} 代表次一狀態。其餘符號則均與前述者相同。

2-2-3 實用上的TTL/SSI正反器

目前市面上常用的正反器均以積體電路的形式出現，以TTL積體電路為最多，其編號為54或74字頭，茲將其各種不同之類形及編號列表於後，其中的個數一欄，表示該積體電路中所包含正反器的個數，編號中有L的則代表低功率之積體電路，有H的則代表高功率的積體電路。

種 類	電路特性	控 制 輸 入	個數	TTL 編 號
JK	邊觸	PR, CLR	1	54/7470
JK	主副	PR, CLR	1	54/7472
JK	主副	CLR	2	54/7473
D	邊觸	PR, CLR	2	54/7474
JK	主副	PR, CLR	2	54/7476
JK	主副	PR, CLR	1	54/74104
JK	主副	PR, CLR	1	54/74105
JK	主副	CLR	2	54/74107
RS	主副	PR, CLR	1	54/74L71
JK	主副	PR, CLR	1	54/74L72
JK	主副	CLR	2	54/74L73
D	邊觸	PR, CLR	2	54/74L74
JK	主副	PR, CLR	2	54/74L78
JK	主副	PR	1	54H/74H71
JK	主副	PR, CLR	1	54H/74H72
JK	主副	CLR	2	54H/74H73
D	邊觸	PR, CLR	2	54H/74H74
JK	主副	PR, CLR	2	54H/74H76

JK	主副	PR, CLR	2	54H/74H78
JK	負邊啓動	PR	1	54H/74H101
JK	負邊啓動	PR, CLR	1	54H/74H102
JK	負邊啓動	CLR	2	54H/74H103
JK	負邊啓動	PR, CLR	2	54H/74H106
JK	負邊啓動	PR, CLR	2	54H/74H108

2-3 計數器之設計

計數器無論是在計算機、通信、控制以及電子儀器等各方面，均有極為廣泛的應用，它可說是由正反器串連而構成的一個序向系統，其基本功能在於“記住”輸入脈衝的個數，因此它必須有記憶的能力。它常常被用來測量頻率、週期，做數學運算，或是用來做為除頻器 (frequency divider)。

一般計數器又可分為兩大類，即漣波計數器 (Ripple counter) 與同步計數器 (Synchronous counter)，前者是屬於異步序向電路，因此又稱為異步計數器 (Asynchronous counter)，後者則屬於同步序向電路，其所有的正反器均是在同一個脈衝的控制下而動作。通常任何的計數器，無論其中的正反器是邊觸正反器或是主副正反器，該計數器對於脈衝的反應均是屬於邊觸型的。

2-3-1 異步計數器

為使讀者易於瞭解，此處先用一個例子來加以說明：

【例 2-1】 試利用四個 JK 正反器設計一個 16 進位漣波計數器 (Modulo-16 ripple counter)。

【解】 由於有四個正反器，因此又可稱它為一個四位元的計數器 (4-bit Counter)，其邏輯電路如圖 2-14(a) 所示。

現在我們來看它是如何計數的。茲假定所用的 JK 正反器是屬於負邊啓動的，且一開始這些正反器之狀態均為 0 ($Q_A = Q_B = Q_C = Q_D = 0$)，當第一個脈衝來到時，會使得 Q_A 由 0 變為 1，但 Q_B ， Q_C ， Q_D

則均未改變，這是由於在它們的正反器上還沒有負邊（negative edge）的脈衝輸入，因此這時的四個正反器的狀態分別為：

Q_D	Q_C	Q_B	Q_A
0	0	0	1

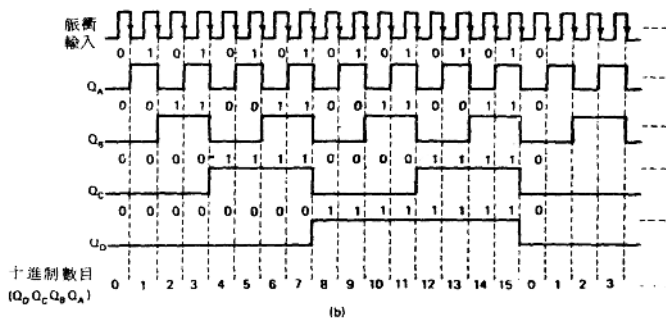
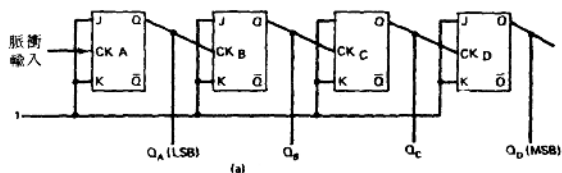


圖 2-14 四位元鏈波計數器

現在如果來了第二個脈衝，將使得 Q_A 由 1 變 0，且由於 Q_A 的變化，使得正反器 B 有了一個負邊脈衝輸入，結果 Q_B 就由 0 變成 1， Q_C 及 Q_D 則仍不變：

Q_D	Q_C	Q_B	Q_A
0	0	1	0

如此繼續下去，讀者將可發現 Q_A ， Q_B ， Q_C ， Q_D 的變化如圖 2-14 (b) 所示，如果我們將 Q_A 看做是一個二進制數二的最末一位 (LSB)，而將 Q_D 看做是最前一位 (MSB) 的話，則這個變化順序就恰巧為 $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 15 \dots$ ，而當它變到 15 時 ($Q_A = Q_B = Q_C = Q_D = 1$)，如果再來一個脈衝，則四個正反器均會順序地接到一個負邊的脈衝，而統統回復至狀態 0 ($Q_A = Q_B = Q_C = Q_D = 0$)，這就形成了一個迴路，就是由於它每算 16 個脈衝又進位而回復到 0，因此我們稱它是一個“16 進位”的計數器，其狀態圖可表如圖 2-15。

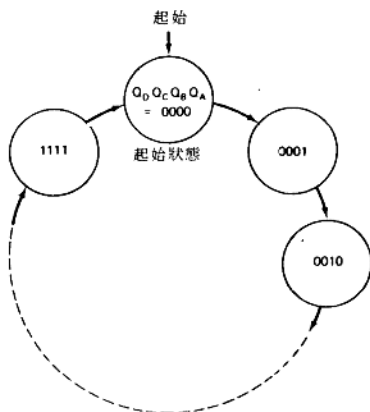


圖 2-15 計數器狀態圖

【一般化的設計步驟】 茲將一個 N 進位鏈波計數器 (modulo- N ripple counter) 的一般化設計步驟描述如下：

- 1 首先假設使用的是有 PR 控制輸入的 JK 正反器。
- 2 根據下式決定使用正反器的個數 n ：

$$n = \lceil \log_2 N \rceil \quad (2-5)$$

式中的 $\lceil \log_2 N \rceil$ 代表大於 $\log_2 N$ 的最小整數。

- 3 依照圖 2-14 (a) 的方法將 n 個正反器串連起來。

4. 將 $N - 1$ 化成二進位的數目。
5. 將對應於此二進位數目位元等於 1 的各正反器之 Q 輸出分別連接到一個「反及」閘的各輸入端。
6. 將脈衝也接到此「反及」閘的一個輸入端。
7. 找出對應於該二進位數目位元等於 0 的各正反器，將此反及閘的輸出連接到這些正反器的 PR 輸入端。
8. 將其他的 PR 輸入端接至 1 (+5V)。

茲舉一例如下：

【例 2-2】 試利用以上步驟設計一個十進位的鏈波計數器 (Decade, or Modulo-10, ripple counter)。

【解】 參考圖 2-16。

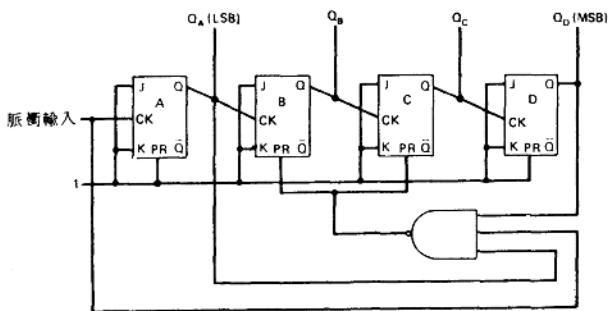


圖 2-16 十進位鏈波計數器

1. $n = \lceil \log_2 10 \rceil = \lceil 0.3010 \rceil = 4$ 故需四個 JK 正反器。
2. 將此四個 JK 正反器依照圖 2-14 串連起來。
3. $N - 1 = 10 - 1 = 9 = 1001_2$
4. 由於 $N - 1$ 的第一位元與第四位元為 1，因此將第一與第四個正反器的 Q_A 及 Q_D 接至「反及」閘的輸入端。
5. 將脈衝輸入也接至「反及」閘的輸入端。