

《计算机通信常用元器件手册》

前 言

计算机通信技术是实现信息化社会的重要手段。近年来,国际上最有名的十几家计算机器件厂商已经生产并投入市场的几百种计算机通信器件和部件,为世界各国的通信现代化提供了强有力的物质条件。当前,我国正处于“改革开放时代”,对计算机通信事业提出了极为迫切的需要,本手册正是为帮助广大从事数字通信技术的读者学习、使用或了解最新通信器件、部件而编写的。

本系列丛书具有以下特点:

- 在叙述上,深入浅出,循序渐近,易于学习,便于使用
- 在概念上,讲清本质,明晰透彻
- 在内容上,力求正确齐全、新颖、实用、翔实,突出重点
- 在结构上,层次分明,力求严谨,既保持相对统一的叙述风格,又突出各器件和部件的特点。
- 在技术上,力求先进,杜绝疏陋,使本书保持久的实用价值。

该手册实属国内鲜见,它集国际上当前最实用的计算机通信器件部件之大成,为读者带来极大方便,对每种器件部件都分概述、主要性能指标、引脚功能与框图、功能描述、应用与示例等五个方面加以阐述。使读者通过本书的阅读,能对计算机接口与通信技术及其有关部件和器件有一个较全面的了解,并形成一定的设计和运用的能力。

本手册收编了近三百种器件和部件,并将按其功能分别汇编成六册:

- 1、串行通信器件
- 2、并行通信器件
- 3、远程通信器件
- 4、局网通信器件
- 5、通信控制器
- 6、通信部件

鉴于本书内容纷繁,所编入的器件和部件经过多次筛选,工作量大。因此有数十位专家参与编审工作,在一定意义上说,本手册是数十位专家在多年教学,科研和工程实践方面的结晶现奉献给广大读者,希望达到欲期目标,当然书中也还难免有疏漏之处,恳请读者不吝指正。

参加本丛书编审人员:

主 编:白英彩

副主编:秦人华 何特 马范援 汪为农

编 委:张尧弼 李明明 陈 平 范伯宁 张卫 叶缨

景勃兴 齐俊 崔晋明 赵玲 徐建红 刘学民 顾林

北京希望电脑公司

目 录

4.1	82586 局网协处理器	(1)
4.2	82588 局网控制器	(142)
4.3	82501 Ethernet 串行接口	(203)
4.4	82502 Ethernet 收发器	(212)
4.5	MC 68605 X.25 规程控制器	(218)
4.6	82C501 Ethernet 串行接口	(230)
4.7	WD2840 局网令牌存取控制器	(236)
4.8	COM 9026 局网控制器	(238)
4.9	Am7990Ethernet 控制器	(241)
4.10	MK 68590Ethernet 控制器	(258)
4.11	Am7991A 串行接口适配器	(264)
4.12	MK3891 串行接口适配器	(267)
4.13	8001 Ethernet 控制器	(270)
4.14	8002 Ethernet 编码/解码器	(273)
4.15	μ PD 72105 omninet 控制器	(276)
4.16	MC 68184 宽带接口控制器	(291)
4.17	DP8390 网络接口控制器	(298)
4.18	DP8391 串行网络接口	(310)
4.19	DP8392 同轴电缆收发器接口	(314)
4.20	DP 8390 C/NS32490C 网络接口控制器	(319)
4.21	DP8390 D/NS32490D 网络接口控制器	(353)
4.22	83910 COMS 串行网络接口	(414)
4.23	DP83910A CMOS 串行网络接口	(420)
4.24	DP8392A/NS32492A 同轴收发器接口	(430)
4.25	DP8392B/NS32492B 同轴收发器接口	(435)
4.26	DP8392C/DP8392C-1 同轴收发器接口	(440)
4.27	DP83901 串行网络接口控制器	(453)
4.28	DP83901A 系列网络接口控制器	(454)
4.29	DP83902 系列双绞线网络接口控制器(ST-NIC) TM	(520)
4.30	DP8391A/NS32491A 系列网络接口	(593)
4.31	DP83922A 双绞线收发器接口(TPI)	(604)
4.32	DP83932B 面向系统的网络接口控制器	(619)
4.33	DP83950A 增音器转发器接口控制器(RIC)	(620)
4.34	LERIC 低端增音器接口控制器	(674)
4.35	82506 TC 双绞线媒体连接装置(TPMAU)	(675)
4.36	DP 83231CRD 器件(FDDI 时钟脉冲恢复器件)	(683)
4.37	DP 83241 CDD 器件(FDDI 时钟分配器件)	(683)
4.38	DP83251/DP83255PLAYER 器件(FDDI 物理层控制器)	(685)

4.39	DP83261 BMACTM器件(FDDI 中介随机存取控制器)	(686)
4.40	DP83265BSITM器件(FDDI 系统接口)	(687)
4.41	DP8344A 双相通信处理器—BCP (Biphase Communications Processor)	(688)
4.42	MC68450	(767)
4.43	MC68440 双通道直接存储存取控制器(DDMA)	(785)
4.44	集成化多协议处理器(IMP)MC68302	(803)
4.45	MC68340 集成处理器部件	(815)
4.46	MC68606 多链路存取规程协议控制器	(830)
4.47	令牌总线控制器 MC68824	(846)
4.48	令牌总线帧分析器软件 MC68KTBFA	(863)
4.49	TP3401, TP3402 用于用户环的数字适配 DASL	(864)
4.50	TP3410LSDN 基本访问取消回音 ZBIQU 收发器	(865)
4.51	TP3420ISDN 收发器 S/T 接口器件	(867)
4.52	DS35F86/DS34F86RS—422/R5423 带三态输出的回路线接收器	(868)
4.53	DS35F87/DS34F87RS—422 带三态输出的四路线驱动器	(870)
4.54	DS1691A/DS3691(RS—422/RS—423)带三态输出的线驱动器	(871)
4.55	DS16F95/DS36F95RS—485/RS—422 差动总线收发器	(873)
4.56	DS96F172/DS96F174RS—485/RS—422 四路差动驱动器	(874)
4.57	DS96F173/DS96F175RS—485/RS—422 四路差动接收器	(876)
4.58	DS96176/ μ A96176RS—485/RS—422 差动总线收发器	(877)
4.59	Intel 82C501AD Ethernet 串行接口	(879)
4.60	Intel 82504TA 收发器串行接口(TSI)	(886)
4.61	Intel 82505TA 多口转发器控制器(MPR)	(891)
4.62	Intel 82506TB 双绞线介质附着装置 TP MAV	(900)
4.63	Intel 82590 八位数据通路的高级 CSMA/CD 局域网控制器	(902)
4.64	Intel 82592 十六位数据通路的高级 CSMA/CD 局域网控制器	(918)
4.65	Intel 82596CA 高性能 32 位局域网协处理器	(933)
4.66	Intel 82596DX/SX 高性能 32 位局域网协处理器	(962)
4.67	82593 CSMA/CD 局域网控制器	(982)

局 网 通 信 器 件

4.1 82586 局网协处理器

1. 概 述

82586 局网协处理器是一个智能化高性能器件, 它可以实现 CSMA/OL 介质存取方法 (带有冲突检测的载波侦听、多点存取方法)。

82586 可进行大范围链路管理并可实现通道接口功能, 其中包括: CSMA/OD 链路存取、成帧、前文(报头)的产生和删除、源地址产生、目的地址校验、ORO 产生和校验等功能。数据传输速率可达 10 Mbps。

82586 的特点是具有功能很强的系统接口能力。它可对具有命令链和双向数据的存储器结构进行自动管理。片上的 DMA 控制器可以管理 4 条对用户透明的通道。含有错误的帧和冲突的帧的缓冲器可以自动恢复。82586 可组成 8 位或 16 位数据通路, 最大发送速率相应为 2 或 4 兆字节/秒。存储地址空间最大为 16 兆字节。

82586 可提供两个独立的 16 位 FIFO, 其中一个用于接收, 另一个用于发送。数据块与存储器之间的传送阈值是可编程的, 供用户根据总线等待时间加以选择。

82586 所提供的诊断和网络管理功能包括: 内部或外部循环返回功能、异常条件标志、通道活动指示器、与目的地址无关地最佳捕获帧、优先捕获具有差错和冲突的帧, 以及寻找电缆故障点的时域反射功能。

82586 可以实现基带网络或宽带网络。它可以构成任何长度、任何数据速率的网络, 具有最大效率, 最小的连接开销。该控制器可支持地址域的长度为 1、2、3、4、5 或 6 字节。地址根据 IEEE802.3/以太网或 HDLC 帧构成方法组成。还可提供 16 位或 32 位 ORO。82586 采用 48 脚 DIP 封装。

2. 主要性能指标

- 无需 CPU 协助, 可完全执行 IEEE802.3/以太网数据链路层规范
- 总线接口优选 iAPX186 和 188 微处理机
- 片上 DMA 通道提供自动存储器管理
- 独立的并行总线和串行线时钟
- 多种网络诊断技术措施:
 - 帧 ORO 错
 - 帧对齐(调整)错
 - 电缆开路/短路定位
 - 冲突记录
- 自测试诊断;

- 循环返回
- 寄存器转贮
- 退避时钟检验

- 通过缓冲器链有效地使用存储器
- 可以实现宽带、短拓扑和速率为 1MbPS 的网络

3 引脚功能与框图

图 4.1—1 所示为 82586 引脚图, 图 4.1—2 所示为 82586 内部功能框图。表 4.1—1 给出了 82586 引脚说明。

表 4.1—1 82586 引脚说明

符 号	类 别	名 称 和 功 能
V _{cc} , V _{ss} V _{cc} , V _{ss} RESET	输入	系统电源(System power): +5V 电源 系统地(System Ground) 复位是同步信号内号, 高电平有效, 它使 82586 立即结束当前工作 该信号必须保持至少四个时钟周期为高。从 RESET 为高电平起的 10 个时钟周期内, 82586 将执行复位命令。当 RESET 返回低电 平, 82586 等待第一个 CA, 以开始初始化程序。 发送串行数据。输出信号, 当无发送对该信号为高电平。
TXD	输出	
TXC	输入	发送数据时钟供给内部串行逻辑, 与数据传送模式无关。对于 NRZ 操作模式, 当传送时钟从高至低时数据被传送到 TXD 引脚 上。
RXD	输入	接收数据输入信号。
RXC	输入	接收数据时钟该信号将与数据传送模式有关的内部移位逻辑构成 时钟信息。对于 NRZ 数据, RXD 脚的状态在传送时钟从高至低 时被采样。
RTS	输出	请求发送信号。当为低电平时, 通知外部接口, 82586 已有可发送 的数据。在复位以后和发送串行单元不在发送数据时, 该信号为高 电平。
CTS	输入	清除发送信号。低有效, 允许 82586 发送数据。通常用于同 RTS 交换信息。该信号无效时, 停止发送。该信号是内部同步。如果 CTS 在 TXC 负沿无效, 则发送停止, 而 RTS 进入无效至多在两个 TXC 周期内。
CRS	输入	载波侦听信号。低电平有效, 用于通知 82586 在串行链路上有通信 操作。该信号仅用于 82586 进行外部载波侦听。这时外部电路要 检测串行线路通信量。为了使信号被接受, 信号至少要保持两个 串行时钟周期有效。
CDT	输入	冲突检测端。低电平有效, 用于通知冲突发生。仅用于 82586 需进 行外部冲突检测时。为了检测冲突, 需要外部电路。为使信号被接 收, 至少需维持两个串行时钟周期。在发送期间, 82586 能够在报 头发送已经开始后识别冲突 1 位的时间
INT	输出	中断请求信号。高电平有效。
MN/MX	输入	当为高电平时, MN/MX 选择 RD, RW, ALE, DEN, DT/R (最小 模式)。当为低电平时, MN/MX 选择 A ₃₁ , A ₂₃ , READY, S ₀ 。

符 号	名 称	名 称 和 功 能															
$AD_0 \sim AD_{15}$	输入/输出	S1(最大模式)。注: 在 82586 工作时, 该引脚必须是稳定的。这些线随着时间进行切换, 在 t_1 为存储器地址, 在 t_2, t_3, t_4 为数据总线。当工作在 8 位总线时, 高字节端在每个周期都输出地址。在 RESET 或总线未获得时, 这些线浮置。															
$A_{15} \sim A_{10}, A_{10} \sim A_{23}$	输出	仅用于最大模式。在存储器操作时, 这些线输出存储器地址位中的 7 条。在 t_4 期间进行转换并且在整个存储周期保持有效。在 RESET 或是在总线未获得时, 这些线是浮置的。															
A_{16}/S_0	输出	在 t_1 期间作为存储器第 20 条地址线。在 t_2 到 t_4 期间被用作指示主外围输出输入周期状态。在写操作期间, 时序向 $AD_0 \sim AD_{15}$ 。															
HOLD	输出	保持信号。高电平有效。82586 用于在当前 CPU 总线发送周期结束或是在当前 DMA 传送周期结束时请求局部总线。在通常工作时, 在 HLDA 之前 HOLD 进入无效。在 HLDA 进入无效前 82586 放弃总线。															
HLDN	输入	保持响应信号。高电平有效, 表示 CPU 已经接受 HOLD 请求并且总线控制权已经放弃, 交给 82586。信号是内部同步的。在 HOLD 为低电平后, 处理器亦驱动 HLDA 为低电平。必须指出的是, 将 V_{cc} 同 HLDA 连在一起是不允许的。这将导致死锁。用户如果要使 82586 长久访问总线, 则需要将 HLDA 与 HOLD 连起来。如果在 HOLD 之前 HLDA 进入无效, 则在最多三个总线周期内, 82586 释放总线。															
CA	输入	通道注意信号。由 CPU 用来启动 82586 执行驻留在存储器中的命令块。CA 信号为内部同步。信号高电平有效, 并且必须保持一个系统时钟周期。当信号由高到低时被内部锁存, 并且为 82586 所检测到。															
DHE	输出	总线高位允许信号。它允许传送总线上的高位那一半。它的时序同 $A_{15} \sim A_{23}$ 。当它为低电平时, 是 16 位总线; 当它为高电平时, 是 8 位总线。注意: 在 RESET 后, 82586 是 8 位总线。															
READY	输入	对存储器寻址的应答信号。高电平有效, 表示传送周期可以完成。如果为低电平, 则将插入等待周期。信号与系统时钟外部同步。在 82586 内部, READY 与 SRDY, ARDY 进行逻辑“或”与 READY 完成同样功能。高电平有效。如果它被程序置为 SRDY, 则它与 READY 相同; 如果被程序置为 ARDY, 则 READY 信号的正跳沿与它内部同步。此时负跳沿必须满足建立和保持时间的规定。ARDY 信号至少应保持一个系统时钟高电平时间有效。READY 信号与 SRDY/ARDY 进行逻辑“或”, 仅在最大模式时, 在 RESET 后该引脚为 ARDY 模式。															
CLK	输出	来自 80186 或其它时钟发生器的系统输入时钟。															
S_0, S_1	输入	仅用于最大模式。这些状态脚定义当前存储器周期内 DMA 传送类型。它们是如下编码: <table> <tr> <td>S_1</td> <td>S_0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>未用</td> </tr> <tr> <td>0</td> <td>1</td> <td>读存储器</td> </tr> <tr> <td>1</td> <td>0</td> <td>写存储器</td> </tr> <tr> <td>1</td> <td>1</td> <td>待命</td> </tr> </table> 从 t_1 中间到 t_4 结束, 状态有效。在 t_4 期间或是当 READY 或 ARDY 为高电平时的 t_4 期间, 它们返回到待命态。8288 总线控制器利用这些信号产生所有存储器控制和时钟信号。待命状	S_1	S_0		0	0	未用	0	1	读存储器	1	0	写存储器	1	1	待命
S_1	S_0																
0	0	未用															
0	1	读存储器															
1	0	写存储器															
1	1	待命															

		态的任何改变, 8288 将起下一个 t_1 到 t_4 总线周期。在系统 RESET 后和当总线未获得时, 这些引脚被上拉为高电平或浮置。
$\overline{RD}$	输出	仅用于最小模式。读选通指出 82886 正处在存储器读周期。在读周期的 t_1 , t_2 和 t_3 期间, $\overline{RD}$ 为低电平。在 RESET 后和当总线未获得时, 这些引脚被上拉为高电平或浮置。
$\overline{WR}$	输出	仅用于最小模式。写选通指出 82886 正处在存储器写周期。在写周期的 t_2 , t_3 和 t_4 期间, $\overline{WR}$ 为低电平。在 RESET 之后和当总线未获得时, 这些引脚被上拉为高和浮置。
$\overline{ALE}$	输出	仅用于最小模式。82886 提供的地址锁存信号锁存传送到 8282/8283 地址锁存器的地址。在任何总线周期 t_1 时钟“低”期间, $\overline{ALE}$ 为高电平脉冲。 $\overline{ALE}$ 从不浮置。
$\overline{DEN}$	输出	仅用于最小模式。 $\overline{DEN}$ 是 8286/8287 收发器的输出允许信号。在每一个存储器访问期间 $\overline{DEN}$ 低电平有效。对读周期, 从 t_2 回到 t_4 开始中有效。对写周期, 从 t_2 开始到 t_4 中间有效。在系统 RESET 后或是总线未获得时, 它被上拉为高电平或浮置。
$\overline{DT/R}$	输出	仅用于最小模式。用于采用 8286/8287 数据总线收发器的非 8288 系统。它控制通过收发器的数据流方向。从逻辑上, $\overline{DT/R}$ 和 $\overline{S1}$ 等效。在前一个总线周期的 t_4 期间, 变为有效并且保持到本周期的 t_4 。在 RESET 之后或在总线未获得时, 该信号被上拉为高电平或浮置。

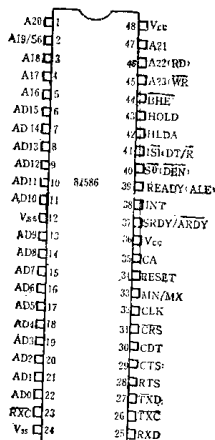
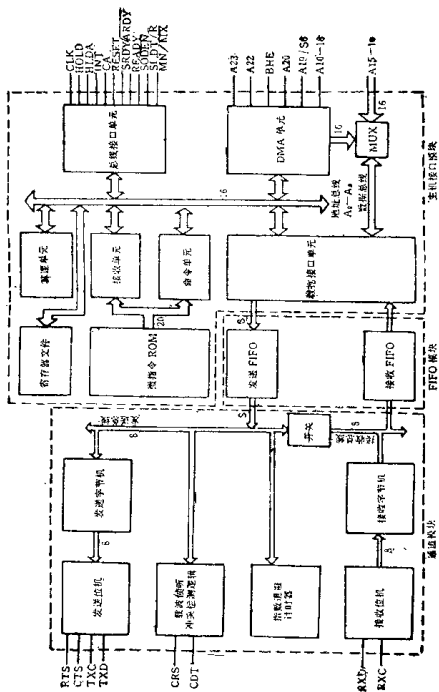


图 4.1—1 82586 引脚图



4 功能描述

(1) 引论

当今在工程上我们面临的主要挑战就是连网。为什么这么说呢?七十年代用 VLSI 技术实现的微处理机已经把计算机的成本降低了 3 个数量级。微处理机应用已经相应广泛,在终端、仪表、个人计算机、打印机等设备中都能找到微处理机的应用。随着微处理机进入办公室、实验室和工厂的工作环境,过去那种智能仅仅集中在经典的小型机和大型机环境中的状况已经改变了。这种信息处理功能的下移(即计算的分散化)使用户产生了下述三种要求:首先是共享价格昂贵的资源,如打印机等;其次是通过公共的数据库共享精确的信息;最后是向用户提供高级服务,如电子邮件等。显然,我们可以通过连网解决这些分布式智能互连的问题。

本节介绍了一些如何利用局部网络(LAN)把分布式的智能设备加以互连的方法。我们先讨论一种开放式系统结构及其对用户的重要性,然后介绍 IEEE802.3/Ethernet LAN 的实现情况,接下来介绍 IEEE802.3/Ethernet LAN 中一些重要的 VLSI 器件和软件,最后给出 82586 LAN 协处理器操作的基本描述。

1) 网络实现的标准

尽管计算机网络已经存在了一段时期,但人们发现不同的厂商提供的各种专用的网络无法进行相互通信,于是寻求解决这个问题就变得很重要了。开放式系统的概念能够很好地解决这个问题。开放式系统使用了广为人们所接受的标准。它使得终端用户可以从多个厂商中选择产品构成最优系统的方法来完成其工作。随着这个标准被广泛地接受,VLSI 集成电路的制造商就把这种标准应用到硅片中去,把片子制作和标准结合起来,从而降低了整个系统的成本。

ISO 模型

国际标准化组织(ISO)为了鼓励研制开放式网络,提出了一个开放式系统互连(OSI)的参考模型。简单地讲,模型从逻辑上集中了功能和规则集合,后者指的一些协议,它是两个或多个部件之间建立和指导通信所必须具有的。整个模型包括七种功能,通常指的是七个层次,OSI 模型只是描述每一层的功能,而不是它的具体实现。这种层次模型结构有两大优点,首先它可以根据每一层各自的功能,分阶段设计,这样使得整个过程清晰明确。其次建筑在层次结构上的系统相当灵活。因为每层的功能和其上、下层次之间是相当独立的,这样很容易改变某层的具体实现,例如网络的第一、二层实现时即可用 CSMA/CD 提供支持,也可用令牌环或标记环(token ring)提供支持,而不影响第三至第七层的情况。OSI 模型的每层功能在图 4.1—3 中给出。

物理层:描述的是传送比特(bit)流的物理介质。它主要说明电缆类型(同轴电缆、双绞线等)、信号电平、比特速度、数据编码方法、调制方法以及在竞争网络中的检测冲突的方法等。总之,这层描述的是实际比特流传送的介质和传送的方法,即基带或宽带方式。

数据链路层:描述的是在通道上传输的规则(通道包括编码/译码器、收发器电缆、传输介质)。数据链路层说明这样一些术语,如信息(帧)的格式,获得通道控制的过程(访问方式),传送帧,释放物理介质等。

网络层：控制一个多级(multihop)网络中链路的切换。对于单个 LAN 系统来说，网络层是不必要的，因为所有的站点都被连接至 LAN 共享的相同通道。这一层的关键是网关(又称网间转换器，gateway)，通信服务器和拨号通信应用。

传送层：保证端对端信息的完整性，提供交换信息时所需的大量服务。例如：端对端应答和流量控制。

会话层：建立和终止网络实体间的逻辑连接。同时负责逻辑名到网络地址的映射工作。

表示层：提供一切必须的翻译、格式转换、代码转换，以使转换后的信息能易于识别。

应用层：对终端用户提供网络支持的服务。例如分布式数据库和电子邮政。应用层不能与用户自己的应用相混淆。

网络管理：负责操作计划，这种操作计划包括收集运行的统计数据，如出错及逻辑情况。网络管理同时负责网络的初始化和维护(故障隔离)。网络管理与每一层都有接口相连。

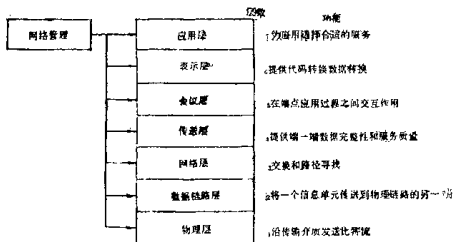


图 4.1—3 开放式系统互连模型

OSI 模型和网络的实现

OSI 模型的物理层和数据链路层保证了可互连性。在实现了一个专门的物理层和数据链路层的说明以后，各厂商的设备就能在物理上和电气上连接起来了。ISO 的其余五层保证在一个开放网络中互连的各站点间的相互操作，例如，Intel 公司的 NDS-II，多用户连网型微型计算机开发系统就是一个 LAN 局网支持的系统，它利用了 Ethernet 作为 1、2 层，Intel 网络结构 (iNA) 作为 3 至 7 层。非 Intel 公司的设备如果想连接到该物理网络中去，只要符合 Ethernet 的规范，就能保证互连正确，并获得对“数据高速通路”的访问。为了同系统的网络资源管理程序进行通信，外接的站点必须满足 iNA 其余五层的要求。

IEEE802.3/Ethernet 规范描述了 OSI 模型的前两层的一个实现要求，与开放网络宗旨一致，作为容易利用的共同的说明书，完整地描述了电缆类型，速度，帧格式，介质访问方法等，使不同厂商的设备在物理上能互连。

Intel 82586 LAN 协处理器与 82501 Ethernet 串行接口，使用方便的收发器，收发器电缆和同轴电缆一起提供了 IEEE802.3 规范的完整实现的设备条件。iNA 960 提供了 OSI 模型的传送层 (ISO DP8073 说明) 和网络管理功能。

2) CSMA/CD 概述

带冲突检测的载波侦听多路访问(CSMA/CD)是一种简单而有效的方法,可用来决定在站与站共享的公共媒体中如何传送信息。CSMA/CD是IEEE 802.3标准所使用的一种访问方式。

载波侦听(CS):表示哪些想要进行传送工作的站首先需要监听。如果通道忙(即有其它站正在传送),则等待延迟传送,直至通道(在发送前)空闲为止。

多路访问(MA):表示任何欲传送信息的站可以马上进行传送,不需要一个集中控制器来决定谁能发送并以什么次序发送。这种网络中所有的站有平等访问权的控制一般称为分布式控制。

冲突检测(OD):一旦通道空闲(没有站在发送),一个站就可以开始发送了。这时仍可能有两个站同时启动发送。于是导致“冲突”。在冲突发生时,该发送站仍继续发送一段确定的时间,以保证所有别的发送站能检测到这个冲突。这也称作阻塞(jamming)。发送阻

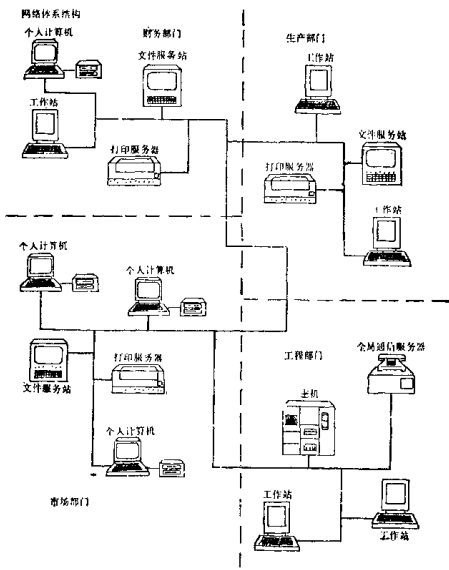


图 4.1—4 典型网络配置

察码以后, 传送站停止发送并在重发前随机地等待一段时间。随机等待时间的长短随着连续冲突次数的增加而增加。即使有许多站都发生冲突, 用这种方法也能解决冲突问题。

3) IEEE802.3

局部区域网络 LAN 是在一幢楼或其它场所内延伸几百到几千英尺的一个通信网络。从图 4.1-4 中可知, LAN 是为共享资源和在分布处理环境中进行通信而将各种设备连在一起的一个工具。虽然目前已有的 LAN 使用的速度范围很大 (从每秒 2400 位到每秒 2 兆位), 但其发展趋势很明显, 网络速度将在每秒 1 兆到 10 兆之间。

IEEE 802.3/Ethernet 作为一种高速局网已被许多大、小型企业广泛采用, 其速度达到了每秒 10 兆位(10Mbps), 这种局网的主要部件有下面一些:

① 电缆: 采用低噪音 50 欧姆的同轴电缆。在它上面信息传输的速度是每秒 10 兆位。每段电缆最长为 500 米, 但通过中继器可以连接成更长的长度。

② 收发器: 通过同轴电缆发送和接收信号。另外它把结点和通道分离开来, 以防止结点中的一些故障的蔓延, 同时在电缆上测试冲突情况。使用一个简单的分接头连接到同轴电缆上并通过一个带屏蔽的四对双绞线组成的收发器电缆连接到工作站上, 收发器电缆可长达 50 米。

③ 终端连接器: 这是一个无源器件, 安装在每根电缆的两端(或连接中继器电缆的另一端), 提供合适的电气终端(以消除反射);

④ 接口: 提供与用户或服务站的接口并执行下述基本功能。

- 帧装配/分解
- 源地址和目的地址的寻址处理
- 物理通道传送出错检测
- 网络链路管理
 - 冲突避免
 - 冲突处理
- 收发器信号的编码和解码, 如图 4.1-5 所示。

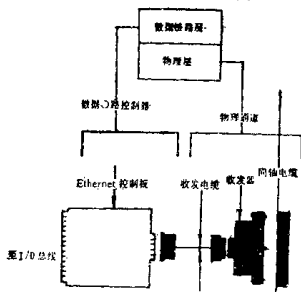


图 4.1-5 Ethernet 的数据链路和物理链路

4) CSMA/CD 的优点

使用 CSMA/CD 存取方式的网络的一些重要特点是:

① 经过考验的技术: 从 1957 年 Xerox 公司采用 Ethernet 网开始, 这个技术已被很好了解并且在 Ethernet 中使用的技术已被 IEEE 采纳作为标准 (IEEE802.3)。采用这个标准的 VLSI 芯片能够降低互连的成本。

② 工作性能: 由于消除了网络通信的集中式控制, 所以得到更有效的带宽利用和信息发送较短延迟。

③ 可靠性: 采用 CSMA/CD 介质访问方式, 使得网络操作时不用集中式控制或开关逻辑, 这种方式不会因网络中某一结点的出错而影响其它结点间相互通信的能力。

④ 易扩展性: CSMA/CD 支持的网络的具有无源、分布式性质, 因而易于扩展。网络中可以方便地增加一个新的结点, 而不需要对网上其它所有结点重新初始化。这种能力只要通过简单地扩展网络就能满足进一步的需要。

5) Intel 局网的结构

① 支持的标准

Intel 公司致力于在工业上实现局网的标准化。这些标准增强了使用的根基, 这个根基保证了 VLSI 部件设计和制造的可行性, VLSI 技术降低系统代价, 使用户得到好处。

针对这样的背景, Intel 公司, 数字设备公司 (DEC) 和 Xerox 公司联合起来为 Ethernet LAN 技术制定了物理层和数据链路层协议, 结果生产了 LAN 的 IEEE 802.3 标准 (取代原先的 Ethernet 规范), 而现在已为国际标准化组织采纳作为一个标准。

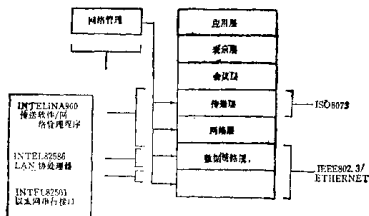


图 4.1-6 Intel 的 LAN 结构方案

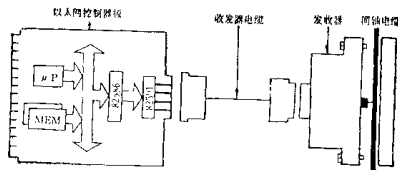


图 4.1-7 Intel LAN 硬件

目前 Intel 公司已经能提供支持局域网工业标准的 VLSI 和软件产品。82586 局域网协处理器和 82501(以太网串行接口)均以 VLSI 技术支持物理层和数据链路层(IEEE 802.3 标准的第一和第二层)。iNA960 软件保证经传送层(第 4 层)服务的信息传递与 ISO 8073 规范(ISO 模型第 4 层的一个具体实现)相一致,见图 4.1—6 和 4.1—7。

② 82586 局网协处理器

82586 是一个管理网络发送和接收帧的过程的智能外围设备。它分担了主机 CPU 管理通信活动的任务,使 CPU 得以从频繁的通信任务中解脱出来。更为重要的是,82586 在时间性很强的部分(例如帧的发送和接收时)上不依赖主机 CPU。因为它起着是一个协处理器。

82586 很容易通过接口与微处理器相连。正是利用 82586 通过接口和 80386 或 80186 微处理器相连,使系统实现时所用的元器件数目最少。

82586 通过数据链接能有效地使用存储器。短的帧存放在容量最小的缓冲区,而长的帧则存放在许多互相链接起来的缓冲区,这样就不致浪费系统的存储区。82586 并不让 CPU 来管理这个链接处理,从而维持系统的高性能。

82586 对以下错误进行计数,并将计数值保存在存储器中。

- 由于 CRC 错而接收到的错误的帧数目
- 由于帧调整不当而接收错误的帧数目

82586 还对在发送一个指定帧时产生的冲突次数进行计数,同时也对收发器冲突检测出错报告部分进行监视,提供诊断能力。

82586 还有下面两种计数功能以帮助开发和维护 LAN 系统:

- 由于缺少接收缓冲器而丢失的帧的数目
- 接收帧时,由于 DMA 的超载(亦称过载运行, overrun)而导致丢失帧的数目

82586 可以通过内部和外部回送(loopback)功能提供诊断能力。电路中的短路和开路点的确定可以利用芯片上的时域反射测试(time domain reflectometry)机制来实现。

82586 网络参数是可编程的,因此针对某个具体的应用可以通过参数编程设置实现最优的 LAN。例如提供高效服务的宽带网络,比 IEEE 802.3 的吞吐量大的短程拓扑网和低成本网 1Mbps。

③ 82501 以太网串行接口

82501 是和 82586 一同配合在 10 Mbps 的局网中进行工作的。其主要功能是无误码调制编码/解码,向 82586 提供 10 MHz 的发送和接收时钟,以及驱动收发器电缆。82501 通过一个内部循环回送机制提供故障隔离(通过一个片内监视定时器,防止无休止的发送(babbling))。

④ iNA 960 传送层软件

iNA 960 是一个通用的局网软件包,它向用户提供可靠的端对端信息传递。iNA 960 满足 ISO 8073 规范分类的第四层的传送服务要求。它同时也提供网络管理功能和 82586 设备的驱动程序(见图 4.1—8)。

传送服务 iNA 960 传送层实现两种信息传递服务:虚拟电路和数据报。虚拟电路提供可靠的点一点信息传递服务并保证最大的数据完整性,而与 ISO 8073 分类第四层协议完全兼容,此外还有:

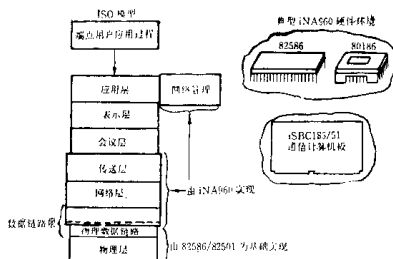


图 4.1-8 iNA 960 系统

- 提供流量控制(发送器和接收器间的数据速度匹配)
- 支持多个同时连续(处理多路转换)
- 处理可变长度信息(独立于物理帧大小)
- 支持加速传递(传递紧急数据)

数据报选择为非紧急信息提供“尽力”传递服务。数据报服务不保证信息完整性但此虚拟电路要求更少的通道开销。

网络管理服务 网络管理工具支持网络用户计划,运行和维护网络,包括提供网络使用统计数,允许监视网络功能以及检测、隔离和纠正网络故障。网络管理工具还支持数据库的上行(upline)转贮和下行(downline)装载,即不用局部大容量存储器来引导系统。

用户环境 在 iRMX(Intel 实时多任务操作系统)环境中,用户程度和 iNA 960 软件都在 iRMX86 操作系统下运行。通信软件作为一个 iRMX 作业来实现,这种作业对大多数操作只需要操作系统的核。仅有的例外是引导程序服务选择,它还需要基本 I/O 系统。iNA 960 能运行在任何 iRMX 环境(包括硅软件 Intel 80130 器件中的 iRMX 在内)里。

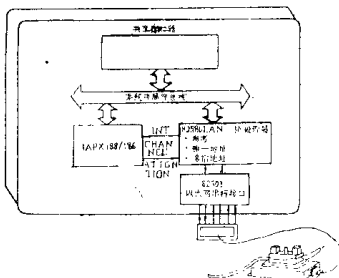


图 4.1-9 82586 梗概

在 iRMX86 不是主要的操作系统或由于性能要求必须解脱主机的通信任务的系统中, 用户可以有一个专用处理器用于通信。通过在 8086、8088 或 80186 微处理器上提供网络服务, iNA960 也能构造以支持这种实现。

6) 82586 系统概况

图 4.1—9 给出了 82586 系统的结构简图。构成 82586 系统的四个关键部分是 82586, 82501, OPU (常用 Intel 80186) 和共享存储器。一般典型的情况是, 82586 和 OPU 共享同一系统总线或局部总线, 但也可使用双端口存储器结构。

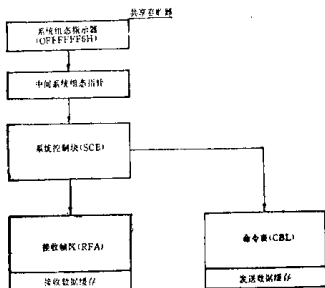


图 4.1—10 82586 共享存储器结构

① 82586/OPU 共享存储器结构

82586 系统的存储空间分成四个部分, 即初始化指针、系统控制块、接收帧域和命令队列, 如图 4.1—10 所示。当 82586 接上电源并复位后, 进入存储器空间的指定区域, 即初始化指针, 然后直接找到系统控制块 (SOB)。

SOB 是一个信箱, 通过它 OPU 和 82586 交换控制和状态信息, SOB 中含有指向接收帧域和命令队列 (命令块表) 的指针。如图 4.1—11 所示。接收帧域 ORFA 是 82586 自动存放所接收到的帧的区域。

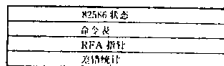


图 4.1—11 系统控制块结构

在实际网络中, 大多数传送帧是控制帧 (如读取站的状态, 重新收发等), 这些控制帧占整个网络通信的 75%, 而其长度一般小于 100 字节。因此如果设计的存储区域中接收帧的大小以最大帧的长度计算 (对于 Ethernet 为 1518 字节), 那将会使得存储区域浪费太多 (见图 4.1—12)。

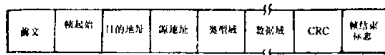


图 4.1—12 IEEE 802.3 帧格式

因此我们考虑采用链接队列(表)方式来更有效地使用存储空间,而不是为每个帧给一个缓存。我们可以用 64 或 100 个字节等较短的缓存区作为基本单位存放帧。较长的帧被分成几个短的部分,分别存放在几个缓存区中。每一个缓存区有一个描述子,称为接收缓存描述子(RBD),它说明此缓存区的性质,如长度、指向下一个 RBD 的指针,以及是否是最后一个 RBD 等。对于每一个接收帧都分配一个帧描述子(FD)。FD 指向此帧 RBD 链接队列中第一个 RBD,而这个 RBD 又指向第一个实际缓存区。如图 4.1-13 所示。这种方法有效地使用存储器来存放短帧而又不会浪费存储器。

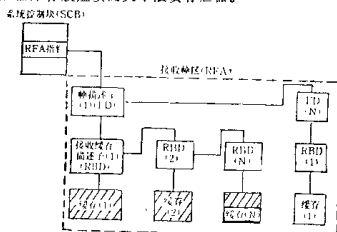


图 4.1-13 接收帧区缓存结构

82586 通过硬件完成此缓存区管理任务,这样避免了软件对 CPU 额外开销和造成设计者的精力浪费。

命令队列(表)是一个 82586 能执行的动作命令表。每个命令作为一个命令块,如图 4.1-14 所示。动作命令有 Address Set-Up、Transmit 等。82586 并行地读取和执行这些命令,与主 CPU 动作无关。每个命令块都指向下一个即将执行的命令。同样,82586 也是使用缓存链接技术来处理欲发送的数据的。发送命令指向一个发送缓存描述符(Transmit Buffer Descriptor, TBD)。发送缓存的操作与 RFA 类似。所有数据链接均由 82586 自动地管理。

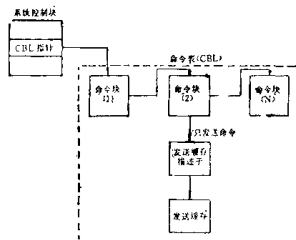


图 4.1-14 指示 82586 执行的命令表