

序向邏輯

編著者 ■ 陳 秋 發

新學誠友出版中心 編行
電子工程編輯委員會



序 向 邏 輯

執筆者 ■ 陳秋發 · 周慶榮

編輯者 ■ 新學城出版中心
工專用書編輯委員會



行政院新聞局出版事業登記證

■局版臺業字第0980號■

數位系統原理 (二)

序 向 邏 輯

■執筆者：陳秋發・周慶榮

■發行人：李 咁

■兼主編：李 咁

■出版者：新學識文教出版中心
台北市新中街10巷7號
郵撥帳號：109262
電話：7656502 7656992

■特約：台北・力行書局（重慶南路1）

■經銷處：台中・大學書社（文華路73號）

台南・東華書局（博愛路72號）

高雄・超大書城（地下街一層）

■校勘者：陳 秋 發

■印刷所：新學識文教出版中心

中華民國 68 年 9 月初版

基 價 4 元 角

編輯大意

- 本書依據教育部在65(66)年5(6)月公布的五(二)年制工業專科學校、電子工程科暫行課程標準而編輯，為「數位系統原理」教材之一，可供一學期教學或自修參考之用。
- 本書強調數學模式與實際線路的配合，以實用為重；對過于理論性的材料，儘予避免。其正在發展中，尚未定型之研究，亦不予論列。
- 本書與「組合邏輯」為姊妹篇。而本中心另行編印極獲教育部審查佳評之「系統程式（微計算機用）」及在國內首先創編的「數位系統故障研判（可作「實驗教材」用）」兩書，可視為此姊妹篇的引伸與應用，若依此循序參研，相信可以得到全面印證性與貫徹性的了解與心得。
- 本書作者，于國外及台大研究、教授此一課程多年；今將寶貴心得寫出，並就其在第二次全國各專科學校計算機教學評鑑活動中所獲結論，針對教材缺失予以補救，十分珍貴。
- 作者撰述本書以謙沖為懷，誠盼各方提供改進高見！

新學誠身居出版中心 謹誌
電子工程編輯委員會

第1章 序向系統介紹 【1-1~1-30】

- 1-0 緒論 (1-1)
- 1-1 序向系統與組合系統之異同點 (1-1)
- 1-2 序向系統之描述 (1-4)
- 1-3 序向系統與運用限制 (1-14)
- 1-4 脈衝模式序向系統 (1-20)
- 習題1 (1-28)

第2章 基本電路 【2-1~2-44】

- 2-0 緒論 (2-1)
- 2-1 二進儲存—基本正反器 (2-1)
- 2-2 實用上之正反器 (2-10)
- 2-3 計數器之設計 (2-14)
- 2-4 實用上計數器之設計 (2-20)
- 2-5 同步電路的最大時序 (2-25)
- 2-6 移位暫存器 (2-29)
- 2-7 移位暫存器之應用 (2-36)
- 習題2 (2-43)

第3章 同步電路之設計 【3-1~3-42】

- 3-0 緒論 (3-1)
- 3-1 由系統規定至狀態遷移表 (3-1)
- 3-2 無起始狀態之序向系統 (3-4)
- 3-3 等效狀態 (3-5)
- 3-4 完全規定序向機之狀態表簡化法 (3-7)
- 3-5 不完全規定序向機之狀態表簡化法 (3-13)
- 3-6 狀態指定與激發圖 (3-23)
- 3-7 區分法 (3-29)

3-8 一般化設計步驟 (3-35)

■ 習題 3 (3-39)

第4章 異步電路 【4-1~4-48】

4-0 緒論 (4-1)

4-1 異步序向系統研討 (4-2)

4-2 原始流程表 (4-4)

4-3 原始流程表之分析 (4-8)

4-4 異步序向系統遷移圖與穩定性的分析 (4-10)

4-5 等效狀態之簡化 (4-14)

4-6 組合例題 (4-18)

4-7 輸出矩陣 (4-35)

4-8 最大時序之決定 (4-40)

4-9 計數器和比例器之例同步偶合 (4-42)

■ 習題 4 (4-44)

第5章 二次指定 【5-1~5-50】

5-0 緒論 (5-1)

5-1 最少列之矩陣 (5-1)

5-2 增大矩陣之二次指定 (5-7)

5-3 四列流程表之一般指定 (5-14)

5-4 循環的二次動作 (5-23)

5-5 大流程表的列集合指定 (5-27)

5-6 迴授和延遲 (5-34)

■ 習題 5 (5-43)

第 **I** 章

序向系統介紹

1-0 緒 論

在本書上册中，曾經介紹了數位系統的基本觀念，布林代數、交換函數之化簡以及各種電路實現方法等等，最後並介紹了組合系統的設計程序及方法。在本書中我們將繼續介紹數位電路的另一部門——序向系統。首先要說明的是何謂序向系統？序向系統與組合系統有何異同點？

1-1 序向系統與組合系統之異同點

1-1-1 組合系統之定義

在上册中我們已經介紹過了組合系統的概念，現在爲了與序向系統比較

，特再將它明確定義如下：

〔定義〕 組合系統乃是一數位系統，它具有下列性質：

(I) 系統之輸出信號僅決定於當時之輸入信號，而與其先前或以後之系統狀態無關。

(II) 該系統不包含有任何記憶元件 (memory element)。

凡是符合以上定義中 (I) 或 (II) 之數位系統，即可稱之為組合系統。

在此必須對記憶元件一詞加以說明，所謂的記憶元件應包括一般的正反器 (flip-flop)、延遲電路 (delay circuit)、以及其他任何電磁或機械之記憶裝置。此種記憶元件能將系統中某一時刻的狀態 (state) 記住，經過一段時間以後再將此狀態之輸出回授 (feed back) 至系統的輸入部份，以致於該系統當時之輸出尚須取決於先前之系統狀態而定，因此我們也可以說：

一個組合系統中所有的輸出信號必不能回授成為輸入信號，否則即不成為組合系統。

在上冊中也曾提到，一個組合系統可以用圖 1-1 之方塊圖來描述它，其中 $x_1(t_k)$, $x_2(t_k)$, $\dots$, $x_n(t_k)$ 為 n 個輸入信號， $z_1(t_k)$, $z_2(t_k)$, $\dots$, $z_m(t_k)$ 為 m 個輸出信號，且輸出信號可寫為輸入信號的布林函數：

$$z_i(t_k) = F_i(x_1(t_k), x_2(t_k), \dots, x_n(t_k)) \quad i = 1, 2, \dots, m(1-1)$$

其中 F_i 為任意之布林函數， (t_k) 則表示在某一 t_k 時間的輸入或輸出信號。

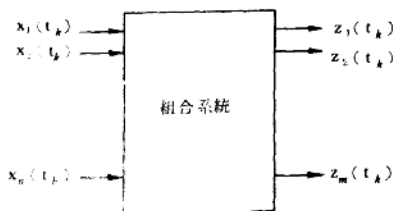


圖 1-1 組合系統

一般而言，當組合系統的輸入信號改變時，其輸出信號亦緊跟著改變，但是其間仍然會落後了一段極短的時間，這段時間稱為延遲時間（delay time），這種因電路的自然傳播而產生的延遲，我們不可將它視為具有記憶的性質。而且由於各個輸出信號所經過的邏輯電路之電子開個數均不盡相同，故每一信號的延遲時間亦均不同，但是只要輸入信號能維持穩定一段時間，則各輸出信號經過短暫的延遲以後，亦終必能維持穩定的輸出，這可以說是組合系統的一個特性。

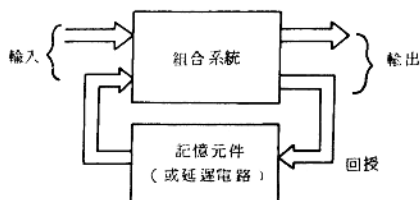
1-1-2 序向系統之定義

與組合系統恰恰相反，序向系統可定義如下：

〔定義〕 序向系統乃是一數位系統，它具有下列性質：

- （Ⅰ）系統之輸出信號不僅決定於當時輸入信號，並且與先前之系統狀態有關。
- （Ⅱ）該系統至少包含一個或一個以上的記憶元件。

由以上的定義知，一個序向系統至少包含了一個記憶元件，而由這個記憶元件來做為系統的回授路徑，如圖 1-2 所示。也就是說，序向系統至少包含了一個回授路徑，它使得系統的某些輸出信號得以經過記憶元件而回授至



組圖 1-2 序向系統

系統的輸入端，以便於共同決定系統以後的輸出。

在此必須說明者，有時一個序向系統雖然包含了記憶元件及回授路徑，但它的輸出信號却仍有可能與先前的系統狀態無關，亦即當時之輸出信號僅取決於當時之輸入信號，但讀者必須明白這只是序向系統中少數的特例而已！因此對於這種特殊的系統，只要它包含了記憶元件與回授路徑，仍然可以認為它是一個序向系統

我們將在下節中對序向系統做一詳細描述後，再將它與組合系統做一綜合性的比較。

1-2 序向系統之描述

1-2-1 輸入、輸出與系統狀態

在一般的物理上之線性或非線性系統中，當可用所謂的“狀態”(state)來代表該系統先前的經歷，而在序向系統中也不例外。通常我們均定出一組狀態變數 (state variables) 來描述該系統的狀態。

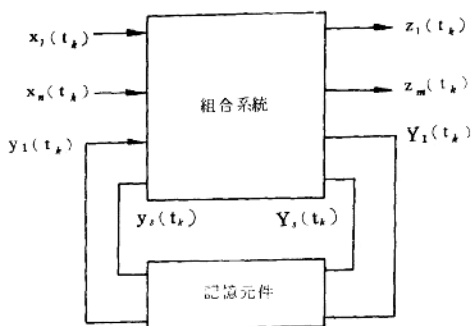


圖 1-3 序向系統

圖 1-3 是一個序向系統，圖中以 x_i 代表系統的輸入變數， z_i 代表系統的輸出變數，並以 y_i 代表系統的狀態變數。在序向系統中，所有輸入、輸出以及狀態變數之值通常都是對某些特定而不連續（discrete）的時間而言，令這些時間分別為 $t_1, t_2, \dots, t_k$ ，則我們就以 $x_i(t_k), y_i(t_k)$ 以及 $z_i(t_k)$ 分別來代表在時間為 t_k 時各變數之值。

組合系統可以用方程式 1-1 來描述它，同樣地，序向系統也可以用兩方程式來代表，如下：

$$\begin{cases} Y_i(t_k) = \delta_i(x_1(t_k), \dots, x_n(t_k); y_1(t_k), \dots, y_s(t_k)) \\ \quad i = 1, 2, \dots, s \\ Z_j(t_k) = \lambda_j(x_1(t_k), \dots, x_n(t_k); y_1(t_k), \dots, y_s(t_k)) \\ \quad j = 1, 2, \dots, m \end{cases} \quad (1-2)$$

其中 δ_i 及 λ_j 均是任意的布林函數，為區別起見，我們稱 δ_i 為“次狀態函數”（next state function），而稱 λ_j 為“輸出函數”（Output function）。這兩組函數均是經由序向系統中的組合電路部分產生的輸出，惟一的不同點是輸出函數所產生的 $z_1(t_k), \dots, z_m(t_k)$ 是序向系統中真正的輸出信號，用來控制另一系統，推動另一機械裝置、或接到某一指示燈……等等，而次狀態函數所產生的 $Y_1(t_k), \dots, Y_s(t_k)$ 則回授至系統的記憶元件中儲存起來，以做為系統的“次一狀態”（next state）。故當記憶元件接受 Y_i 的新值以後，這個值就取代了原先的 y_i 之值了，亦即：

$$y_i(t_{k+1}) = Y_i(t_k) \quad i = 1, 2, \dots, s \quad (1-3)$$

為使讀者易於瞭解，特舉例如下：

【例 1-1】圖 1-4 是一個簡單的序向系統，試寫出其輸出函數及次狀態函數。

【解】 由該圖我們很容易便可寫出：

$$\begin{cases} Y = \delta(x_1, x_2; y) = \overline{x_1 y} + x_2 y & (\text{次狀態函數}) \\ Z = \lambda(x_1, x_2; y) = x_1 y + x_2 y & (\text{輸出函數}) \end{cases}$$

且 $y(t_{k+1}) = Y(t_k)$

其中前兩式為方便計，所有 (t_k) 均予省略未寫。

在本題中輸入變數有二： x_1 及 x_2 ，輸出變數及狀態變數均只有一個，即 z 及 y ，故方程式僅有兩個，如變數增多，則共應列出方程式 $s + m$ 個。

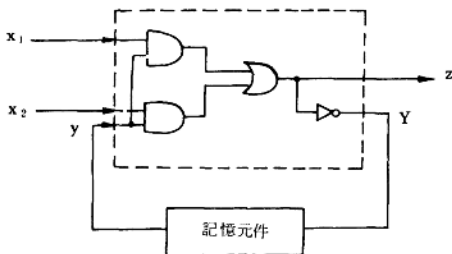


圖 1-4 序向系統簡例

1-2-2 狀態表與狀態圖

一個序向系統除了用輸出函數及次狀態函數來描述外，還可以用其他的方法來描述，其中常用的有狀態表 (state table) 和狀態圖 (state diagram) 兩種方法。

所謂狀態表，事實上即是輸出函數與次狀態函數的邏輯真值表，其中的變數則是輸入變數 $x_1, \dots, x_n$ 以及狀態變數 $y_1, \dots, y_l$ 等。舉例如下：

【例 1 — 2】 試寫出例 1 — 1 序向系統的狀態表。

【解】 通常將狀態表分為三大欄，左邊為狀態變數欄，中間為次一狀態欄，右邊則為輸出變數欄，如下表所示：

現在狀態	次一狀態 Y	輸出變數 Z
y	$x_1 x_2 = 00 \quad 01 \quad 10 \quad 11$	$x_1 x_2 = 00 \quad 01 \quad 10 \quad 11$
0	1 1 1 1	0 0 0 0
1	1 0 0 0	0 1 1 1

例如現在狀態 $y = 0$ 且輸入變數 $x_1 = 0$ ， $x_2 = 0$ 時，輸出將為 0，而次一狀態將變為 1。餘類推。

所謂狀態圖，則是將每一可能的現在狀態用一個圓圈來代表，圓圈中標以現在狀態，而各圓圈間則以箭頭相連以表明各狀態遷移與變化之關係，同時並將每一狀態變換時其輸入變數與輸出變數之值記於箭頭旁。舉例如下：

【例 1 — 3】 試將例 1 — 1 之序向系統，以狀態圖描述之。

【解】 其狀態圖如圖 1-5 所示。

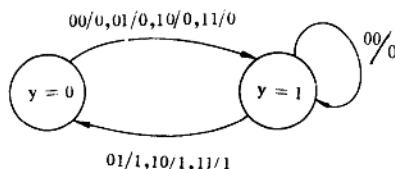


圖 1-5 狀態圖

其中狀態 1 的圓圈有一指向自己的箭頭，這表示在 $y = 1$ 時如果輸入變數 $x_1 = 0$ $x_2 = 0$ 時，其次一狀態仍為 1，故指向自己。餘類推。

【例 1-4】 試將圖 1-6 之狀態圖用狀態表的方法來描述它。

【解】 在本題中，有兩個狀態變數 y_1, y_2 ，故共有 $2^2 = 4$ 個狀態，00, 01, 10, 11。為簡便起見，可以用 a、b、c、d 四個符號來分別代表這四個狀態，則此狀態圖就簡化成為圖 1-7 的形式，再根據圖 1-7 就可寫出狀態表如下：

現在狀態	次一狀態 Y_1Y_2	輸出變數 z_1z_2
y_1y_2	$x_1x_2 = 00 \quad 01 \quad 10 \quad 11$	$x_1x_2 = 00 \quad 01 \quad 10 \quad 11$
a (00)	a b b b	11 00 00 00
b (01)	b a c c	00 11 01 01
c (10)	c c a d	01 01 11 10
d (11)	d d d a	10 10 10 11

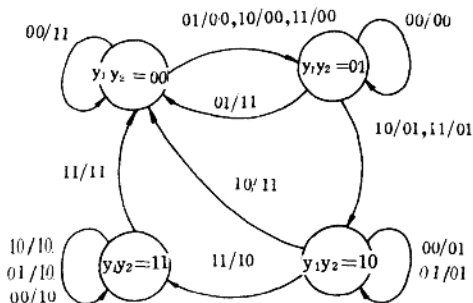


圖 1-6

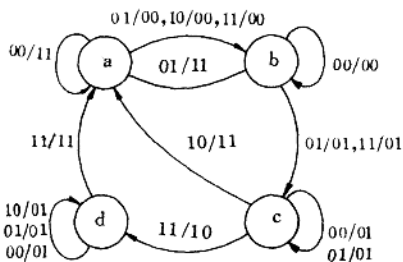


圖 1-7

同樣地，當狀態變數增多時，也可以用 $a, b, c \dots$ 或 $0, 1, 2 \dots$ 等各種符號來代表各種不同的狀態，以簡化狀態圖及狀態表。狀態變數的個數與狀態數之間有如下之關係：

$$k \geq \log_2 N \quad (1-4)$$

其中 k 是狀態變數的個數， N 是狀態數。式中的“ $\geq$ ”表示 k 必須是“不小於” $\log_2 N$ 的正整數，這是由於在實際的序向系統中，狀態的個數往往並不是 2 的整數次方，亦即 $\log_2 N$ 並非恰為整數，因此狀態變數的個數必須足以代表所有的狀態數而有餘，故須大於或等於 $\log_2 N$ 。

【例 1-5】 有一號碼鎖，上面僅有 0, 1, 2, 3 四個位置，必須按順序輸入 3120 這個號碼，才能將它開路，而當輸入 3120 後如果仍繼續輸入其他任何的號碼，均會使它回復到原先的閉鎖狀態。試繪出此號碼鎖的狀態圖與狀態表，並說明它需要幾個狀態變數。

【解】 首先按此號碼的四個輸入順序定出下列五個狀態： a （閉鎖）
 $\rightarrow b$ （輸入 3） $\rightarrow c$ （輸入 1） $\rightarrow d$ （輸入 2） $\rightarrow e$ （輸入 0，開

啓)。由這五個狀態繪出它們的關係就成為圖 1-8 所示的狀態圖：

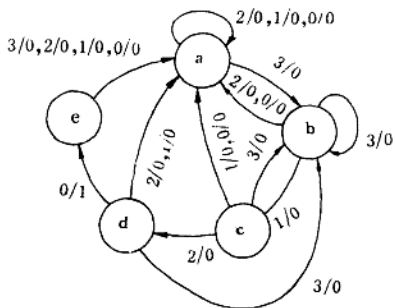


圖 1-8

其中的輸出部份，以 1 代表開路，0 代表閉鎖。然後我們根據圖 1-8 而繪出如下之狀態表：

現在狀態	下一狀態 $Y_1Y_2Y_3$	輸出變數 z
$y_1y_2y_3$	輸入 = 0 1 2 3	輸入 = 0 1 2 3
a (0 0 0)	a a a b	0 0 0 0
b (0 0 1)	a c a b	0 0 0 0
c (0 1 0)	a a d b	0 0 0 0
d (0 1 1)	e a a b	1 0 0 0
e (1 0 0)	a a a a	0 0 0 0

由上表我們很容易便可看出，由於有五個狀態，因此 $k \geq \log_2 5$ ，

取最接近之正整數得： $k = 3$ ，故必須三個狀態變數 $y_1 y_2 y_3$ 。

1-2-3 同步序向系統與異步序向系統

序向系統包含兩種不同的型式：即同步序向系統與異步序向系統，在定義這兩種系統以前，必須先介紹“狀態時間”（state time）的觀念。

通常一個狀態時間是由一段“遷移時期”（transition periods）加上一段“穩定時期”（stable periods）所構成，茲用圖 1-9 來說明這個觀念。

圖 1-9 (a) 是一個單位時間延遲裝置，它是一節最簡單的序向電路，能夠將一段甚短的“穩定時期”內的信號大小記住，並維持一段完整的“狀態時間”。如圖 1-9 (b) 中，我們可以看出這個性質，茲依照圖中時間的順序說明如下：

- 1 狀態時間 2 內的高電位 V_H ，是由於穩定時期(1)的輸入為 V_H 。
- 2 狀態時間 3 內的低電位 V_L ，是由於穩定時期(2)的輸入為 V_L 。
- 3 在遷移時期內任何的輸入變化均不會被記住，例如(3)。
- 4 如果在穩定時期內輸入產生了變化，這將導致下一狀態時間內的輸出變為不確定（可為 V_H 也可為 V_L ）例如(4)。且此輸出一直要等到下一狀態時間才可能確定下來，如(5)。

像這樣一個信號，它可能在穩定時期內變動的話，我們認為它對於這個狀態時間系統是“異步的”（asynchronous），反之如果該信號在穩定時期內恒不變的話，我們認為它對於這個狀態時間系統是“同步的”（synchronous）。

有了狀態時間的觀念以後，就可以定義同步序向與異步序向如下：

【定義】 一個序向系統如果其每一狀態時間是相等的，或者其狀態時間是藉著外在裝置而產生的，則稱此系統為一同步序向系統（synchronous sequential system）。

【定義】 一個序向系統如果其狀態時間僅僅是由其本身內部的邏輯電路的自然延遲而決定的，則稱此系統為一異步序向系統（Asynchronous sequential system）。