

工控与电子精品图书

VLSI

概论

谢永瑞 编著



清华大学出版社

VLSI 概 论

谢永瑞 编著

清华大学出版社

(京)新登字 158 号

北京市版权局著作权合同登记号: 01-2001-3534 号

版权声明

本书中文繁体版权归台湾全华科技图书股份有限公司所有, 简体中文版由台湾全华科技图书股份有限公司授权清华大学出版社出版, 简体字版的专有出版权属清华大学出版社所有, 未经本书原版出版者和本书出版者的书面许可, 任何单位和个人均不得以任何形式或任何手段复制或传播本书的部分或全部内容。

内容简介

本书循序渐进地介绍了 VLSI 的设计方法与技巧, 主要包括 MOS 元件特性、基本逻辑电路设计、电路性能评估、低功率与可测试性电路介绍、EDA 工具使用方法介绍。读者学完本书后, 就可以自己设计高性能电路, 若能配合 SPICE 的模拟, 不久便可独立完成电路的设计。

本书适合高校高年级学生、研究生学习, 也可供具有相关背景知识的人员自学参考。

版权所有, 翻印必究。

本书封面贴有清华大学出版社激光防伪标签, 无标签者不得销售。

书 名: VLSI 概论

作 者: 谢永瑞 编著

责任编辑: 许存权

出 版 者: 清华大学出版社(北京清华大学学研大厦, 邮编 100084)

<http://www.tup.tsinghua.edu.cn>

印 刷 者: 世界知识印刷厂

发 行 者: 新华书店总店北京发行所

开 本: 787×1092 1/16 印张: 21.5 字数: 491 千字

版 次: 2002 年 9 月第 1 版 2002 年 9 月第 1 次印刷

书 号: ISBN 7-302-05342-1/TP·3138

印 数: 0001~4000

定 价: 35.00 元

《工控与电子精品系列图书》

策划委员会

主 编： 王俊峰

总策划： 李华君 曾 刚

策 划： 曾 刚 朱英彪 苗建强

肖 丽 陈仕云 许存权

《工控与电子精品系列图书》序

“以信息化带动工业化”是我国今后几年乃至更长时间内第二产业发展的主题，也是我国科学技术发展的必由之路。世纪之初既有机遇又有挑战，作为一个工程技术人员怎样面对挑战而抓住机遇，使自己乘上工业化的快车！

每一位工程技术人员需要不断地去学习、去实践，丰富自己，才能跟上科技发展的步伐，从而能适应激烈竞争的环境。本系列丛书完全从这个角度出发，使读者反复于学习与实践之间，不仅可以领会理论的精髓，更可以掌握开发的技巧。

本系列丛书有以下特点：

实例丰富而详尽

针对目前图书市场情况，本系列丛书大多数以应用实例为主，其中有几本为应用实例集。文中所涉及硬件均有完整的电路图和源程序，更可贵的是大多数源程序都配有详尽的注释。涉及到操作步骤，更是详细而有序，手把手地教习读者去开发真正的产品。

涉及范围广而精

本系列丛书针对目前乃至今后市场需求，由最底层的微电子技术到 EDA 工程，由信号处理技术到 DSP，由测控技术到单片机，由宽带网技术到智能建筑，讲解机理透彻，应用实例实用经典。本系列丛书还侧重于新技术的推广，为我国迎头赶上先进技术提供一些启发。

读者定位准确

本系列丛书中的每一本都是针对不同的工程技术人员，涉及到电子和工控行业大多数的技术人员，让每一位读者都可以找到适合自己的技术书籍。

本系列丛书的选题策划、稿件编辑，得到了广大高校教师和业内工程技术人员的大力支持与合作，才使得本系列丛书能够以较高水准面向广大读者，在此表示衷心的感谢。

希望每一位工程技术人员走向各自事业的成功！

《工控与电子精品系列图书》策划委员会

2001年8月

序 言

集成电路技术 (IC, Integrated Circuit) 发展迅速, 已成为现代新兴工业的主流, 而技术的进步使得原本仅可以容纳十几个晶体管左右的技术 (SSI, 小型集成电路), 现在已经发展到在同一颗 IC 中可以容纳数十万个晶体管了, 就是现今最流行的 VLSI (超大规模集成电路) 技术。这种技术的进展快速可以从存储器容量的激增看得出来, 在 1975 年时仅有 1KB 的存储器, 到了 1985 年可以生产 1MB 的存储器了; 而 1999 年底的技术已经可以生产 256MB 的存储器了。

如此快速进步的技术让我们得以将复杂的系统整合在同一个芯片之中 (System On a Chip, SOC), 因而 ASIC (特定用途的集成电路) 的观念也逐渐烙印在每个集成电路设计工程师的心中, 所以不管工业界或是学术界, 自行设计 IC 已成为电子、电机, 甚至是信息领域的一个方向。再借助政府相关部门的大力推动, 设计并且生产 IC 已经不再是工业界的专利, 现在只要申请 (前瞻性或是教学性) 通过, 就可以让自己的理念实现在芯片中。

或许你会有这样的问题: 这样复杂的电路如何进行设计呢? 如何确定所设计的 IC 是否可以正确地运算呢? 这就不用担心了, 因为在学术界或是工业界都有合适的 CAD 工具软件提供给我们来进行 VLSI 电路设计与验证, 在本书第 9 章中开始介绍 EDA 工具: 包括加利福尼亚大学伯克利分校所开发的 CAD 软件 Magic, 与 Tanner Research INC. 开发的 Tanner Tools Pro。在 Magic 方面, 它是一个学习与使用上都相当容易的工具, 而且非常适合初学者作为入门之用, 它是个具有实时进行 DRC 的布局的软件, 另外它可以配合 IRSIM 进行开关层次的电路仿真 (注: 这个软件可以从网络上下载得到)。在 Tanner 方面, 它包含了电路图的编辑器, 几何图形布局编辑器与线路层次的电路仿真器。据笔者了解这个软件已经在美国许多大学中使用, 如华盛顿大学的信息工程与电子工程。

为求课程的连贯性, 第 1 章就先复习电子学中的 MOS 器件, 让各位在进入 VLSI 大门之前先做个热身运动。接下来对 MOS 的制造过程技术做个介绍, 并探讨 MOS 制造过程中一些重要的技术; 虽然与学习 VLSI 设计无多大的相关性, 不过对 VLSI 设计工程师而言, 这些制造过程是必须具备的概念。第 3 章开始带领各位进入 VLSI 设计的殿堂, 除了介绍 CMOS 基本逻辑门的设计之外, 还将介绍实际电路所考虑的电容问题。设计一个能正常运算的电路并不稀奇, 设计一个能正常运算的高性能电路, 可就不是人人都可以做到的, 在第 4 章中介绍如何分析电路性能的好坏, 从而了解如何设计一个高效能的电路。不过集成电路是一种 Team Work, 电路的好坏不但取决于基本逻辑门的性能, 而且与电路的结构息息相关, 所以第 5 章的内容在于介绍各种静态与动态电路架构的设计。当然集成电路的设计不是在于晶体管电路设计完成后结束, 而是还需要进行电路图的布局与验证, 第 6 章就是在介绍布局的方法与各种设计的方式, 包括门阵列 (Gate

Array)、标准单元(Standard Cell)与全定制(Full Custom)。在第7章带给各位的是设计工程师在设计过程中还会考虑的两个流行的问题:低功率电路与可测试性电路设计,尤其是低功率电路更是最近因环保而引起的热门问题。第8章中以几个常见的电路来介绍子系统电路的设计,其中包含加法器、减法器、计数器与存储器。第9章介绍伯克利分校所开发的CAD工具Magic,希望各位能从这个软件的使用过程中对VLSI设计有更深一层的认识。接下来的第10、11、12与13章是针对台湾开始广泛使用的Tanner做介绍,提供给读者一个可以进行设计计划与学习Tanner的机会。

VLSI设计涉及电子学、逻辑电路设计、计算机电路系统设计及其他相关领域课程,适合大学高年级学生、研究生来研读学习,或是具有上述相关背景学识的人员自修。本书内容力求浅显易懂、详尽明了,疏漏之处,望读者不吝赐教。

谢永瑞 于
台湾芯片系统设计中心

编辑前言

超大规模集成电路 (VLSI) 及其相关技术是现代电子信息技术飞速发展的关键性技术, 具有广泛影响和深远作用, 对经济建设、科技工程进步以及国防现代化建设起着巨大的推动作用。

“十五”期间, 发展 VLSI 及其相关技术是我国半导体产业的一个重要支撑点, 这就意味着需要更多的技术人才涉足该领域, 然而从目前我国超大规模集成电路研发的现状来看人才短缺、研发人员水平不高是不容忽视的问题! 可喜的是国内许多高校已经在研究生中开展了 VLSI 课程, 甚至有些高校已经在本科生中开展了此类课程, 加上有国家政策大力支持半导体技术, 相信在今后五年乃至更长时间里可以看到大量优秀的年轻人加入此行列。我社金地编辑室以此为契机, 从基础着手, 逐步有层次地引进一些优秀的半导体技术书籍, 为国内的研发人员和学生提供尽可能多的参考资料。

《VLSI 概论》的引进就是为国内的学生提供一本参考书籍, 让他们有更多的资料、从不同角度去理解 VLSI 的理论和制造精髓, 另外也为研发人员提供了一本值得借鉴的参考书。本书在进行编辑加工时, 由于我们水平有限, 书中难免存在不足, 敬请读者予以指正批评。

目 录

第 1 章 VLSI 与 MOS 器件.....	1
1.1 前言.....	1
1.1.1 集成电路的发展.....	1
1.1.2 集成电路制作技术简介.....	2
1.2 加强型 MOS.....	3
1.2.1 nMOS.....	3
1.2.2 pMOS.....	5
1.3 互补式 MOS (CMOS).....	6
1.4 体效应 (Body Effect).....	7
1.5 Latch-Up 效应.....	8
1.6 临界电压.....	9
1.7 小结.....	10
1.8 习题.....	10
第 2 章 CMOS 制造技术.....	11
2.1 集成电路基本制造技术.....	11
2.1.1 掺杂技术 (Dopping).....	11
2.1.2 氧化技术 (Oxidation).....	12
2.1.3 累晶技术 (Epitaxial).....	13
2.1.4 蚀刻技术 (Etching).....	13
2.1.5 其他相关技术.....	15
2.2 CMOS 制造技术.....	15
2.2.1 P 型阱 CMOS 技术.....	15
2.2.2 N 型阱 CMOS 技术.....	18
2.3 设计规则 (Design Rule).....	19
2.4 合格率 (Yield).....	21
2.5 小结.....	23
2.6 习题.....	23
第 3 章 MOS 基本电路介绍.....	25
3.1 当作开关使用的 MOS.....	25
3.2 MOS 基本逻辑电路.....	27

3.2.1	反相器 (Inverter)	27
3.2.2	与非门 (NAND)	29
3.2.3	或非门 (NOR)	30
3.2.4	复合逻辑电路 (Compound Logic Gate)	31
3.2.5	多任务器	34
3.2.6	存储单元	35
3.3	设计电路应考虑的问题	36
3.3.1	驱动较大负载的电路	36
3.3.2	电子移转现象 (Electro Migration)	39
3.3.3	接线电容进一步的考虑	40
3.4	小结	40
3.5	习题	41
第 4 章	电路性能分析	42
4.1	电阻估算	42
4.1.1	沟道电阻 (Channel Resistance)	43
4.1.2	非长方形物质的电阻值	43
4.2	电容估算	44
4.2.1	栅极电容	45
4.2.2	扩散层电容	45
4.2.3	其他电容	46
4.2.4	导线长度的限制	48
4.3	延迟时间 (Delay Time)	49
4.3.1	上升时间 (Rise Time)	51
4.3.2	下降时间 (Fall Time)	51
4.3.3	晶体管尺寸大小	52
4.3.4	时间延迟的估算	53
4.4	直流转移曲线	55
4.5	功率消耗 (Power Dissipation)	58
4.5.1	静态功率消耗	59
4.5.2	动态功率消耗	60
4.6	CMOS 和 nMOS 的比较	62
4.7	小结	62
4.8	习题	63
第 5 章	CMOS 电路设计	64
5.1	逻辑电路设计	64
5.1.1	时钟静态逻辑 (Clock Static Logic)	64

5.1.2	动态 CMOS 逻辑 (Dynamic CMOS Logic)	70
5.1.3	CMOS 多米诺骨牌逻辑 (CMOS Domino Logic)	75
5.1.4	管线式电路 (Pipeline Circuit)	77
5.2	设计时考虑的要素	79
5.2.1	晶体管的尺寸大小	79
5.2.2	逻辑门的输入个数	79
5.2.3	漏极与源极电容	81
5.3	输入输出电路结构 (I/O PAD Structure)	83
5.3.1	整体架构	83
5.3.2	V_{DD} 和 V_{SS} PADS	85
5.3.3	输出 PAD (Output PAD)	85
5.3.4	输入 PAD (Input PAD)	86
5.3.5	三态 PAD (Tri-State PAD)	86
5.3.6	双向 PAD (Bidirectional PAD)	88
5.4	一些特殊 CMOS 电路	89
5.4.1	虚拟 nMOS (Pseudo nMOS)	89
5.4.2	传输逻辑 (Pass Transistor Logic)	90
5.4.3	差分开关逻辑 (Differential Cascode Voltage Switch Logic)	91
5.5	各种逻辑电路比较	94
5.6	小结	95
5.7	习题	95
第 6 章	集成电路设计与布局方法	96
6.1	布局法	96
6.2	光罩与条形图	97
6.2.1	从条形图到布局图	99
6.2.2	基本逻辑电路布局图	102
6.2.3	布局时应注意的问题	108
6.3	设计方式	110
6.3.1	结构化设计	111
6.3.2	门阵列 (Gate Array) 设计	112
6.3.3	标准单元 (Standard Cell) 设计	113
6.3.4	全定制 (Full Custom) 设计	115
6.3.5	以上三种设计方式的比较	115
6.3.6	可编程逻辑数组 (PLA) 设计	116
6.4	设计者的工具箱	120
6.4.1	逻辑层次 (Logical Level)	120
6.4.2	开关层次 (Switch Level)	121

6.4.3	时序层次 (Timing Level)	121
6.4.4	电路层次 (Circuit Level)	121
6.4.5	电路图编辑器 (Schematic Editor)	122
6.4.6	布局图编辑器 (Layout Editor)	122
6.5	小结	122
6.6	习题	123
第 7 章	低功率电路设计与可测试性电路设计	124
7.1	低功率电路设计	124
7.1.1	各种功率的消耗	124
7.1.2	低功率电路设计的方向	126
7.1.3	低功率电路设计的电路结构	128
7.2	可测试性电路设计	132
7.2.1	错误模型 (Fault Model)	133
7.2.2	测试样本的产生	136
7.2.3	可测试性 (Testability)	137
7.2.4	扫描设计 (Scan Design)	138
7.2.5	周边扫描标准	140
7.2.6	自我检查电路设计	141
7.3	小结	144
7.4	习题	145
第 8 章	子电路系统设计	146
8.1	加法器	146
8.1.1	进位链加法器	149
8.1.2	进位链加/减法器	149
8.1.3	先行进位加法器 (Carry Look-Ahead Adder)	151
8.1.4	曼彻斯特进位链加法器 (Manchester Carry Chain Adder)	153
8.2	乘法器	154
8.2.1	平行乘法器 (Parallel Multiplier)	155
8.2.2	飞击式乘法器 (On-The-Fly Multiplier)	156
8.2.3	管线式乘法器 (Pipeline Multiplier)	159
8.3	计数器	162
8.3.1	异步计数器	162
8.3.2	同步计数器	162
8.4	内存	164
8.4.1	RAM	164
8.4.2	ROM	166

8.5 小结.....	167
8.6 习题.....	167
第9章 Magic 介绍	169
9.1 Magic 简介.....	169
9.2 Magic 的使用	170
9.2.1 起步.....	170
9.2.2 编辑命令.....	173
9.2.3 阶层式布局的运用.....	177
9.2.4 其他特殊工具与命令.....	179
9.2.5 各类文件输出.....	181
9.3 IRSIM 的使用.....	182
9.3.1 启动.....	183
9.3.2 状态设定.....	183
9.3.3 状态观察.....	184
9.3.4 电路仿真.....	184
9.4 小结.....	186
9.5 习题.....	187
第10章 Tanner Tools Pro 简介	188
10.1 Tanner 的设计流程.....	188
10.2 Tanner Tools Pro 在 IC 设计流程上的地位.....	189
10.3 Tanner Tools Pro 包含的软件.....	191
10.4 系统需求.....	192
第11章 S-Edit	193
11.1 S-Edit 的窗口介绍.....	193
11.2 S-Edit 的文件结构.....	197
11.3 S-Edit 设定.....	198
11.4 开始进行设计.....	201
11.5 编辑与绘制.....	208
11.6 电路的联结.....	211
11.7 属性与电路文件.....	215
11.8 例子导引.....	219
11.9 练习.....	227
11.10 计划.....	227
第12章 L-Edit 与 LVS.....	229
12.1 L-Edit 的窗口介绍.....	229

12.2 L-Edit 设定	232
12.3 文件与细胞 (Cells)	242
12.4 布局.....	248
12.5 查找与编辑.....	252
12.6 产生层次 (generate layers)	255
12.7 剖面图 (Cross-Section Viewer)	257
12.8 例子导引.....	259
12.9 DRC、EXT、SPR 与 LVS	261
12.10 DRC.....	261
12.11 EXT.....	262
12.12 SPR	266
12.13 CIF 与 GDSII 文件的转入与转出.....	269
12.14 Lab: SPR 的使用	270
12.15 LVS	273
12.16 练习.....	277
12.17 计划.....	278
第 13 章 T-Spice 与 W-Edit.....	279
13.1 T-Spice 的窗口介绍	279
13.2 T-Spice 命令工具.....	280
13.3 W-Edit.....	298
13.4 W-Edit 的窗口介绍.....	298
13.5 练习.....	304
第 14 章 LAB 四位加法器.....	305
14.1 基本单元电路的设计与仿真	305
14.2 基本单元的布局与验证	312
14.3 较大区块电路的验证.....	315
14.4 整个系统的验证	316
14.5 整个系统的布局与验证	317
14.6 结论.....	320
附录 教育性晶片.....	321
参考文献.....	325

第 1 章 VLSI 与 MOS 器件

VLSI (超大规模集成电路), 意思是可以将 1000 个以上的逻辑门电路制作在同一个晶片上的技术, VLSI 技术之所以能发展起来, MOS (金属氧化物半导体) 晶体管的发明占着举足轻重的地位, 若没有 MOS 晶体管的出现就不会有 VLSI, 也不会有将来的 ULSI (极大规模集成电路, 晶片中电路的密集度再提高), 它的重要性由此可见。

1.1 前 言

MOS 制造技术的发展促进了 VLSI 的流行, 在这之前的制造技术又如何呢? 以下就从集成电路的发展与制作的技术两方面做一个简单的介绍, 以期各位对集成电路的演进历史有一个概括性的了解。

1.1.1 集成电路的发展

集成电路的发展对人类造成了相当大的影响。当电路器件是以真空管为单位时, 所生产制造的电子产品体积就受到限制, 想想看一部需要上千平方米大的房间才能容纳得下的计算机, 而且只有一些简单的四则运算功能, 你如何带着它四处游走、又对现在的你有何贡献? 如今你已经可以带着便携式计算机闯天涯, 而且计算能力超强, 另外, 附带的游戏功能还可以提供休闲娱乐。就算电子器件是以 BJT 为单位时, 你也没有具有跑表功能的手表可带; 然而当 MOS 技术发展之后, 一切的不可能已经慢慢地突破了, 小至电子表, 大到 CPU 晶片, 都可以制作在同一块晶片上, 这时候的单元电路不再是以晶体管为单位, 而是以电路区块为单位了。

早期的晶体管是一个一个地做, 生产效率极低, 成本高昂; 而现在可以在一片晶片上制造出成千上万的晶体管, 只要在这个晶片的表面上反复进行氧化、蚀刻、扩散等加工制造技术, 这样的生产方式效率高、成本低、品质稳定, 适合大规模生产。而晶片的大小从以前的 2 英寸晶片到现在的 8 英寸晶片, 而且技术正在不断的提高当中。在晶片中, 每个独立的晶体管或电路各自占有一个矩形区域, 当平面加工完成之后就进行电路测试, 以便了解这套制造的成功率, 以及得到以后改善制造的参数, 然后再将晶片切割成一小块的晶片, 这些晶片经过打线、封装后再经过一次测试, 以确定晶片的品质。

超大规模集成电路具有以下这些优点:

1. 降低成本

VLSI 的设计可以将数十个 LSI (大规模集成电路) 的晶片组装在一个晶片中, 或是数百个 SI (集成电路) 的晶片集中在一个晶片中, 因此可以减少电路板的面积和适配卡的使用, 降低系统重量, 以达到成本的降低。例如, 在微电脑系统中原本用以与外部装置连接的 I/O 适配卡, 现在已经内建在主机板中。

2. 降低功率消耗

在 VLSI 技术中使用的是 MOS 制造技术, 而 CMOS (互补金属氧化物半导体) 电路具有省电的效果, 再者, 因为电路比以前更靠近了, 接线短、电阻电容小, 电路所消耗的功率也因而降低。另外, MOS 制造技术的进步使得工作电压可以降低, 现在新一代的 CPU 大都采用 3.3 伏特的电压, 功率消耗降低了, 也间接解决了一部分散热的问题。

3. 提高工作速度

因为集成电路中的电子器件尺寸缩小、接线长度缩小, 电路之间的距离减少, 使得电阻性与电容性减小, 电路速度得以提高。因此, 在 VLSI 集成电路中提高速度的两个主要原因是: 降低逻辑电路的时间延迟与信号传递的时间延迟。在 LSI 或是 SI 的时代中, 具有相当多的信号接线是在电路板上, 这会使得电路的速度大大降低; 而在 VLSI 中已经将这些 LSI 或是 SI 晶片尽量整合在同一个晶片中了, 速度当然可以获得相当大的提高。

4. 增加系统可靠度

在电路板的焊接常常会因为灰尘而发生虚焊的情形, 或是因为焊接不良造成电路板上的晶片松动, 结果都造成系统发生故障的情形, 但这种故障的情形却不是那么容易被查找出来, 有时会因工作时的震动造成接触不良而引发系统死机。当使用 VLSI 晶片时, 所需与外界接触的部分减少了, 发生故障的因素也就减少了。再者, 大部分的电路都包含在晶片之中, 电路比较不受外界的干扰, 性能也会较为稳定。

虽然集成电路具有那么多的优点, 但是这也是经过十几年的持续改进, 才会有今日的繁荣。当初遇到的主要问题就是合格率太低。合格率低代表着每片晶片中所生产可用的晶片比率相当低, 这非但无法达到原本大量生产的目标, 反而使成本增加。不过, 当技术成熟之后, 它的繁荣就是现在你所亲眼目睹的, 更惊人的是, 这个技术还在持续进步当中。

1.1.2 集成电路制作技术简介

在进入 VLSI (超大规模集成电路) 领域之前, 我们先了解一下各种制造技术。在集成电路中使用的制造技术有:

1. TTL (Transistor-Transistor Logic, 晶体管-晶体管逻辑电路): 技术复杂、面积大、功率消耗大。

2. ECL (Emitter-Coupled Logic, 射极耦合逻辑电路): 特性与 TTL 类似, 且速度相当快, 不过逻辑电平特殊、噪声免疫力低, 同样不适合较高密集度的电路设计。

3. MOS (Metal-Oxide Semiconductor): 可分为 pMOS、nMOS 与 CMOS, 制造较为简单、电路密集度高、面积小, 不过速度较慢。

4. BiCMOS (Bipolar Complementary-MOS, 双极性互补金属氧化物半导体): 利用 BJT (双极结构式晶体管) 的高驱动能力来当输出级, 因此具有 BJT 的快速、MOS 的高密集度等优点, 但制造相当复杂。

其中 TTL (74 系列 IC 中使用的技术) 和 ECL 可以得到较快的工作速度; 但是, 制造较复杂, 占用晶体的面积较大, 功率消耗也大, 因此在同一大小晶片上所制成的电路也就较小。晶片上电路紧密程度较小, 使得同一个电路要使用较多的晶片来完成。而 MOS 制造技术最简单, 占用晶片面积最小, 可以在同一块大小的晶片上容纳较大的电路。虽然 MOS 的功率消耗比 BJT 的小很多, 但是工作速度较慢。因此在高速度、低功率的要求下, BiCMOS 的技术应运而生。它是结合 MOS 和 BJT 两种技术, 因此制造上会比较复杂, 但是在工作速度和功率消耗上可以得到一个平衡点。通常 BiCMOS 电路用来做传输级, 这是利用它的高速及高驱动能力。而 MOS 制造可以分成以下三种: pMOS、nMOS 和 CMOS。pMOS 在 MOS 制造技术中是最简单的, 所以被应用得最早。但是它是利用空穴来导电, 所以速度会变得较慢。nMOS 则利用电子来做传导的工作, 因为电子的漂移速度约为空穴的二至三倍, 因此在相同的条件下, nMOS 制造的电路可以工作得比 pMOS 还要快。CMOS 则是同时包含了 nMOS 和 pMOS, 因此制造技术变得较为复杂。通常在 CMOS 电路中成对地包含 nMOS 和 pMOS 晶体管, 在稳态时只有一组晶体管 (nMOS 或 pMOS) 能够导通, 所以可以说没有静态功率 (Static Power) 消耗, 当然是目前最省功率的一种电路, 也因此获得相当多的青睐, 而成为现今流行的技术之一。

我们都了解 CMOS 是当今一种相当流行的技术。在本章中, 我们将以介绍 MOS 的一些基本性质及其各种工作模式为开端。以期各位能获得一些电路设计的基本概念。由于在 CMOS 技术中使用的 MOS 为加强型 MOS。在此我们仅介绍这一类型晶体管的特性。

1.2 加强型 MOS

MOSFET (金属氧化物半导体场效应晶体管) 的结构是由金属、氧化物、硅半导体层层重叠而得到的。其中氧化物 (SiO_2) 是用来当作绝缘体之用, 而金属主要是用来传递信号, 硅半导体则构成晶体管的主要部分。硅半导体可分成 N 型与 P 型, MOS 也因此分成 nMOS 与 pMOS。以下我们将简单介绍这两种 MOS 的结构特性与操作模式。

1.2.1 nMOS

图 1.1 是 nMOS 的基本结构图。源极与漏极透过金属与 n 型半导体区域相接, 但栅极与沟道之间有一薄的绝缘体 (SiO_2) 阻隔。在 MOS 制作完成之后沟道是不存在的, 而它是否存在视栅电压 (V_{GS}) 的大小而定。衬底 (SS) 通常是与电路的最低电压相接。在 V_{DS} 大于 0 时, 若 V_{GS} 大于 0, 使得栅极与漏极相对于源极为正电位, 栅极的正电位将使