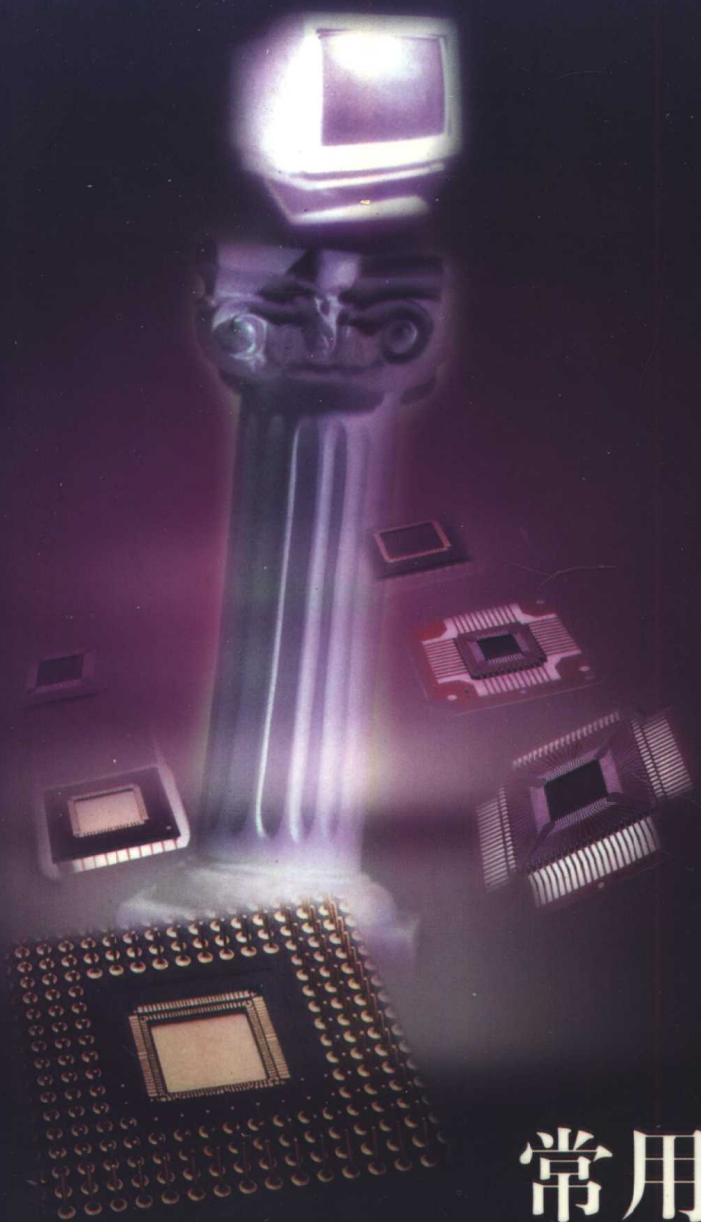




微机 常用集成电路 功能及应用实例手册

吴晓峰 主编
衣龙海 敬红 潘海 等编



人民邮电出版社
PEOPLE'S POSTS &
TELECOMMUNICATIONS
PUBLISHING HOUSE

微机常用集成电路 功能及应用实例手册

吴晓峰 主编
衣龙海 敬红 潘海 等编

人民邮电出版社

内 容 提 要

本书以 Intel 系列芯片为基础,着重介绍了目前国内常用的微型计算机集成电路 150 余种,包括存储器、外围接口、D/A 和 A/D 转换器、8 位和 16 位及 32 位微处理器与协处理器以及单片微处理器。书中详细介绍了它们的功能、特点、方框图、引脚图和引脚说明,并且给出了大量典型应用实例。

本书不仅对科研部门、从事半导体器件生产、设计、应用的工程技术人员以及大专院校师生十分有用,而且对于从事计算机应用、自动控制的人员以及从事仪器仪表的研究、生产和维修的工程技术人员也是一本很好的参考书。

微机常用集成电路功能及应用实例手册

- ◆ 主 编 吴晓峰
编 衣龙海 敬红 潘海 等
责任编辑 刘君胜
- ◆ 人民邮电出版社出版发行 北京崇文区夕照寺街 14 号
北京鸿佳印刷厂印刷
新华书店总店北京发行所经销
- ◆ 开本:787×1092 1/16
印张:36
字数:907 千字 1998 年 3 月第 1 版
印数:1~5 000 册 1998 年 3 月北京第 1 次印刷

ISBN7-115-06805-4/TP·565

定价:49.00 元

前 言

微型计算机技术突飞猛进的发展,是体现当今科学技术活力的重要特征之一。数据采集、过程控制及智能化仪器仪表又是微型计算机应用的重要领域。随着大规模集成电路技术的迅速进步,各种通用和专用微型计算机集成电路相继大量问世。但是,在众多的微型计算机集成电路家族中,通用的 Intel 系列芯片的应用仍占主导地位。目前,虽然国内介绍这类芯片的书籍不少,但其中有些“大全”手册中的芯片型号不仅不全且素材有些陈旧。为此,我们根据工作中积累的经验有重点地选择了目前最常使用和最新推出的 150 种芯片,主要包括存储器、外围接口、D/A 和 A/D 转换器、8/16/32 位微处理器与协处理器及单片微处理器,以期从事计算机应用、数据通信、自动控制及仪器仪表研究、生产、维修的广大工程技术人员提供一本内容精炼、型号较全、使用方便的实用工具书。

本书在选材上以通用的 Intel 系列芯片为基础,又扩充了部分常用的美国 Analog Device 公司 D/A 和 A/D 转换器以及近年来应用较为火爆的网络接口芯片及 286、386、486、586 微处理器与门阵列外围芯片及单片微处理器等;在编写上力求内容简练、层次分明、通俗易懂,并对大多数芯片都列举了应用实例。因此,本书具有素材新颖、内容充实、实用性强的特点。

全书共分五章。第一章“存储器”和第三章“D/A 和 A/D 转换器”由敬红同志编写,第二章“外围接口芯片”主要由衣龙海同志编写,第四章“微处理器与协处理器”和第五章“单片微处理器”由吴晓峰同志编写。全书的文字、图表与审校等工作主要由潘海、衣龙海和敬红同志完成。此外,在本书的编写过程中得到了莫春英、张士栋等同志的帮助,在此表示感谢。

由于我们缺少编写微型计算机集成电路手册的经验,因而本书可能存在错误与疏漏之处,敬请广大读者批评指正。

作者

1997 年 8 月

目 录

第一章 存储器	1
1.1 4kbit(512×8)非易失 RAM 2004	1
1.2 1024×4 位静态 RAM 2114A	3
1.3 高速 4096×1 位静态 RAM 2147H	6
1.4 65,536×1 位动态 RAM 2164	8
1.5 8kbit×8 位集成 RAM 2186	10
1.6 16kbit(2kbit×8)紫外线擦除 PROM 2716	13
1.7 32kbit(4kbit×8)紫外线擦除 PROM 2732A	15
1.8 64kbit(8kbit×8)紫外线擦除 PROM 2764	17
1.9 128kbit(16kbit×8)紫外线擦除 PROM 27128A	18
1.10 256kbit(32kbit×8)CHMOS 紫外线擦除 PROM 27C256/87C256	21
1.11 512kbit(64kbit×8)紫外线擦除 PROM 27512	24
1.12 页寻址 512kbit(4×16kbit×8)紫外线擦除 PROM 27513	26
1.13 128kbit 键存取 KEPROM™ 27916	28
1.14 16kbit(2kbit×8)电可擦除 PROM 2817A	32
1.15 64kbit(8kbit×8)新型电可擦除电可写 PROM 2864A	34
1.16 新型非易失大容量 FLash 存储器 28F020	36
1.17 高速 CMOS 16,384×1 位静态 RAM 51C67	39
1.18 高速 CHMOS 4096×4 位静态 RAM 51C69	41
第二章 外围接口芯片	44
2.1 8 位微处理器通用外设接口 8041A/8641A/8741A	44
2.2 具有输入/输出转接口、计时器和 2048 位静态 RAM 的接口 8155H/8156H/8155H-2/8156H-2	50
2.3 MCS-85 用的 1024×8 位静态随机存储器 8185/8185-2	53
2.4 动态 RAM 控制器 8202A	57
2.5 64kB 动态 RAM 控制器 8203	61
2.6 高速八选一二进制译码器 8205	65
2.7 检错和纠错单元 8206	66
2.8 双端口动态 RAM 控制器 8207	71
2.9 动态 RAM 控制器 8208	80
2.10 8 位输入输出接口 8212	84
2.11 4 位并行双向总线驱动器 8216/8226	87

2.12	双向微计算机总线控制器 8218/8219	89
2.13	系统控制器和总线驱动器 8228/8238	92
2.14	可编程 DMA 控制器 8237A	96
2.15	MCS-48 输入/输出扩展口 8243	99
2.16	可编程通信接口 8251A	102
2.17	可编程定时/计数器 8253/8253-5	107
2.18	可编程间隔定时器 8254	111
2.19	可编程并行 I/O 接口 8255	113
2.20	多功能微处理器支持控制器 8256AH	116
2.21	可编程 DMA 控制器 8257	120
2.22	可编程中断控制器 8259A	124
2.23	单/双密度软盘控制器 8272A	127
2.24	可编程 HDLC/SDLC 规程控制器 8273,8273-A	130
2.25	多协议串行控制器 8274	134
2.26	可编程 CRT 控制器 8275H	138
2.27	可编程键盘/显示接口 8279	141
2.28	8 位锁存器 8282/8283	144
2.29	时钟发生器和驱动器 8284A	148
2.30	8 位总线收发器 8286/8287	150
2.31	总线控制器 8288	153
2.32	总线仲裁器 8289	156
2.33	仪器仪表通用接口总线(GPIB)发送/接收器 8291A	161
2.34	仪器仪表通用接口总线(GPIB)控制器 8292	169
2.35	仪器仪表通用接口总线(GPIB)收发器 8293	178
2.36	数据加密/解密单元 8294A	185
2.37	点阵打印机控制器 8295	190
2.38	带 16384 位 ROM 的 I/O 接口 8355/8355-2	193
2.39	带 16384 位 EPROM 的 I/O 接口 8755A/8755A-2	197
2.40	CHMOS 高集成度软盘控制器 82072	201
2.41	集成系统附属器件 82380	205
2.42	高速缓冲存储器控制器 82385	209
2.43	以太网(Ethernet)串行接口 82501	215
2.44	以太网(Ethernet)收发器 82502	218
2.45	串行通信控制器 82530/82530-6	221
2.46	局域网协处理器 82586	229
2.47	局域网控制器 82588	233
2.48	图形显示控制器 82720	237
2.49	文本处理器 82730	239
2.50	视频接口控制器 82731	243
2.51	AT/286 系统控制器 82C201	246

2.52	AT/286 地址译码器 82C202	252
2.53	AT/286 高地址总线控制器 82A203	255
2.54	AT/286 低地址总线控制器 82A204	258
2.55	AT/286 数据缓冲器 82A205	260
2.56	AT/286 外设控制器 82C206	262
2.57	AT/386 系统总线控制器 82C301	266
2.58	AT/386 页式/交叉内存控制器 82C302	270
2.59	AT/386 高地址缓冲器 82A303	273
2.60	AT/386 低地址缓冲器 82A304	275
2.61	AT/386 数据缓冲器 82A305	278
2.62	AT/386 控制缓冲器 82A306	280
2.63	增强型图形控制器 82C435	283
2.64	总线接口 82A436	287
第三章 D/A 和 A/D 转换器		291
3.1	8 位单片乘法型 D/A 转换器 AD1408/AD1508	291
3.2	微处理器兼容的低成本 8 位 D/A 转换器 AD558	293
3.3	CMOS 10 位单片乘法型 D/A 转换器 AD7520	294
3.4	带缓冲器的 CMOS 8 位乘法型 D/A 转换器 AD7524	296
3.5	微处理器兼容的 4 路 12 位 D/A 转换器 AD390	297
3.6	微处理器兼容的 4 路 12 位 D/A 转换器 AD394/AD395	299
3.7	微处理器兼容的双缓冲 8 位 D/A 转换器 DAC0830/0831/0832	301
3.8	微处理器兼容的 12 位双缓冲 D/A 转换器 DAC1208/1209/1210/1230/1231/1232	303
3.9	8 位微处理器兼容的 A/D 转换器 ADC0801/0802/0803/0804/0805	307
3.10	带 8 通道开关的 8 位 A/D 转换器 ADC0808/0809	309
3.11	具有采样保持功能的 8 位高速 A/D 转换器 ADC0820	311
3.12	具有多路转换开关的 8 位串行 I/O、A/D 转换器 ADC0831/0832/0834/0838	314
3.13	廉价、全 8 位 A/D 转换器 AD570	316
3.14	微处理器兼容的 CMOS 8 位 A/D 转换器 AD7574	319
3.15	微处理器兼容的 CMOS 10 位 A/D 转换器 AD7571	321
3.16	具有微处理器接口的快速 12 位 A/D 转换器 AD574A	324
3.17	12 位逐次逼近通用 A/D 转换器 ADC80	327
3.18	单电源低功耗 10 位 A/D 转换器 ADC1005	329
3.19	12 位 CMOS A/D 转换器 ADC1210/1211	331
3.20	13 位 CMOS 单片式 A/D 转换器 AD7550	333
3.21	16 位 A/D 转换器 ADC1143	335

第四章 微处理器与协处理器	338
4.1 8 位微处理器 8080A	338
4.2 8 位 HMOS 微处理器 8085A	344
4.3 16 位微处理器 8086	352
4.4 数据协处理器 8087	357
4.5 8 位 HMOS 微处理器 8088/8088 - 2	371
4.6 输入输出微处理器 8089	380
4.7 高集成度 16 位微处理器 80186	390
4.8 高集成度 8 位微处理器 80188	403
4.9 16 位微处理器 80286	414
4.10 80 位 HMOS 数据协处理器 80287	418
4.11 32 位微处理器 80386	426
4.12 数据协处理器 80387	447
4.13 32 位微处理器 80486	462
4.14 算术快速运算器 8231A	490
4.15 iCOMP 指数 510 \ 60MHz、567 \ 66MHz Pentium™处理器	495
4.16 iCOMP 指数 610 \ 75MHz Pentium™处理器	504
4.17 iCOMP 指数 610 \ 75MHz、735 \ 90MHz、815 \ 100MHz Pentium™处理器	513
第五章 单片微处理器	525
5.1 MCS - 48 系列单片微处理器	525
5.2 MCS - 51 系列单片微处理器	540
5.3 MCS - 96 系列单片微处理器	552

第一章 存 储 器

1.1 4kbit(512×8)非易失 RAM 2004

一、概述

Intel 的 2004 是 4kbit 非易失随机存储器(NVRAM),结构为 512×8 位,它利用 E² PROM 阵列可靠的非易失存储能力提供静态 RAM 的实时读/写功能,防止掉电时存储内容的丢失。

2004 NVRAM 内部由一个高速 RAM 阵列组成,并由 E² PROM 阵列逐位备份成非易失性的存储。为快速存储和调用,静态 RAM 和 E² PROM 阵列之间的数据传输采用并行方式,并构成最小系统。

在易失性 RAM 和它的非易失性 E² PROM 副本之间传输数据具有两种功能,存储(STORE)功能为把 RAM 中的数据送入 E² PROM,调用(RECALL)功能为从 E² PROM 中取回数据放入 RAM 中。两种功能均由单独的 $\overline{\text{NE}}$ 信号控制, $\overline{\text{NE}}$ 信号可由存储映像空间的一般电路、一个 I/O 口或掉电检测输出使之有效。

2004 NVRAM 的操作特点可以使微处理器长时间高速运行。在非易失存储方式,每次存储(STORE)操作的数据可以保存十年以上,存储操作可以可靠地运行 10,000 次。

2004 NVRAM 为 28 引脚封装,地址、数据、控制线符合 JEDEC 标准。

二、特性

- * 单 5V 电源。
- * 快速静态 RAM 读/写周期:
 - 2004 - 2 最大为 200ns;
 - 2004 最大为 250ns;
 - 2004 - 3 最大为 300ns。
- * 单线存储(STORE)及调用(RECALL)。
- * 上电时自动调用(RECALL)方式。
- * 存储(STORE)周期自动定时为 10ms。
- * 上电及掉电时有写保护电路,保护数据。
- * 闲置方式时为低功耗。
- * 每次存储操作,数据可保存 10 年。
- * 最少 10,000 次的非易失存储周期。
- * 读、写及调用周期可无限使用。
- * HMOS - E FLOTOX 单元设计。

三、框图与引脚排列

NVRAM2004 的框图如图 1-1 所示,引脚图如图 1-2 所示。

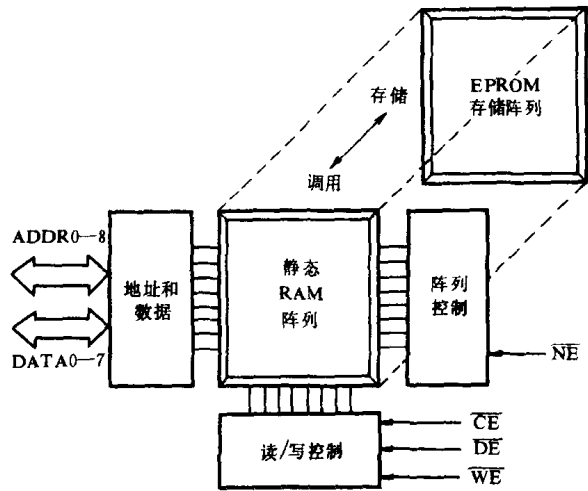


图 1-1 NVRAM2004 框图

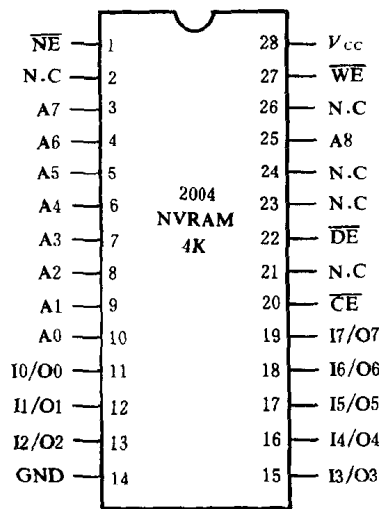


图 1-2 NVRAM2004 引脚图

四、引脚说明

NVRAM2004 引脚说明见表 1-1。

表 1-1 NVRAM2004 引脚及其功能

符号	引脚号	类型	名称和功能						
$A_0 \sim A_8$	3 ~ 10, 25	I	地址;512×8 位内存的地址线,高电平有效。						
			模式选择						
				闲置	读	写	调用 - 上电	调用(标准)	存储
$\overline{CE}$	20	I	片选:	V_{IH}	V_{IL}	V_{IL}	×	V_{IL}	V_{IL}
$\overline{OE}$	22	I	输出使能(读):	×	V_{IL}	×	×	V_{IL}	V_{IH}
$\overline{NE}$	1	I	非易失使能(存储/ 调用控制):	×	V_{IH}	V_{IH}	×	V_{IL}	V_{IL}
$\overline{WE}$	27	I	写使能:	×	V_{IH}	V_{IL}	×	V_{IH}	V_{IL}
$I_0/O_0 \sim I_7/O_7$	11 ~ 13, 15 ~ 19	I/O	数据输入/输出:	高阻	数据输出	数据输入	高阻	高阻	高阻
V_{CC}	28		电源; +5V						
GND	14		地						
N.C	2,21,23 24,26		未用						

五、典型应用

实例 1: 与 MCS-51 的连接。

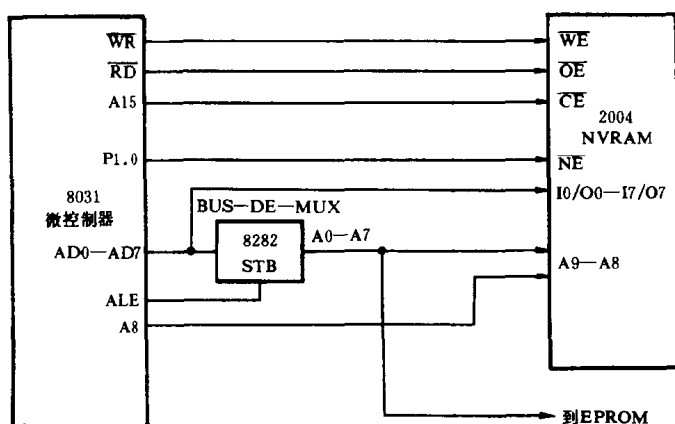


图 1-3 NVRAM2004 与 MCS-51 的连接

非易失的 RAM 使用标准控制线,与微处理器的接口和标准引脚输出一致。这种 RAM 多一条非易失使能($\overline{\text{NE}}$)控制线,用来控制非易失存储阵列的存储(STORE)和调用(RECALL)功能。 $\overline{\text{NE}}$ 输入在 RAM 存储周期保持为高,每个单独的 512 RAM 阵列字节的寻址由片选($\overline{\text{CE}}$)信号控制通过地址线 0 到 8($A_0 \sim A_8$)实现,然后一个字节(8 位)的数据传入或传出 NVRAM 中的 RAM 阵列。当写使能信号($\overline{\text{WE}}$)为低,输出使能($\overline{\text{OE}}$)保持 TTL 高电平时,数据被写入, $\overline{\text{OE}}$ 输入为低, $\overline{\text{WE}}$ 输入为高时,数据被读出。其具体连接。如

图 1-4 NVRAM2004 与 iAPX188CPU 的连接

实例 2:与 iAPX188 CPU 的连接。

NVRAM2004 与 iAPX188 CPU 的连接如图 1-4 所示。

1.2 1024×4 位静态 RAM 2114A

一、概述

Intel 2114 是一种 4096 位(1024×4 位)静态随机存储器,采用高性能和高可靠性的 HMOS 工艺。存储器阵列和译码电路均采用全直流静态电路,因而无时钟或刷新的要求。由于几乎不需要地址建立时间,因而数据存取特别简单。数据采用非破坏性读出且与输入极性相同,输入输出的引脚共用。

2114A 在输入输出及单 +5V 电源等方面均直接与 TTL 兼容,当多片 2114 的输出端是“或”连接时,由片选($\overline{\text{CS}}$)很容易分别选择其中的某一片 2114A。

2114A 成本低、存储容量大、输入/输出简单,采用高密度的 18 引脚封装,是 2114 的升级产品。

二、特性

- * 单电源 +5V, $\pm 10\%$ 容差。
- * HMOS 工艺。
- * 低功耗,高速度。
- * 工作周期和存储时间相同。
- * 全静态存储器,不需时钟或定时选通脉冲。
- * 所有的输入输出端都与 TTL 兼容。
- * 使用三态输出,数据的输入输出端共用。

三、框图与引脚排列

静态 RAM2114A 框图如图 1-5 所示,引脚图如图 1-6 所示。

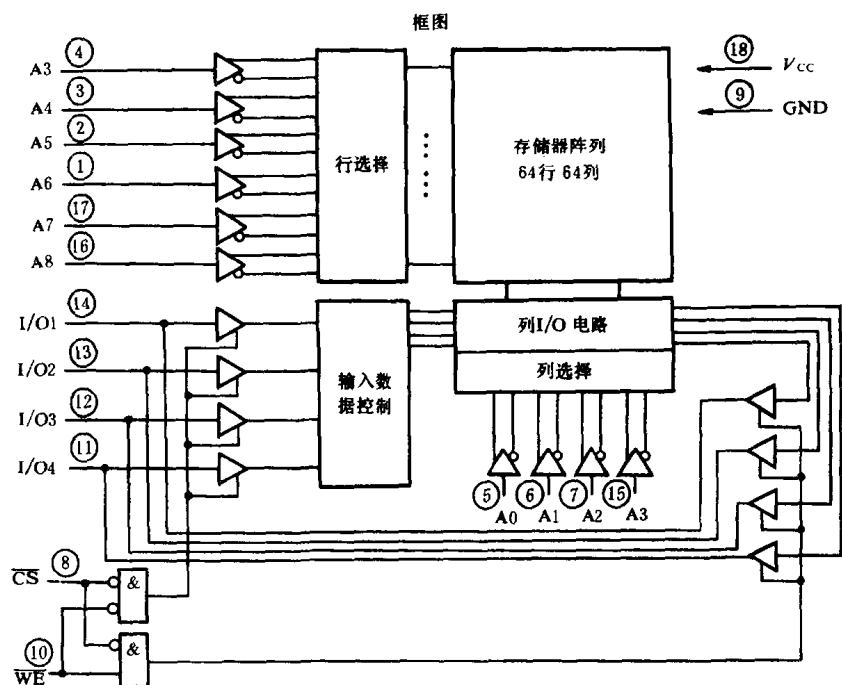


图 1-5 静态 RAM2114A 框图

四、引脚说明

静态 RAM2114 引脚说明见表 1-2。

表 1-2 静态 RAM2114A 引脚及其功能

符号	引脚号	类型	名称和功能
$A_0 \sim A_9$	1 ~ 7, 15 ~ 17	I	地址线: 1024 $\times$ 4 位内存的地址线, 高电平有效。
$I/O_1 \sim I/O_4$	11 ~ 14	L/O	数据输入/输出线; 2114A 的数据线, 与系统的数据总线连接。

符号	引脚号	类型	名称和功能
$\overline{CS}$	8	1	片选;低电平有效,用来选择器件。
$\overline{WE}$	10	1	写允许;当 $\overline{WE}$ 为低,且 $\overline{CS}$ 信号有效时,允许对 2114A 进行写操作。
V_{CC}	18		电源: +5V
GND	9		地

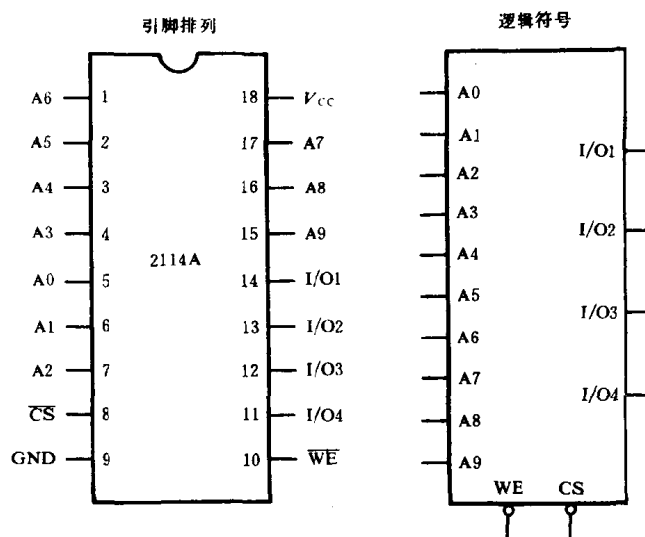


图 1-6 静态 RAM2114A 引脚图

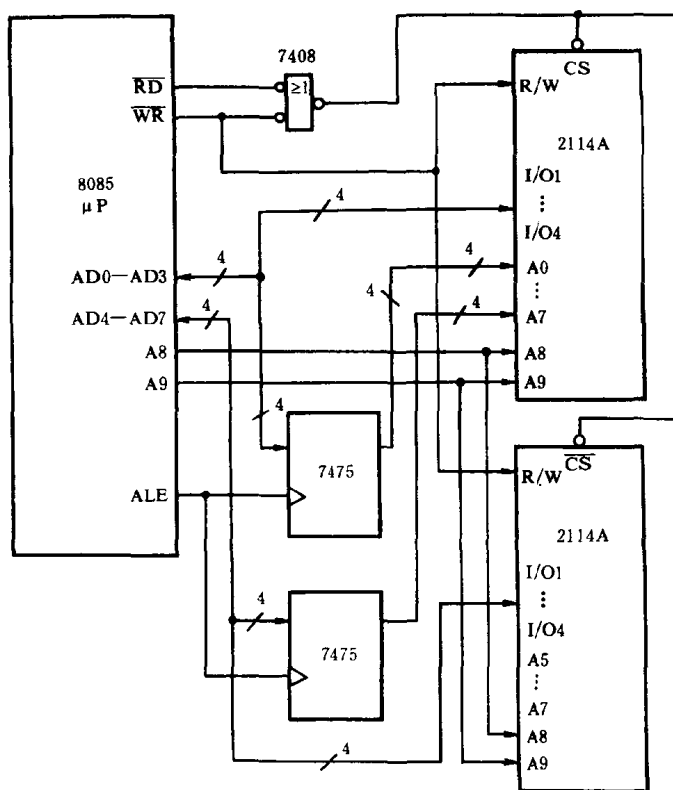


图 1-7 静态 RAM2114A 与 8085 的连接

五、典型应用

实例：2114A 与 8085 的连接。

静态 RAM2114A 与 8085 的连接如图 1-7 所示,8085 的数据地址复用线 $AD_0 \sim AD_7$ 与 2114 的数据输入线和 7475 四位锁存器的输入端相连。7475 由 8085 的 ALE 提供时钟脉冲,输出地址的低八位。地址的高两位直接与 8085 的 A_8, A_9 相连,因为这两条线不是复用线。

当 $\overline{RD}$ 或 $\overline{WR}$ 为低时 2114 被选通。注意:2114 不能一直被选通,否则,它输出的数据与 8085 输出的地址会同时出现在总线上。

1.3 高速 4096×1 位静态 RAM 2147H

一、概述

Intel 公司的 2147H 是 4096 位静态随机存储器,结构为 4096×1 位,采用 HMOS III 工艺(一种高性能的 MOS 技术)。由于使用独特的创新设计方法,2147H 具有容易使用的特点,为无时钟的全静态存储器,与有时钟的静态存储器相比减少了闲置时的功耗。对用户来说这种存储器闲置功耗低,无时钟、地址建立和保持时间的要求,不会由于工作周期比存储时间长而降低数据传输率。

2147H 由 $\overline{CS}$ 信号控制功耗下降。在 $\overline{CS}$ 信号变为高电平(2147H 不被选中)后的不到一个工作周期里,器件自动降低功耗需要,并且在 $\overline{CS}$ 高电平期间保持这种低功耗的闲置方式。由于在较大的系统中,大多数器件是不被选中的,器件的这种特性就可以使系统功耗节省约 85%。

2147H 为工业标准 18 引脚封装,输入、输出及单 +5V 电源都与 TTL 直接兼容。数据读出是非破坏性的,并与输入数据极性相同。数据输入和输出引脚分开,采用三态电路。

二、特性

- * 引脚、性能及功耗都与工业标准的 2147 兼容,是 2147 的直接升级产品。
- * 采用 HMOS III 工艺。
- * 全静态存储器,无时钟或定时选通要求。
- * 存取时间与工作周期相同。
- * 单 +5V 电源。
- * 输出定时参考电平为 0.8~2.0V。
- * 自动功耗下降。
- * 数据输入和输出分开,采用三态输出。

三、框图与引脚排列

静态 RAM2147H 框图如图 1-8 所示,引脚排列如图 1-9 所示。

四、引脚说明

静态 RAM2147 的引脚说明见表 1-3。

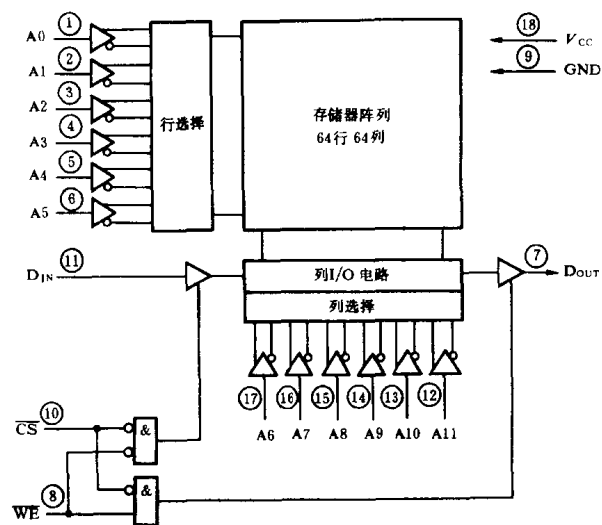


图 1-8 静态 RAM2147H 框图

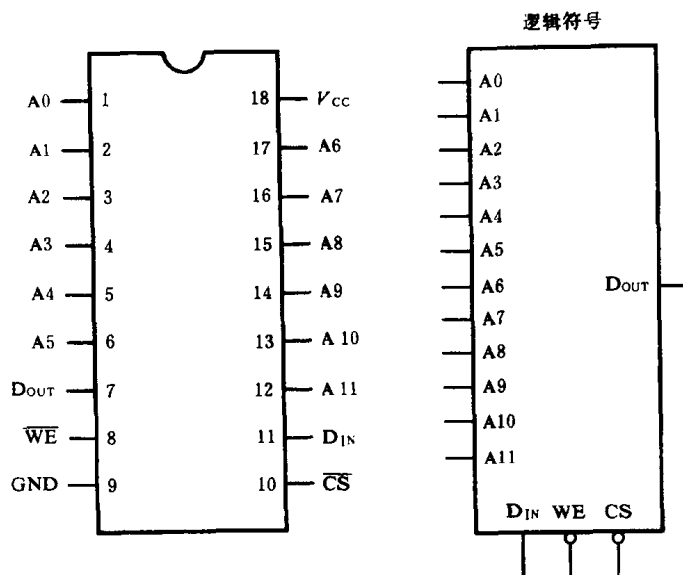


图 1-9 静态 RAM2147H 引脚图

表 1-3

静态 RAM2147 引脚及其功能

符号	引脚号	类型	名称和功能																					
$A_0 \sim A_{11}$	1 ~ 6, 12 ~ 17	I	地址输入:4096×1 位的地址线,高电平有效。																					
$\overline{CS}$	10	I	片选	<table><tr><td>$\overline{CS}$</td><td>$\overline{WE}$</td><td>模式</td><td>输出</td><td>功耗</td></tr><tr><td>H</td><td>X</td><td>未选中</td><td>高阻</td><td>闲置</td></tr><tr><td>L</td><td>L</td><td>写</td><td>高阻</td><td>工作方式</td></tr><tr><td>L</td><td>H</td><td>读</td><td>D_{OUT}</td><td>工作方式</td></tr></table>	$\overline{CS}$	$\overline{WE}$	模式	输出	功耗	H	X	未选中	高阻	闲置	L	L	写	高阻	工作方式	L	H	读	D_{OUT}	工作方式
$\overline{CS}$	$\overline{WE}$	模式	输出		功耗																			
H	X	未选中	高阻		闲置																			
L	L	写	高阻		工作方式																			
L	H	读	D_{OUT}	工作方式																				
$\overline{WE}$	8	I	写使能																					
D_{OUT}	7	O	数据输出																					
D_{IN}	11	I	数据输入																					

符号	引脚号	类型	名称和功能
V_{CC}	18		+5V 电源
GND	9		接地

1.4 65,536 × 1 位动态 RAM 2164

一、概述

Intel 公司的 2164 是一种 65,536 × 1 位 M 沟道 MOS 动态随机存储器,采用 HMOS 工艺。2164 采用单管和先进的动态线路设计,运行速度快,功耗低,用单 +5V 电源。2164 为高密度封装,16 位地址分两次打入,所以只有 8 个地址输入引脚。两组 8 位 TTL 电平的地址,分别由两个 TTL 选通脉冲即行地址选通($\overline{RAS}$)和列地址选通($\overline{CAS}$)控制锁存于 2164 片内。因为对 $\overline{RAS}$ 和 $\overline{CAS}$ 的定时没有过高的要求,所以 2164 虽然采用了两次打入技术,但仍能保持高性能。

2164 外锁存与 TTL 兼容,数据三态输出由 $\overline{CAS}$ 控制,与 $\overline{RAS}$ 无关。在有效读出或读—修改—写周期后,只要 $\overline{CAS}$ 为低电平,数据将在输出引脚上出现并保持其状态,当 $\overline{CAS}$ 变成高电平,则数据输出变成高阻抗。

2164 中有 512 个灵敏放大器,每个放大器控制 128 个存储单元,故 2164 仍可用 128 个刷新周期来进行刷新。2164 有一种选择特性,即刷新周期中可保持输出端处的数据状态,称之为隐刷新。这时应使 $\overline{CAS}$ 保持低电平, $\overline{RAS}$ 要再度变成低电平,才开始执行一个特殊的只用 $\overline{RAS}$ 的刷新周期,特别是这时 $\overline{CAS}$ 也保持低电平。这种隐刷新特性,允许在一个数据周期中,隐含一个刷新周期而不影响数据的可用性。

二、特性

- * 采用 HMOS 工艺,与 2118 兼容。
- * 单 +5V 电源,容许误差 $\pm 10\%$ 。
- * 全部输入(包括时钟)均与 TTL 兼容。
- * 128 刷新周期/2ms,只用 $\overline{RAS}$ 作刷新。
- * 无锁存,输出是三态与 TTL 兼容。
- * 输入允许负冲 $V_{ILMIN} = -2V$ 。
- * 页式和隐式刷新兼容。

三、框图与引脚排列

动态 RAM2164 框图如图 1-10 所示,引脚图如图 1-11 所示。

四、引脚说明

动态 RAM2164 的引脚说明见表 1-4。

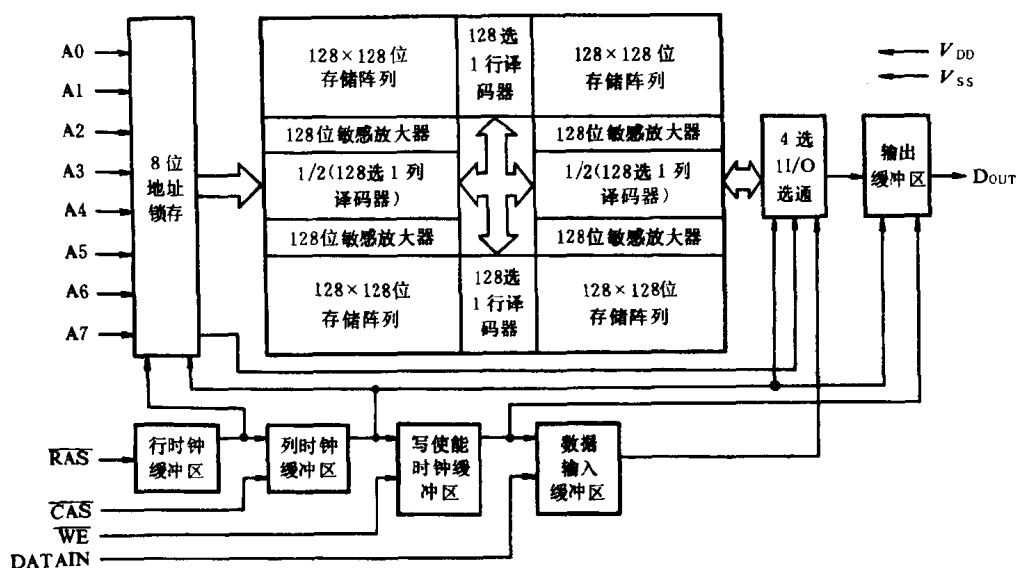


图 1-10 动态 RAM2164 框图

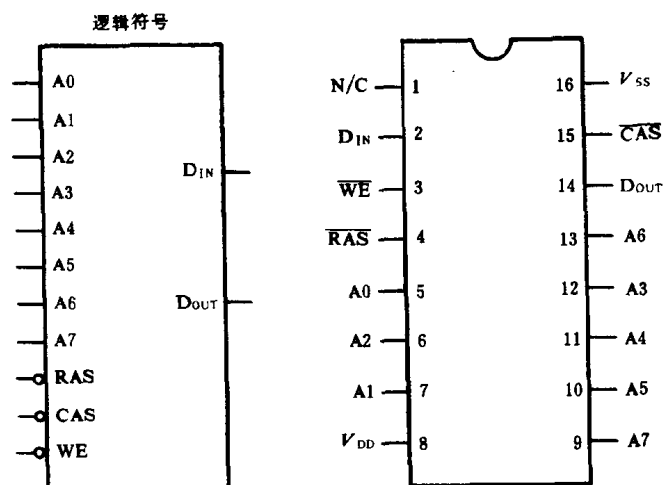


图 1-11 动态 RAM2164 引脚图

表 1-4

动态 RAM2164 的引脚及其功能

符号	引脚号	类型	名称和功能
$A_0 \sim A_7$	5~7, 9~13	I	地址输入: 65,536 $\times$ 1 位的地址线, 高电平有效, 16 位地址分两次打入, 由 $\overline{RAS}$ 选通脉冲控制。
$\overline{CAS}$	15	I	列地址选通: 为一 TTL 脉冲, 控制列地址锁存及数据三态输出。当 $\overline{CAS}$ 为低电平, 数据出现在输出引脚并保持, 变为高电平时, 数据输出端为高阻抗。
D_{IN}	2	I	数据输入: 在 $\overline{WE}$ 或 $\overline{CAS}$ 的下降沿有效。
D_{OUT}	14	O	数据输出: 为三态输出, 由 $\overline{CAS}$ 控制, 当 $\overline{CAS}$ 为高时, D_{OUT} 状态为高阻抗, $\overline{CAS}$ 为低时, 数据出现在输出引脚。