

微 型 机 原 理

(上 册)

北 京 工 业 大 学

前 言

近几年来微型机系统由于价格便宜、扩展灵活、使用方便可靠以及维护方便等多方面的优点。已在国民经济各部门中以及人们日常生活中得到广泛的应用。我校 1980 年开始研制生产以 Z80CPU 为主的 TP80 系列单板微型机和 TS 教学实验系统。

为推广和普及这一新技术。我校曾举办过多期培训班，我系从 78 级开始为自动化系开设以 Z80CPU 为主的微型计算机课程。本教材是在自动化系 78.79 级微型机教材的基础上编写成的。作为自动化系“微型机”课的教材。课程讲授约需 60—80 学时。实验约需 30—40 学时，练习则根据具体情况酌情而定。

本教材也可以作为微型计算机训练班的教材，也适合于学习和应用 Z80 微型计算机的科学技术人员的自学教材。

本教材由张秀琼编写，由自动化系微型机应用研究室吴定荣审阅定稿。部分曾经计算机科学系主任杜玮同志审阅。

全书插图由张二力同志绘制。在此一并致谢。

由于编者水平有限，时间又很仓促。错漏和不妥之处在所难免，恳请读者批评指正。

北京工业大学计算机系

微型机应用教研室

1983 年 5 月

目 录

第一章 概述

- [1.1] 微处理器和微型计算机发展历史 (1)
- [1.2] 微处理器和微型计算机的定义 (3)
- [1.3] 总线和三态逻辑 (5)

第二章 Z80-CPU

- [2.1] Z80—CPU 的结构特点 (10)
- [2.2] Z80—CPU 引脚说明 (22)
- [2.3] Z80—CPU 的时序 (25)

第三章 Z80—CPU 指令系统

- [3.1] Z80—CPU 指令系统的概述 (34)
- [3.2] Z80—CPU 指令系统 (44)

第四章 汇编语言程序设计

- [4.1] 汇编语言 (89)
- [4.2] 汇编语言程序设计 (98)
- [4.3] 浮点数四则运算程序 (140)

第五章 Z80 中断系统

- [5.1] 中断的概念 (159)
- [5.2] Z80 中断系统的特点 (162)
- [5.3] 中断的允许和中断的禁止 (164)
- [5.4] Z80 的中断优先级 (167)
- [5.5] Z80 中断控制逻辑 (178)
- [5.6] Z80—CPU 的中断响应 (181)
- [5.7] 中断处理程序设计举例 (188)

第一章 概 述

〔1.1〕微处理器和微型计算机发展历史

微处理器是七十年代人类重要的创新之一。自从1971年第一块微处理器 INTEL 4004 问世以来,仅有十二年的历史。而它的发展速度却是极其惊人的。它的性能和集成度,几乎每两年增加一倍,产量急剧增加。现在世界上各种微处理器、单片微型机等已有 480 多种,年产值达几十亿美元。

整个计算机工业发展速度本来就很快,然而微处理器及微型机出现以来,由于它的体积小,性能价格比最优,特别是价格低廉这一条,使它的应用深入到各个领域。大至航天工业,小到家庭、个人。它的发展之迅速,影响之深远,远远超过了它的前代。现在一小片微型机的功能,超过了 50 年代初期占地上百平方米,功耗成百千瓦的电子管计算机。性能价格比也提高很快,今天十多美元的单片微型机,性能达到十多年前成十万美元的晶体管计算机系统。

微处理器和微型机的发展历史,是和大规模集成电路的发展分不开的。60 年代初期的硅平面管工艺和二极管晶体管逻辑电路的发展,促使小规模集成电路 (SSI) 在 1963—1964 年出现、金属氧化物半导体 (MOS) 晶体管工艺又把集成度显著提高,到了 60 年代后期,在一小片几个平方毫米的硅片上,已有可能容纳几千个晶体管,这就出现了大规模集成电路 (LSI)。LSI 器件体积小、功耗低、可靠性高。在 1970 年前期,已经可以生产 1 K (1024) 位的存储器,这些技术和工艺已经为设计生产微处理器和微型机打下了基础。可以说,它们是以电子计算器为种子,半导体技术为土壤而结出的丰硕果实。

1971 年第一片单片微处理器 INTEL 4004 问世,它采用了 PMOS 技术,在 4.2 毫米的硅片上,集成了 2250 个晶体管,16 条引脚双列直插式封装。它是 4 位微处理器,可作 4 位二进制的并行处理,功能是有限的,一般讲是不适用于通用计算机。但是,配上只读存储器、(ROM) 读写存储器 (RAM)、移位寄存器以及输入/输出等 4 个芯片电路,便是 MCS-4 微型计算机。重要的是它可以装在电动打字机、照相机、电视机、台秤及许多家用器具上,赋予这些器具一定的“智能”,从而大大地提高了这些器具的工作质量。4004 本来是作为高级袖珍计算器而设计的,后经改进,成为 4040 型微处理器,这就是第一代的微处理器。INTEL 8008 在 1972 年出现,这是 8 位微处理器。接着,于 1973 年又发表了另一种 8 位微处理器 INTEL 8080。这时很多公司都对微处理器产生极大的兴趣,许多厂商都加入这一行业,生产出了一批 8 位型处理器,如 Motorola 6800, Signetics 2650, MOS TECHNOLOGY 6501, 6502 和 Rockwell PPS 8 等,这

就是第二代微处理器。自此，便步入了微处理器、微型机的新时代。这时，微处理器的设计和生产技术已经相当成熟。大多朝着这几个方面努力：

- 提高硅片集成度；
- 提高功能和速度；
- 降低成本；
- 减少组成微型机系统所需的硅片数目；
- 增加外围配套电路的种类并增强其功能；
- 把中央处理器（CPU）、存储器 and 输入/输出电路做在一片硅片上；等等。

1975—1976 年出现了集成度更高，性能更强、速度更快的 Z80。它是 Zilog 公司在 INTEL 8080 基础上加予提高而制造出的一种微处理器。采用 NMOS 技术，40 个引脚，它在好些方面都比 INTEL 8080 有所提高、有所改进。

1980 年 National Semiconductor 公司推出了 NS 8000 采用 CMOS 技术，也是 40 个引脚的 8 位微处理器。

在 1977 年左右，超大规模集成电路（VLSI）工艺宣告成功，在一片硅片上可以集成一万个以上的晶体管。16K 位和 64K 位存储器也生产出来了。在这基础上，从 1978 年开始研制 16 位微处理器，如 INTEL 8086，Zilog Z 8000 和 Motorola 68000 等。这些就是第一代超大规模集成电路微处理器，也称为第三代微处理器。16 位微处理器中，还有一类是将小型机微型化的，如 DG 公司的 MICRO NOVA，DEC 公司的 LSI 11/23 等。

到了 80 年代初，超大规模集成电路工艺，已经可以在单片硅片上集成几十万个晶体管。32 位的微处理器宣告制成了。如贝尔实验室的 Bellmac-32A 的 32 位微处理器，在一块硅片上集成了 150,000 个晶体管，HP 的 32 位微处理器在 1/4 平方英寸上集成了 450,000 个晶体管，采用了 1 微米 NMOS-Ⅱ 工艺。相对于 8 位微处理器来说，32 位微处理器可以称为一种高级的微处理器，例如 INTEL 432，National Semiconductor 公司的 16032，Motorola 公司的 68020 等。32 位微处理器的出现，使微处理机开始进入一个崭新的时代。微型机的概念也发生了变化，32 位微型机无论从结构特点，功能，应用范围等方面看，实质上是小型机的微型化。如 INTEL 公司的微型机 IAPX 432 称为 Micro main-frame，意思即是主机的微型化。其功能可以与 IBM 370/158 大型机相比美。National Semiconductor 公司的 16032 执行 PASCAL 速度甚至超过 Cyber 公司的大型机 Cyber 173。

随着微处理器和它的支持芯片的出现，微型机和微型机系统也象雨后春笋般地出现了。微型机开始不是以整机出售的，而是用户根据自己的需要，用散件自行组装。自从 1975 年 MITS 公司生产了 Altair 8800 微型机后，微型机才进入市场以整机出售的。随之，不仅出售装好的整机，而且还出售完整的微型机系统。据统计，1979—1980 年初，微型机的装机台数已达 50 万台。今后五年全世界微型机生产累计数量将突破 1200 万台。年增长率达 59%。到 1986 年微型机的平均价格若每年下降 20%，那时全世界微型机的销售额预计将超过 110 亿美元。

目前 8 位微型机因为软件齐全、价廉而处于主导地位。8 位微型机今后将继续积累软件。16 位微型机出现才只有几年短短的历史，但已经经历了两代更新而推进到第三代。

而由微型机阵列构成的巨型机的方案也提出了不少，有人预言：将来的计算机系统，将是由微处理器组成的微型机网络和阵列结构的机器。

[1.2] 微处理器和微型计算机的定义

微处理器简称为 μP ，微型计算机简称为 μC 。 μP 本身不是计算机，它只是微型计算机的控制和处理部分，而 μC 则是具有完整运行功能的计算机，它应包括 μP 作为它的 CPU，还应包括存储器、输入/输出 (I/O) 接口电路等。一台 μC 的基本框图见图 1.1)

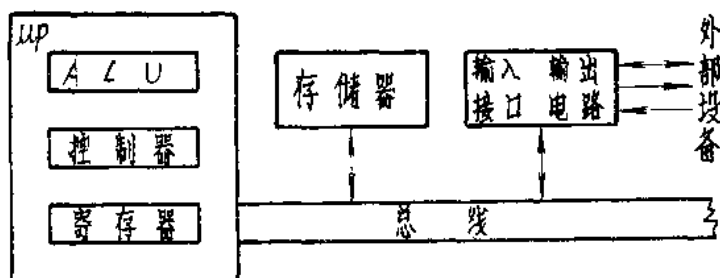


图 1.1 μC 基本框图

μP 包括三个基本的部分：

1. 算术逻辑部件：(ALU)：它执行算术运算操作，如加法、减法；以及执行逻辑操作，如逻辑“与”(AND)和逻辑“或”(OR)等。
2. 寄存器：每个 μP 中都有多个寄存器，用来存放操作数、中间结果以及标志工作状态的信息等等。
3. 控制器：它包括定时的时钟脉冲发生器以及其他控制操作的电路。

总线一般分为：数据总线，地址总线和控制总线，存储器包括读写存储器 (RAM) 和只读存储器 (ROM)。 μC 通过 I/O 接口电路可与各种外部设备连接。从图可知 μP 和存储器、I/O 电路组合在一起，才能构成 μC 。有的 μP 本身就是 μC 的 CPU。有的 μP 要外加时钟发生器和系统控制电路才构成 μC 的 CPU。而 μC 中，有的是把 CPU、存储器和 I/O 电路都做在一片芯片上，这叫做单片 μC ，例如，Fairchild 的 F8，INTEL 的 8048，8049，8021，8022，Zilog 的 Z8 等；有的是把 CPU、存储器和 I/O 电路三种集成电路芯片，再加上键盘，显示器等一起放在一块印刷电路板上，这叫做单板机，例如，TP801，TP802，TP803，等。

TP801 的原理框图如 (图 1.2) 所示。图上所示出的组件和器件都安装在一块双面的印刷电路板上。

还有一种微型机的 CPU、存储器和 I/O 电路放在多块印刷电路板上。这些印刷电路板插在插座上，通过总线相互连系，这叫做多板机。例如，CROMEMCO (M5)，

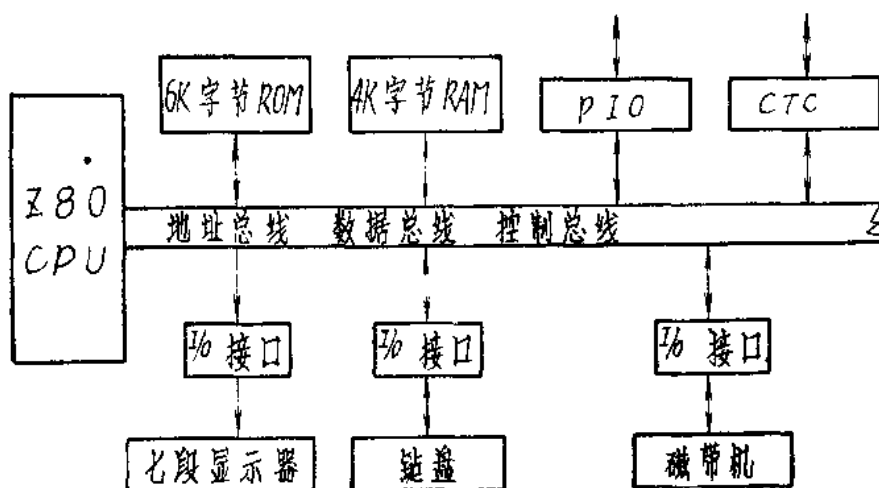


图 1.2 TP801 原理框图

SD-100, LIS 11/23 等。

CROMEMCO 的方框图见(图1.3)。这个方框电路图总共由 5 块印刷电路板组成。电路板插在插座上, 通过 S-100 总线相互连系。

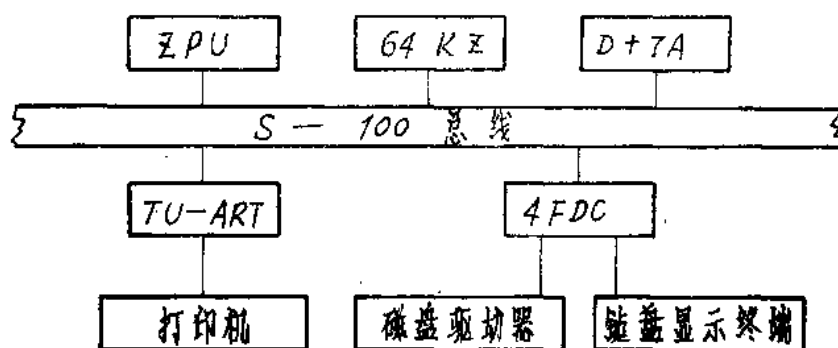
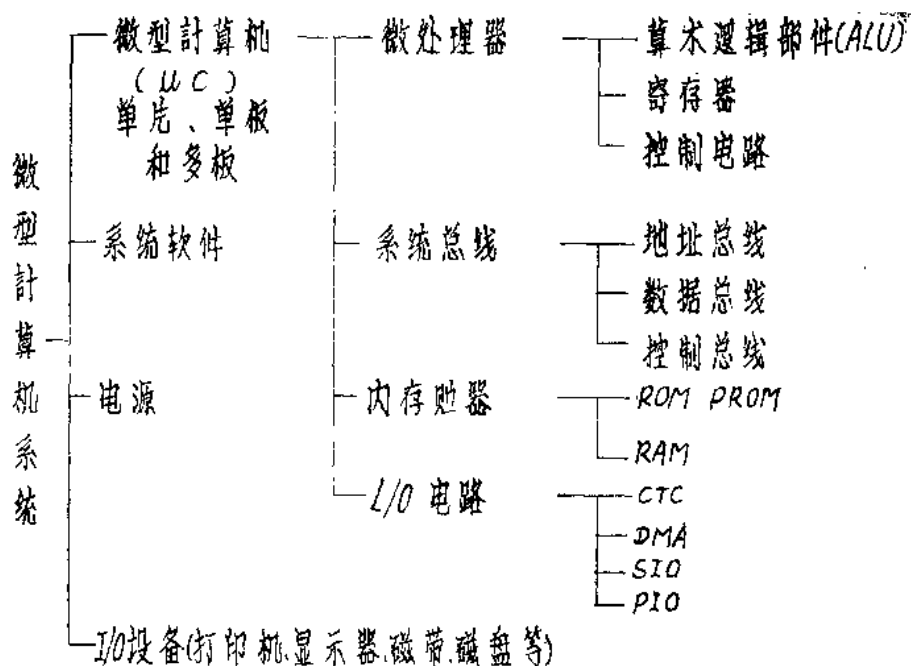


图 1.3 CROMEMCO 框图

从上面介绍的 TP801 单板机和 CROMEMCO 多板机的方框图看出, 不管是单板机或多板机它们都是由 CPU, 存储器 and I/O 电路组成的。

一台 μC 再配上系统软件(例如监控、操作系统, 汇编等), 电源以及各种外围设备, 例如: 键盘显示终端, 打印机, 磁盘, 磁带机等, 才能构成 μC 系统。表 (1-1) 概括了 μP , μC 和 μC 系统三者的相互关系。

表 1—1 微处理器微型计算机和微型计算机系统相互关系



[1.3] 总线和三态逻辑

1.3-1 总线

在计算机术语中，总线通常定义为一组导线，信息将从它上面通过，由一个地方传到另一个地方。在许多情况下，信息能从几个信息源中的任意一个发出，也能传送到几个目的中的任一个中去。此外，如果有些总线能朝二个方向传送信息，称为双向总线。只能朝一个方向传送信息的则叫单向总线。当然，对于给定的总线，在同一个时间里，只能出现一种信息的传送，即信息在总线上是按分时传送的。

(图 1.4) 表示在典型微处理中，数据总线的安排。一般情况下，在这类系统中，所有数据传送都要与 CPU 打交道，数据在 RAM 与 CPU 之间的任何一个方向上进行传送（双向）。而其他数据一般是单向传送。

这里有两个注意的是：第一，必须保证在任何一定的时间内，只能传送一个数据，所以对每一个信息的目的地和源，要规定不同的地址。例如 RAM、ROM、输出锁存器以及缓冲器，各自都有一个或多个片选端或称片允许端。在片选端加上相应的逻辑电平后，电路才能被选中而投入工作。依靠规定每个电路的不同地址，我们可以保证在任一时间只有一个电路被接通。

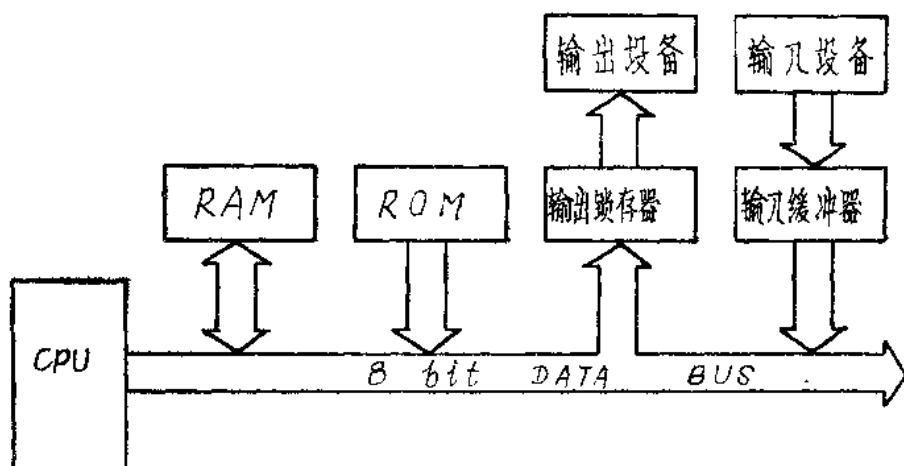


图 1.4 典型的数据总线布置图

(图 1.5) 表示具有寻址能力的框图。每个电路上都加上了一个地址译码器，从 CPU 来的地址信息经过地址总线输入到地址译码器。地址译码器的输出接到各个电路的片选端上，由于在任何给定的瞬间，地址总线上只能出现一个地址，所以在同一时刻，只能有一个外电路能被接通（被选中）。

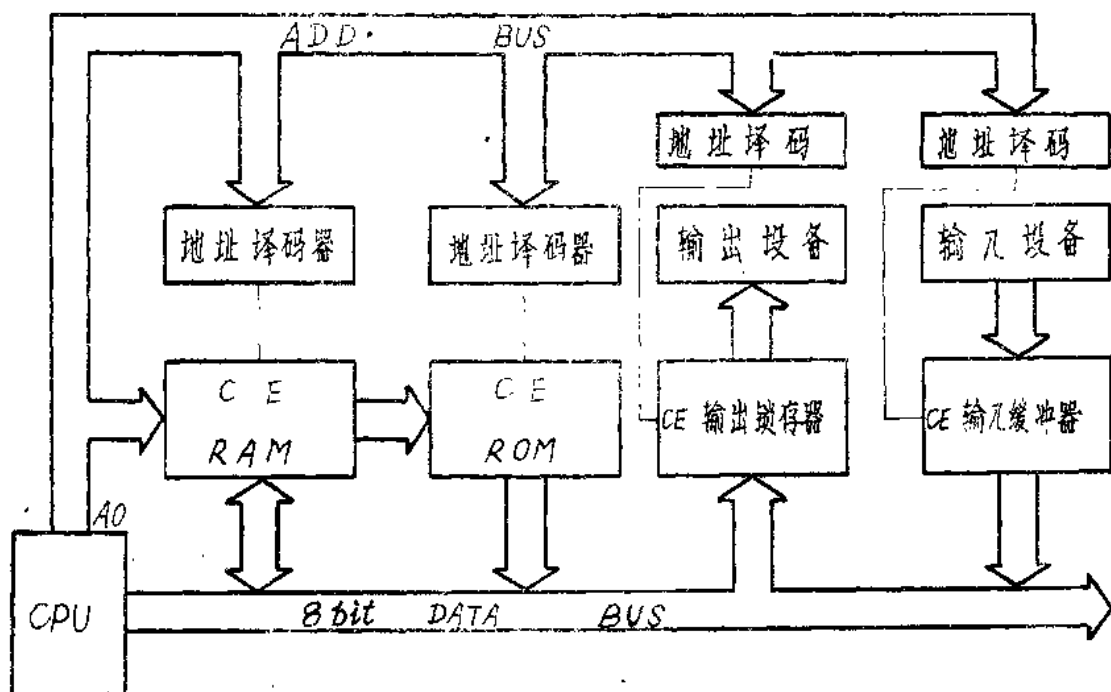


图 1.5 具有寻址功能的总线布置图

由于每个字节都有它自己的地址，所以存储器上规定了许多地址。例如，如果采用容量为 512 字节 RAM，则要规定 0000H 到 01FFH 个地址。当这些地址中的任一个出

现在地址总线上时，该 RAM 通过它的片选线而被选中。注意，总线的地址部分是直接连到 RAM 的，选择的对象是 RAM 中的某个字节。输出锁存器及输入缓冲器也规定了唯一的地址，因此只要在总线上安排合适的地址，CPU 就能同任何一个外部电路沟通，进行信息交流。

第二，它是由数字逻辑电路的“二状态”特点产生的。标准逻辑门的输出总是不为逻辑 1 (H)，就为逻辑 0 (L)，现在的问题是，假定电路没被选中，那么与总线连接的这些线路的输出是什么状态？首先我们知道，它们与被选通的电路的输出是连着的。假如被禁止的电路的输出为高，它们与被选通的电路的低输出就有矛盾，换句话说，当其他电路迫使总线变高的同时，一个电路企图将总线变低而产生矛盾。这个问题一般可以由开集电极输出门或由下面就要介绍的三态门来解决。在微处理机中更经常的是采用了三态逻辑门。

1.3-2 三态逻辑

所谓三态逻辑，就是它的输出有三种状态：逻辑“1”、逻辑“0”、“浮空”（“高阻”）状态。当处于“浮空”状态时，电路呈现极高输出电阻。下面对三状态器件工作原理及用它组成单向缓冲电路作一介绍。

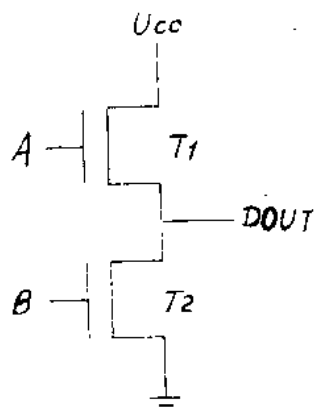


图 1.6 MOS 型三态器件原理图

表 1-2 真值表

IN		OUT
A	B	DOUT
0	1	0
1	0	1
0	0	高阻抗

(图 1.6) 所示的电路是由 T_1 、 T_2 两个 MOS 管组成的，输入端为 A 和 B，输出端为 DOUT，其输入与输出的对应关系如 (表 1-2) 真值表所示。由表可见，输出 DOUT 除有“0”，“1”两种状态外，尚有第三种状态。当输入 A 和 B 均为逻辑“0”时， T_1 与 T_2 均截止，使输出呈现高阻状态。因此，输出端总共有“0”，“1”“高阻抗”（简称“高阻”）三种状态。用这个电路构成三态单向数据缓冲单元，电路如 [图 1.7 (a)] 是三态非反相缓冲门。其输入、输出及 CE 关系如 (表 1-3) 真值表所示。

由真值表可见，当 $\overline{CE} = 0$ 时， $DOUT = DIN$ 当 $\overline{CE} = 1$ 时 DOUT 呈高阻状态。

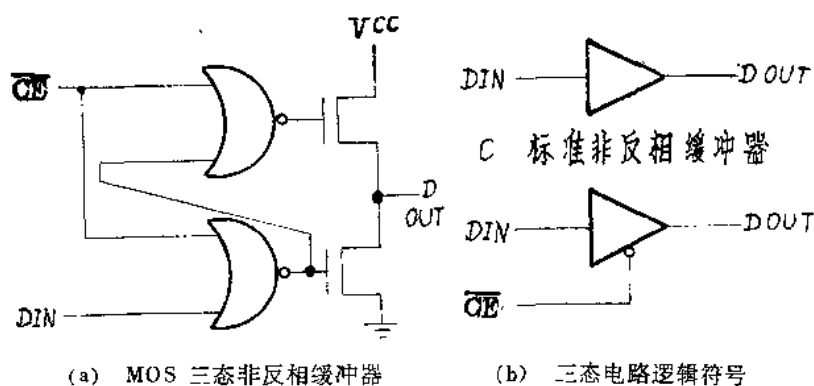


图 1.7

[图 1.7 (c)] 是标准的非反相缓冲器。将非反相缓冲器与三态非反相缓冲器作一比较。非反相缓冲器能增加输入信号的驱动能力，而不会改变逻辑电平，因此输出信号可以驱动的逻辑门的数目十倍于输入信号。标准的缓冲器具有一个输入端。输出端的逻辑电平同输入端。三态缓冲器具有两个输入端。除了通常的数据输入端外，还有一个选通/禁止输入端 ($\overline{CE}$)。该输入端可以是 1，也可以是 0，这取决于我们希望缓冲器选通还是禁止。[图 1.7(b)] 中的缓冲器表示的是用逻辑 0 使输入端选通。

表 1-3 真值表

$\overline{CE}$	DIN	DOUT
0	0	0
	1	1
1	x	高阻

现在有许多不同类型的三态电路，[图 1.8 (b)] 就是上面讲过的那一种。它不能反向，并由逻辑 0 选通。[图 1.8(a)] 缓冲器在选通禁止端没有画上一个小圆圈，它表示缓冲器由逻辑 1 选通，逻辑 0 禁止，[图 1.8 (c)、(d)] 表示的是反相缓冲器。前者用逻辑 1 选通，后者由逻辑 0 选通。

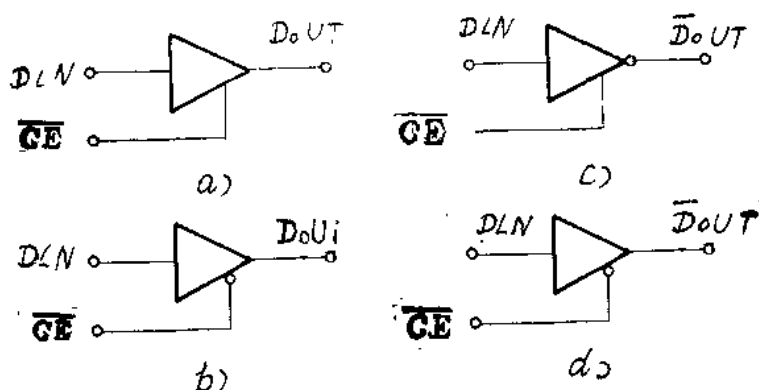


图 1.8 四种类型三态缓冲器

现在许多微处理机的支持电路已装有缓冲器。比如，大部分 RAM 及 ROM 已装有

三态缓冲器，因此在 RAM，ROM 没选中时，它们会自动呈现第三状态。这种输出状态称为关断、不连接、禁止、浮空、悬浮或称为处于高阻抗状态。

1.3-3 系统总线

多板结构的微型机由若干块印刷电路板组成，即 CPU 模块板，存储器板和各种 I/O 电路接口板。选用不同的模块板连接起来，加上外部设备，即形成各种功能的微型机系统。这些模块板之间的连接都通过统一的总线，即每块插板都有一定数量的引脚插入插座内，插座的同号引脚都接在一起，这样就完成系统内各电路板之间的通信。

用总线结构，组成计算机很方便，而且便于系统的扩充，更新，便于维修和调试。各公司可以面对总线去设计和制造各种模块板，提供给市场。用户可以根据需要，选购合适的模块和总线来组成符合自己要求的微型机。由于总线结构有许多优点，故各大的微型机公司都相继设计了自己的系统总线：

目前比较主要的系统总线有：

LSI-11 总线，也称为 Q 总线，这种总线是由 DEC 公司研制的，发表于 1975 年。它用于 DEC 公司生产的 PDP-11 系列的小型机微型化系列。

EXORCISER 总线，这种总线是 1977 年 Motorola 公司研制的。用于 6800 为 CPU 的微型机系统。

多总线 (Multi BUS) ——多总线是 INTEL 公司这几年提出来的。INTEL 公司生产了许多称为 SBC 的单板机。利用 Multi BUS 来组成多处理机系统。

S-100 总线，它是目前较常用的总线之一。最初用于美国 MITS 公司生产的 Altair 微型机。主要用于业余爱好者的微型机套件 (KIT) 中，以后被推广而被许多微型机厂所采用。如 CROMEMCO 系统，TP 801 也设置有二个 S-100 总线插座。

第二章 Z80—CPU

Z80-CPU 是 Zilog 公司 1974 年研制的 8 位微处理器。Z80 的主要设计人员参加过 INTEL 8080 的设计工作, 因此, Z80 是在充分汲取 8080 微处理器经验的基础上设计的。Z80 系列在 8080 的基础上前进了一大步。它在指令系统功能、中断处理能力等方面都比 8080 系统强得多, 而且速度更快, 硬件方面也有许多改进。

本章主要介绍 Z80-CPU 的结构、引脚功能和时序。

[2.1] Z80-CPU 的结构特点

2.1-1 Z80-CPU 的主要特点

Z80 和 8080 比较有以下特点:

Z80 采用 N 沟道硅栅耗尽型负载工艺, 因而集成度比 8080 高。例如, 8080 A 的集成度是 88 个门/ mm^2 而 Z80 则提高到 133 个门/ mm^2 ; Z80-CPU 是单片的, 而 8080 CPU 由三片构成。Z80 速度比 8080 快, 功耗比 8080 低;

单一电源。Z80 只需要一个 +5 V 的电源, 而 8080 A 需用三种电源, +5 V - 5 V、+12 V,

单相时钟, 8080 A 使用双相时钟, 要用一片 8224 作时钟振荡器, 而 Z80 只用单相时钟, 使用简单的 TTL 电路就能实现。而且 Z80B 时钟频率提高到 6MHz;

增加动态存储器刷新电路, 在 Z80-CPU 内部有一个 7 位的刷新计数器, 可以提供刷新地址, 利用取指令周期译码期间, 自动进行动态存储器的刷新, 因而不必另设刷新电路。而 8080A 无此功能, 若使用动态存储器, 要另加刷新电路;

增加一条中断输入线。Z80 比 8080 多一条中断输入线, 它除了一般中断请求 ($\overline{\text{INT}}$) 输入线外, 和 6800 相似还有一条非屏蔽中断请求输入线 ($\overline{\text{NMI}}$), 这是不能用软件来禁止的中断请求。它用来处理一些紧急的中断请求, 如掉电事故的处理等。Z80 中断响应方式有方式 0, 方式 1, 方式 2 三种。而 8080 的中断响应方式只有方式 0 一种;

控制总线的设置, Z80 有 13 条独立的控制总线, 直接产生控制信号, 和外界连接很简单。而 8080 的系统控制状态, 是由数据总线上的状态信息码, 经系统控制器 8228 片译码产生。Z80 的读、写控制信号和 8080 也不一样。8080 的存储器读、存储器写、I/O 读、I/O 写是分开的, 而 Z80 使用一个公用的读、写信号, 然后用存储器请求或 I/O 请求信号来区分是存储器读、写还是 I/O 读、写。

DMA 操作时, 地址和数据总线浮空的时间关系也有变化。8080 在请求保持 (HOLD) 时, 是在机器周期的第三种和第四种状态使总线浮空的, 这时, CPU 进入保持状态。

Z80 采用一个直观的方案：如有总线请求信号（ $\overline{\text{BUSRQ}}$ ）输入，它使地址和数据总线在下一个机器周期的开始就浮空，并且发出总线响应信号（ $\overline{\text{BUSAK}}$ ）。

内部寄存器增加了。Z80-CPU 内部寄存器数量比 8080 增加很多，通用寄存器、累加器、标志寄存器都分为主辅两组，两组之间可以进行数据交换。还增加了两个 16 位的变址寄存器。

指令系统功能增强。Z80 有 150 条基本指令，其中 78 条是和 8080 一样的（机器码一样）。所以说 Z80 的指令系统是向下与 8080 兼容的。用 8080 指令系统编写程序，除了和指令执行时间有关的延时程序外，都可以在 Z80 上运行。Z80 增加了数据块传送指令，数据块索搜指令，按位处理指令和双字长处理指令等。另外寻址方式也比 8080 多。

2.1-2 Z80-CPU 的结构

Z80-CPU 的简要结构框图见(图2.1)。和其他微处理器一样主要由四部分组成：

寄存器堆、算术逻辑运算部件（包括 ALU 和 ALU 控制）、控制和定时部件（包括指令编码译码器、控制总线同步和控制器、状态定时和存贮周期控制），以及总线与缓冲器。

Z80-CPU 把 8080 的通用寄存器和程序状态字寄存器扩展成相同的二组，而且两组寄存器内容可以交换。这样使 Z80-CPU 在处理单级中断时效率非常高。现场信息（通用寄存器和累加器的内容）没有必要放到堆栈内去，它只要通过交换指令在两组寄存器之间进行交换就可以把现场信息在 CPU 内部保存起来。这种交换只用两条交换指令就可以完成。一条指令是交换累加器和状态寄存器，另一条指令交换其余 6 个通用寄存器。这两条指令都是单字节指令，所以整个交换只需八个时钟周期就可以完成。若主频为 6MHz，大约需 $1.3 \mu s$ 。这可以使 CPU 的中断响应大大加快。

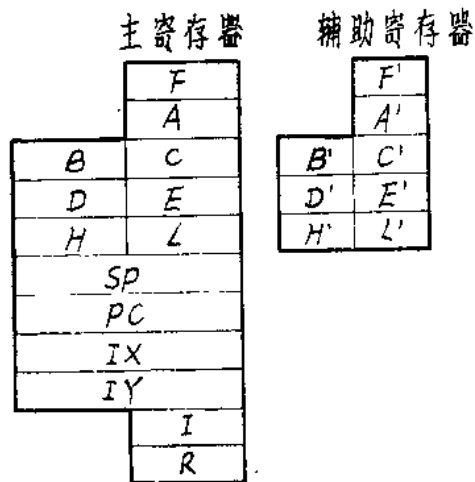


图 2.2 Z-80 CPU 可程序的寄存器

一、Z80-CPU 寄存器

从用户角度看，Z80-CPU 内有由 208 位读/写存储器（静态 RAM），构成 18 个 8 位的寄存器：A、F、B、C、D、E、H、L、F'、A'、B'、C'、D'、E'、H'、L'、I、R 和四个 16 位的寄存器 IX、IY、SP、PC。这些寄存器是可以编程序的寄存器，它们结构如(图2.2)所示。这些寄存器分为两组通用寄存器，它们是主寄存器 B、C、D、E、H 和 L 以及辅助寄存器 B'、C'、D'、E'、H' 和 L'。这些寄存器还可以成双地连接成 16 位的寄存器，称为寄存器对。即有 BC、DE、HL 和 BC'、DE'、HL' 共 6 对寄存器对。两组累加器 A、A' 和两组状态寄存器 F、F'。以及专用寄存器 SP、PC、IX、IY、I、R。

（一）专用寄存器

1. 程序计数器 PC (Program Counter)

PC 中保存着要从存储器取出的指令的地址。它决定程序执行的次序。指令周期是这样进行的：CPU 把 PC 内容放在地址总线上。CPU 把指令字（微处理器的指令可能包含多字节）从存储器取出来，这时 PC 自动增量，PC 内容指出下一条指令地址。如果指令是三字节的，则每取一个字节，PC 就增 1；取出三字节指令后，PC 仍指向下一条指令地址。一般指令是按顺序执行的。若要改变正常的次序，则必须把新的地址码放入 PC。例如，当程序出现分支时，由转移指令将新的地址码放入 PC，此时 PC 不自动增量。当调用子程序时，在转子指令的控制下，将原来 PC 中的内容（主程序的断点）保护进入堆栈后，再将子程序入口地址放入 PC。当程序执行返回指令时，该指令将使保存在堆栈中的主程序断点退回 PC。

2. 堆栈指示器 SP (Stack Pointer)

SP 中保存着当前栈顶的 16 位地址

堆栈是一种暂存数据（或地址）的存储区，好象一个书架。组成堆栈的一些存储单元，象一落书本，有规律地排列着。最先进栈的数据构成栈底（Bottom Of Stack，简称 BOS），栈的另一端为栈顶（Top Of Stack，简称 TOS），对于狭义栈来说，只有最后进栈的一个数据字，即处于栈顶的一个数据字才能被读取见（图 2.3）。

堆栈中数据是以“后进先出”（LIFO）的结构方式处理的。这种数据结构方式对于处理中断和调用子程序非常方便。

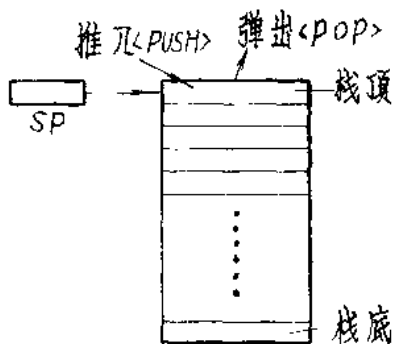


图 2.3 栈与栈的操作

堆栈的操作有两种：一种叫推入（PUSH），另一种叫弹出（POP）或拉出（PULL）。在栈操作中，栈中的各元素实际上并未移动。唯一的变化是发生在指示器 SP 中，SP 是一个专用 16 位寄存器，用来贮存栈顶地址。当一个数据字进栈时，先将 SP 减 1，栈顶下降，数据字存放在 SP 减量后所指向的新栈顶。这种操作叫做推入（或压入）（PUSH）。如果要从栈中取出数据，则最先取出已经处于栈顶的数据字，然后将 SP 增 1。升上栈顶，并依此类推，这种操作叫做“弹出”（POP）。即每次进行推入或弹出操作以后，堆栈指示器便自动指出堆栈顶部位置，这些操作可用（图 2.4）说明。

由于 SP 是 16 位的寄存器，所以推栈可以设置在 64K 存储器的任意位置，栈的深度几乎不受限制，即内存有多大栈就有多深，这称为无限栈。堆栈经常用于调用子程序指令中保存断点，它可以使在执行调用子程序中，再转入调用另一个子程序的重叠次数（称为嵌套）不受限制。由于 SP 操作规定“后进先出”原则，特别适宜递归调用（自己调用自己）。栈还可以简化多级中断。对于 Z80-CPU 来说，由于它具有丰富的栈指令，所以它的堆栈是广义的堆栈，简化了各种数据的处理过程。

3. 变址寄存器 IX、IY (Index Register)

在 Z80-CPU 内设有两个完全相同的变址寄存器 IX 和 IY。用来存贮变址方式中的 16 位基地址，它能与包含在指令中的一个操作数（称为偏移量）相加，形成一个新的有效地址，指向所要访问的单元见（图 2.5）。在处理数组和表格时，使用变址寄存器特别方便。

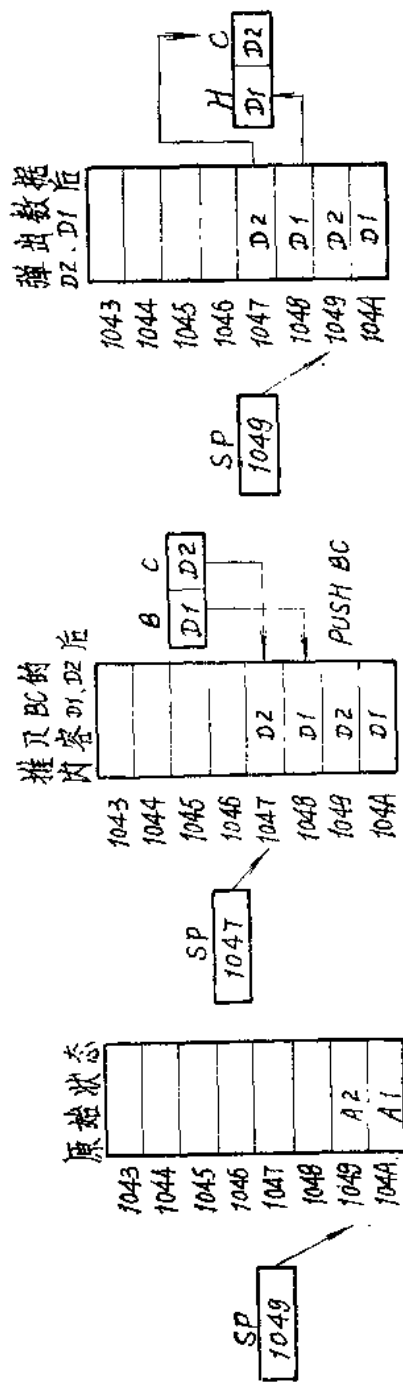


图 2.4 堆栈的推入与弹出

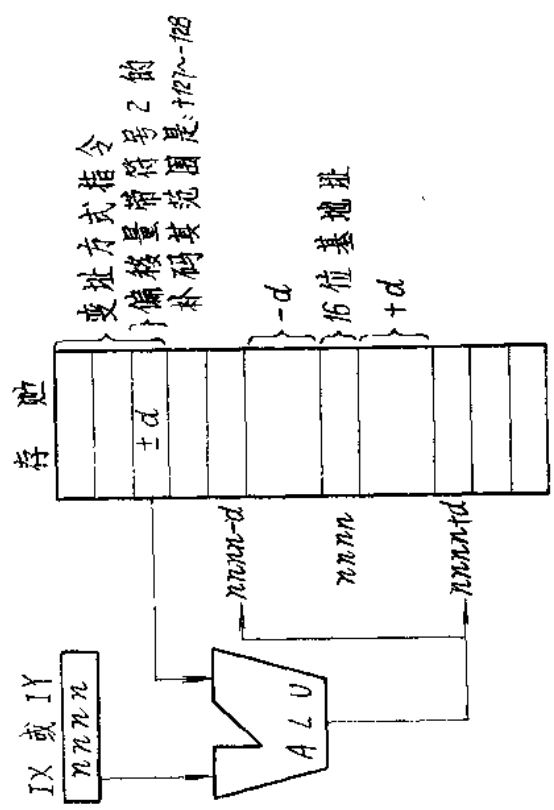


图 2.5 Z80 变址的形成