

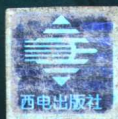
新编考研冲刺系列丛书

《微型计算机原理及应用》

习题+试题 分析与解答

■ 李伯成 编著

- ★ 课程学习指导
- ★ 全真试题解答
- ★ 难点疑惑分析
- ★ 考研过关必备



西安电子科技大学出版社

<http://www.xduph.com>

□ 新编考研冲刺系列丛书

《微型计算机原理及应用》
习题 + 试题分析与解答

李伯成 编著

西安电子科技大学出版社

2001

内容简介

本书对《微型计算机原理及应用》(统编教材,李伯成编著,西安电子科技大学出版社出版)一书各部分的习题及与微型机有关的其他类习题进行了分析和解答,并附有一些典型的试卷及答案;同时,书中对近几年来硕士研究生入学考试微机原理及应用试题做了详细的分析解答。

本书不仅可作为研究生入学考试的第一手复习资料,也是微机原理及应用课程的教学辅导书,还可供一般技术人员及相关专业师生参考。

图书在版编目(CIP)数据

《微型计算机原理及应用》习题+试题分析与解答/李伯成编著.

—西安:西安电子科技大学出版社,2001.11

(新编考研冲刺系列丛书)

ISBN 7-5606-1082-X/TP·0538

I. 微… II. 李… III. 微型计算机—研究生—入学考试—习题—解题
N. TP36-44

中国版本图书馆 CIP 数据核字(2001)第 072216 号

策 划 李惠萍 毛红兵

责任编辑 张晓燕

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)8227828 邮 编 710071

http://www.xduph.com E-mail: xdupfbx@pub.xaonline.com

经 销 新华书店

印 刷 西安文化彩印厂

版 次 2001年12月第1版 2001年12月第1次印刷

开 本 787毫米×960毫米 1/16 印张 16.75

字 数 366千字

印 数 1~6 000册

定 价 22.00元

ISBN 7-5606-1082-X/TP·0538

XDUP 1353001-1

*** 如有印装问题可调换 ***

本书封面贴有西安电子科技大学出版社的激光防伪标志,无标志者不得销售。

前 言

《微型计算机原理及应用》是一门重要的专业基础课程。为了配合该课程的教学，特编写本书。

本书以西安电子科技大学出版，李伯成等编著的《微型计算机原理及应用》一书的内容为主，将涉及到有关微型计算机的诸多工程问题拟为习题，旨在加深对微型计算机应用的理解。书中的许多习题，就是一些具体的工程问题或是某微型机应用项目中的一部分。这些习题紧密结合具体的工程实践，甚至可以直接用于具体的工程课题中。

书中习题涉及的方面比较多，读者可有选择地使用其中某些部分。同时，值得说明的是，许多问题，不管是涉及到软件编程还是硬件的设计，其答案不是惟一的。在书中的分析和解答中，不可能给出所有答案，一般只给出一种解决问题的方法。我们希望通过本书的分析，使读者能掌握、利用所学的基本概念、基本思路和基本方法去解决具体问题，学会并掌握这种解决问题的能力。

本书尽可能地将复杂的问题深入浅出地分析清楚，使读者建立正确的概念，掌握合适的方法。但限于编者的水平，错误、不当之处在所难免，恳请广大读者批评指正。

编 者

于 2001 年 11 月

目 录

第 1 章 有关微处理器(CPU)	1
1.1 有关微处理器(CPU)的习题	1
1.2 有关微处理器(CPU)的习题的分析及答案	2
第 2 章 有关指令系统及汇编语言	11
2.1 有关指令系统及汇编语言的习题	11
2.2 有关指令系统及汇编语言的习题的分析及答案	13
第 3 章 有关总线	27
3.1 有关总线的习题	27
3.2 有关总线的习题的分析及答案	28
第 4 章 有关存贮器	39
4.1 有关存贮器的习题	39
4.2 有关存贮器的习题的分析及答案	41
第 5 章 有关输入输出(I/O)技术	58
5.1 有关输入输出(I/O)技术的习题	58
5.2 有关输入输出(I/O)技术的习题的分析及答案	59
第 6 章 有关典型接口芯片及外设	77
6.1 有关典型接口芯片及外设的习题	77
6.2 有关典型接口芯片及外设的习题的分析及答案	82
第 7 章 有关可靠性	125
7.1 有关可靠性方面的习题	125
7.2 有关可靠性方面的习题的分析及答案	126
第 8 章 有关调试	144
8.1 有关调试方面的习题	144

8.2 有关调试方面的习题的分析及答案	145
第 9 章 有关高档处理器	164
9.1 有关高档处理器方面的习题	164
9.2 有关高档处理器方面的习题的分析及答案	165
第 10 章 有关硕士研究生入学考试试题	176
10.1 西安电子科技大学近几年硕士研究生入学考试试题	176
10.1.1 1996 年考试试题	176
10.1.2 1997 年考试试题	178
10.1.3 1998 年考试试题	179
10.1.4 1999 年考试试题	181
10.1.5 2000 年考试试题	182
10.1.6 2001 年考试试题	185
10.2 西安电子科技大学近几年硕士研究生入学考试试题的分析及答案	187
10.2.1 1996 年考试试题答案	187
10.2.2 1997 年考试试题答案	195
10.2.3 1998 年考试试题答案	201
10.2.4 1999 年考试试题答案	207
10.2.5 2000 年考试试题答案	214
10.2.6 2001 年考试试题答案	219
附录	
附录 A 《微型计算机原理及应用》试题一	224
附录 B 《微型计算机原理及应用》试题二	230
附录 C 《微型计算机原理及应用》试题三	236
附录 D 陕西省高校非计算机专业学生计算机应用知识与应用能力等级考试试题一 ...	241
附录 E 陕西省高校非计算机专业学生计算机应用知识与应用能力等级考试试题二 ...	249
主要参考资料	261

第 1 章

有关微处理器(CPU)

1.1 有关微处理器(CPU)的习题

习题 1 试说明 8088 CPU 上 RESET 信号的功能。

习题 2 试说明 8088 CPU 上 READY 信号的功能。

习题 3 试说明 8088 CPU 上 $\overline{\text{TEST}}$ 信号的功能。

习题 4 8088 CPU 的一个总线周期正常情况下需几个时钟周期? 信号 ALE 在什么时刻有效? 它的作用是什么?

习题 5 在 8088 CPU 的标志寄存器中, 进位标志位 CF 的含义及功能是什么?

习题 6 标志寄存器中的溢出标志位 OF 的作用是什么?

习题 7 标志寄存器中的方向标志位 DF 的作用是什么?

习题 8 画出 8088 CPU 最小模式下读内存的总线周期波形并进行解释。

习题 9 画出 8088 CPU 最小模式下写接口的总线周期波形并进行解释。

习题 10 标志寄存器中零标志位 ZF 的作用是什么?

习题 11 当 8088 CPU 工作在最小模式时, 在系统总线形成时要用到哪些控制信号? 它们是由谁产生的? 它们的作用是什么?

习题 12 在最大模式下, 8088 CPU 实现对内存的读、写或对接口的读、写时, 各用到系统总线上的哪些信号?

习题 13 当 8088 CPU 工作在最大模式时, 其三个状态输出 $\overline{S_0}$ 、 $\overline{S_1}$ 和 $\overline{S_2}$ 的状态编码都表示 CPU 的哪些工作状态?

习题 14 叙述 8088 CPU 内部的标志寄存器中奇偶标志位 PF 的定义。

习题 15 试叙述将一个字节写入内存的过程, 一条指令的执行过程及一段程序的执行过程。

习题 16 说明 8088 CPU 中有哪些内部寄存器? 它们是多少位的寄存器? 20 位的内存地址是如何利用 16 位的寄存器形成的?

习题 17 8088 CPU 上的 NMI、INTR、HOLD、 $\overline{\text{INTA}}$ 及 HLDA 是什么信号? 什么形式为有效? 其作用是怎样的?

习题 18 在 8088 CPU 中, 段寄存器的内容如下所列, 试写出各段寄存器所决定的内存段的起始地址和终止地址。

- (1) 1000H
- (2) 2345H
- (3) 3330H
- (4) D000H

习题 19 说明 8088 CPU 和 8086 CPU 的不同。

习题 20 在 8088 CPU 中, 其 CS 寄存器和 IP 寄存器的内容分别如下所示, 试确定被读出执行指令的内存地址。

- (1) CS=1000H IP=2000H
- (2) CS=2000H IP=1000H
- (3) CS=3400H IP=1A00H
- (4) CS=1A00H IP=C000H
- (5) CS=1234H IP=ABCDH

1.2 有关微处理器(CPU)的习题的分析与答案

在这一部分的习题中, 主要突出三部分内容:

(1) 微处理器外部引线及功能。这是学习任何处理器(单片机、DSP 等)的基础。因为只有弄清楚外部引线, 在将来使用过程中, 才有可能将它们连接到系统中。也许读者将来不再使用 8088 CPU, 但可能使用其他 CPU、单片机、DSP 或其他芯片。所以, 掌握微处理器外部引线及功能的概念或思路是不会改变的。

(2) CPU 内部寄存器的功能。这里的内部寄存器主要是指将来编程所必需使用的那些寄存器。这也是掌握并用好任何一片 CPU、单片机、DSP 或其他复杂集成电路芯片所必需的。在本书后面的叙述中将强调这方面的问题。

(3) 时序及总线形成的有关内容。时序对理解微型机工作, 实现硬件调试十分重要。而总线形成为构成微型机的各部分提供公共信号。

本节通过分析上一节的习题, 加深和巩固上述概念, 使读者建立分析问题和解决问题的基本方法。

下面就逐题对上一节的习题进行分析。

习题 1 试说明 8088 CPU 上 RESET 信号的功能。

8088 CPU 的 RESET 信号是一个高电平有效的输入信号。当它高电平复位时:

① 会影响到 CPU 的一部分内部寄存器,使 CS 里的内容为 FFFFH,使 DS、SS、ES、IP 及 F(标志)寄存器的内容均为 0000H。

② 使 8088 CPU 所有的三态输出信号线均为高阻状态,使所有的输出控制信号均为无效电平。

③ 当由 RESET 启动时,在 CPU 内部由 CS 的内容为 FFFFH 和 IP 的内容为 0000H 共同形成复位启动的物理地址为 FFFF0H。这个启动入口地址是必须记住的。进一步讲,其他 CPU 或单片机的复位启动地址也是应当记住的,这在工程应用中经常用到。

习题 2 试说明 8088 CPU 上 READY 信号的功能。

在由 8088 CPU 构成的微型计算机中,若是构成微型机的内存或外设接口的读、写速度很慢,也就是说要求在一个读或写的总线周期里加到内存或接口上的有关信号(例如地址信号、读写控制信号及写入时的数据信号)要维持较长的时间,而 8088 CPU 在正常情况下对它们的读和写只有 4 个时钟周期,时间过短,不能满足内存和接口的要求,则必然导致 CPU 读写的不可靠。为了解决这个问题,可以利用 CPU 上的 READY 信号。在每一个读、写内存或读、写接口的总线周期里,我们可以在时钟周期 T_3 到来之前产生一个低电平的 READY 信号加到 CPU 上。CPU 在 T_3 开始的下降沿检测此信号,发现它是低电平就会插入一个等待的时钟周期 T_w 。并且,在 T_w 的下降沿继续检测 READY 输入,若为低电平则继续插入 T_w ,直到 READY 变为高电平为止。因此,只要我们适当控制加到 READY 上低电平信号的宽度,想插入几个 T_w 就能插入几个。我们总可以利用 READY 信号通过插入若干个 T_w ,在一个总线周期里使 CPU 提供的读写时间满足内存或外设接口的要求,从而使慢速的内存或接口与快速的 CPU 相适应,实现正确地读、写操作,这就是 READY 信号的功能。

习题 3 试说明 8088 CPU 上 $\overline{\text{TEST}}$ 信号的功能。

$\overline{\text{TEST}}$ 是一个输入信号。在 8088 CPU 的指令系统中有一条等待指令 WAIT,当 CPU 执行该指令时,CPU 的内部硬件会自动检测 $\overline{\text{TEST}}$ 的输入状态。若输入为低电平,则该指令执行结束并继续执行其下面的指令,这时 WAIT 指令相当于一条空操作指令 NOP。若其输入为高电平,则 CPU 在这条指令上等待,不再向下执行,而且在等待的过程中每一个时钟周期都要检测 $\overline{\text{TEST}}$ 的状态,一直检测到发现 $\overline{\text{TEST}}$ 的状态变为低电平即逻辑 0 时,CPU 脱离 WAIT 指令,继续向下执行。

利用 $\overline{\text{TEST}}$ 输入信号的这一特点,可以实现硬件或软件的调试。例如,当需要测试某段软件时,可以在所要测试的位置上插入 WAIT 指令,而后使 $\overline{\text{TEST}}$ 输入的状态变为高电平并开始执行这段软件。当执行到 WAIT 指令时,CPU 停下来等待 $\overline{\text{TEST}}$ 的状态变低。这时,可以测试软件从开始执行到 WAIT 指令段程序的执行结果是否正确。若程序与接口的输出

状态有关,可以用仪器测量接口的输出,看其状态与程序应产生的输出状态是否一致。若是正确的,则只要将 $\overline{\text{TEST}}$ 的状态变低,CPU 又会向下执行。若结果不对,则需要设计者仔细分析,判断问题出在程序上还是硬件上。

习题 4 8088 CPU 的一个总线周期正常情况下需几个时钟周期? 信号 ALE 在什么时刻有效? 它的作用是什么?

总线周期是 8088 CPU 通过总线对 CPU 外部的内存或接口进行一次读(或写)所花的时间,这也是 8088 CPU 所完成的最基本的操作。在正常情况下,一个总线周期需要 4 个时钟周期。

ALE 是地址锁存信号,它在一个总线周期的第 1 个时钟周期(T_1)时,以正脉冲的形式出现。ALE 的作用是利用其正脉冲,将在 T_1 时刻里有效的 $A_0 \sim A_7$ 和 $A_{16} \sim A_{19}$ 锁存于锁存器的输出端。因为这些地址信号在 T_1 之后将消失,在它们的引线上出现的将会是其他信号。CPU 利用 ALE 将地址信号锁存在锁存器的输出端,使它们保持到下一次 ALE 出现,锁存新的地址信号。

总线周期的概念是重要的,在 MCS - 51 及其他 CPU 中称为机器周期。而且 CPU 或单片机 MCS - 51 及其他芯片(如 MC146818)上,都有总线复用的特征,都是利用 ALE 对地址信号进行锁存。因此,掌握了 8088 CPU 上 ALE 的概念,对理解具有类似功能的其他芯片是有利的。

习题 5 在 8088 CPU 的标志寄存器中,进位标志位 CF 的含义及功能是什么?

在 CPU 进行加法运算有进位和进行减法运算有借位时,进位标志位 CF 都会被置 1;而没有进位或没有借位时 CF 为 0。还有一些指令在执行后也会影响 CF 标志,例如循环和位移指令、BCD 码加减法校正指令、比较指令等等都会影响 CF 标志位。读者应记住一些常用的对 CF 有影响的指令,对使用中记忆不清的指令可以去查找厂家给出的指令系统手册。

在实际应用中,经常利用 CF 来实现多字节或多个字长的加减法,在使用时要采用设置了进位标志的加减法。同时,在比较两个无符号数的大小时也会用 CF 来加以判断。例如,拿两个无符号数相减,若相减的结果 $CF=1$,那么一定说明被减数比减数小;反之,若相减的结果 $CF=0$,则说明被减数一定不比减数小。

习题 6 标志寄存器中的溢出标志位 OF 的作用是什么?

当两个带符号的数进行算术运算,运算结果超出了规定所能表示的数值范围时,便产生溢出。此时的溢出标志位 $OF=1$;若没有溢出,则 $OF=0$ 。

在进行 8 位带符号的数运算时,所能表示的数值范围在 -128 到 +127 之间;当进行 16 位数值运算时,数值范围在 -32 768 到 +32 767 之间。可见,用更多的位数进行带符号数的运算,可表示的数值就愈大,愈不容易产生溢出。

读者必须明白,在带符号数的运算中,一旦发生溢出,其结果一定是错误的。必须采取措施防止溢出的发生。

习题 7 标志寄存器中的方向标志位 DF 的作用是什么?

方向标志位 DF 用于串操作指令。根据 DF 的状态,可以控制寄存器 SI 和/或 DI 自动递增或递减。当 DF=1 时,规定 SI 和/或 DI 的内容自动递减(字操作减 2,字节操作减 1);当 DF=0 时,规定 SI 和/或 DI 的内容自动递增(字操作加 2,字节操作加 1)。

方向标志位 DF 的状态可用指令设置,CLD 指令使 DF=0;STD 指令使 DF=1。

习题 8 画出 8088 CPU 最小模式下读内存的总线周期波形并进行解释。

该习题的思路就是在最小模式下,在一个总线周期里,CPU 操作的时间顺序。8088 CPU 在一个总线周期里,从内存某单元中读取一个字节的时序图如图 1.1 所示。

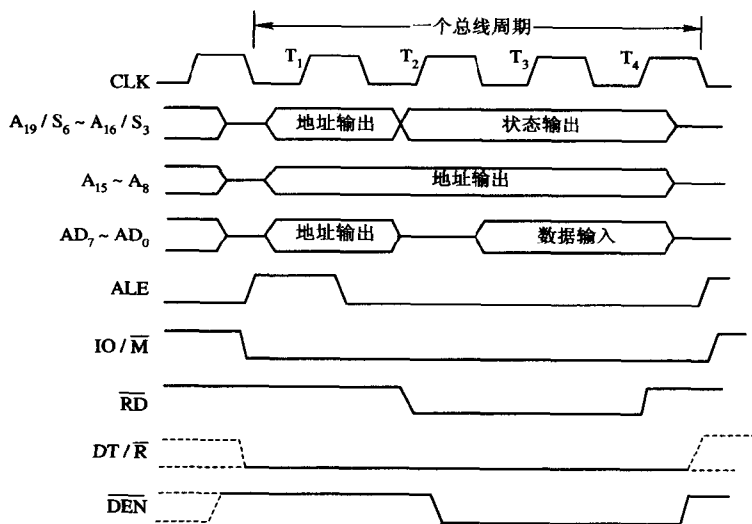


图 1.1 CPU 读内存的总线周期时序图

由该时序图可以看到从内存单元读出一个字节的时间顺序。首先在 T_1 周期里,由 CPU 送出要读出内存单元的 20 位地址 ($A_0 \sim A_{19}$),其中 $A_0 \sim A_7$ 和 $A_{16} \sim A_{19}$ 是时间复用的,仅在 T_1 时刻出现。过了 T_1 之后,这些信号将消失,而出现在这些引线上的是另外的信号。为此,CPU 在 T_1 时刻送出 ALE,用它来锁存地址信号。

T_2 时刻开始后,CPU 送出 $\overline{RD}$ 有效,而在整个总线周期里 $IO/\overline{M}$ 为低电平。表示此周期为访问内存的总线周期,地址线有有效的内存地址。

在地址信号 ($A_0 \sim A_{19}$)、 $\overline{RD}$ 有效、 $IO/\overline{M}$ 为低电平的共同作用下,选中了相应的存储单

元并进行读操作。由图中可以看到，经过一段时间在 T_3 开始出现的前后，被选中存贮单元的数据出现在 $AD_0 \sim AD_7$ 这 8 条总线上。从地址 $A_0 \sim A_7$ 消失，到数据出现，中间的一段时间这 8 条线上呈现高阻（浮空状态）。在 $AD_0 \sim AD_7$ 上出现数据后，CPU 读数据是在数据稳定的 T_4 的下降沿期间进行。

在对内存读期间， $IO/\overline{M}$ 信号维持低电平。

在数据有效期间，通常是 $T_2 \sim T_3$ 期间， $\overline{DEN}$ 保持有效。 $DT/\overline{R}$ 维持低电平——读数据的状态。

习题 9 画出 8088 CPU 最小模式下写接口的总线周期波形并进行解释。

8088 CPU 将一个字节写入接口的总线周期如图 1.2 所示。

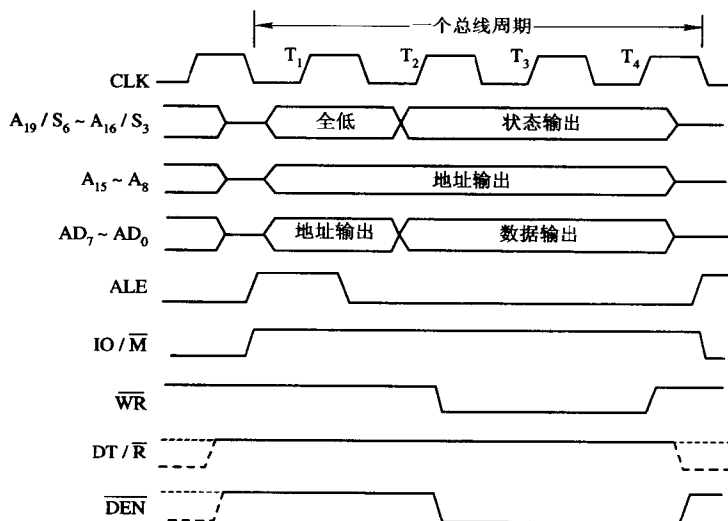


图 1.2 CPU 写接口的总线周期时序图

从图 1.2 中可以看到，其形式与本章习题 8 的图 1.1 十分类似。在正常情况下，CPU 写接口的总线周期也是由 4 个时钟周期(T)完成的。所不同的是：① 当接口地址为 8 位时，用 $A_0 \sim A_7$ 寻址接口，进行接口地址的译码， $A_8 \sim A_{19}$ 均为低电平。当 CPU 对 16 位地址寻址时，是利用 $A_0 \sim A_{15}$ 进行， $A_{16} \sim A_{19}$ 为低电平。② 在寻址接口时， $IO/\overline{M}$ 信号为高电平。③ 在 $AD_0 \sim AD_7$ 上，开始(T_1)期间先送出地址 $A_0 \sim A_7$ ， T_2 之后送出要写入接口的数据。两者之间这 8 条线上没有浮空状态。④ 通常，写接口是在 $\overline{WR}$ 控制信号的后沿(上升沿)，即数据已稳定的时刻进行。⑤ $DT/\overline{R}$ 维持高电平——写数据的状态。

习题 10 标志寄存器中零标志位 ZF 的作用是什么？

零标志位 ZF 的状态用来指示 CPU 在进行算术、逻辑运算(包括比较和测试)指令时,运算的结果。当 ZF=1 时,表示结果为零;当 ZF=0 时,表示结果不为零。

习题 11 当 8088 CPU 工作在最小模式时,在系统总线形成时要用到哪些控制信号?它们是由谁产生的?它们的作用是什么?

当 8088 CPU 工作在最小模式时,形成系统总线时应利用出现在一个总线周期的第一个时钟周期 T_1 时的由 CPU 送出的地址锁存信号 ALE,由它锁存地址信号形成地址总线信号 $A_0 \sim A_{19}$ 。利用 CPU 送出的数据允许信号 $\overline{DEN}$ 控制双向数据总线驱动器的允许控制端。利用 CPU 上的 $DT/\overline{R}$ 信号加到双向数据驱动器的方向控制端上,以便控制双向数据总线驱动器信号的传送方向。8088 CPU 送出的控制信号如 $\overline{RD}$ 、 $\overline{WR}$ 、 $IO/\overline{M}$ 等可以直接用作控制总线信号,也可以通过三态门驱动器输出作为控制总线信号。当系统总线上不进行 DMA 传送时,这些三态门驱动器可以控制为永远导通。

习题 12 在最大模式下,8088 CPU 实现对内存的读、写或对接口的读、写时,各用到系统总线上的哪些信号?

在实现对内存的读、写时,主要用到系统总线上的 20 位地址信号 $A_0 \sim A_{19}$,8 条数据线 $D_0 \sim D_7$,读、写控制线 $\overline{MEMR}$ 和 $\overline{MEMW}$,其他如电源、地等不再提及。

当 CPU 对接口进行读、写操作时,利用系统总线上的地址线($A_0 \sim A_7$ 或 $A_0 \sim A_{15}$),总线上的 8 条数据线 $D_0 \sim D_7$,对接口的读写控制信号 $\overline{IOR}$ 和 $\overline{IOW}$ 。

习题 13 当 8088 CPU 工作在最大模式时,其三个状态输出 $\overline{S_0}$ 、 $\overline{S_1}$ 和 $\overline{S_2}$ 的状态编码都表示 CPU 的哪些工作状态?

$\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$:这是最大模式下由 8088 CPU 经三态门输出的状态信号。这些状态信号加到 Intel 公司同时提供的总线控制器(8288)上,可以产生系统总线所需要的各种控制信号。 $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$ 的状态编码表示某时刻 8088 CPU 的状态。其编码如表 1.1 所示。

表 1.1 $\overline{S_0} \sim \overline{S_2}$ 的状态编码

$\overline{S_2}$	$\overline{S_1}$	$\overline{S_0}$	性 能
0	0	0	中断响应
0	0	1	读 I/O 端口
0	1	0	写 I/O 端口
0	1	1	暂 停
1	0	0	取 指
1	0	1	读存贮器
1	1	0	写存贮器
1	1	1	无作用

从表 1.1 可以看到, 当 8088 CPU 进行不同操作时, 其输出的 $\overline{S_2} \sim \overline{S_0}$ 的状态是不一样的。因此, 可以简单地理解为 8288 对这些状态进行译码, 产生相应的控制信号。

习题 14 叙述 8088 CPU 内部的标志寄存器中奇偶标志位 PF 的定义。

奇偶标志位 PF 的定义是表示 CPU 运算结果中 1 的个数, 为偶数时 $PF=1$; 若不为偶数, 则 $PF=0$ 。

习题 15 试叙述将一个字节写入内存的过程, 一条指令的执行过程及一段程序的执行过程。

将一个字节写入内存的过程是 CPU 送出要写入的内存地址, 选中要写入的内存单元。CPU 再送出要写入该单元的数据及内存的写控制信号。在这些信号的共同作用下, 将数据字节写入要写的内存单元中。

一条指令由 1~6 个字节构成。指令在执行前放在内存的顺序单元中。CPU 执行一条指令是从内存中逐个字节取出该条指令, 而后根据指令操作码规定的指令功能完成所规定的功能。前者为一条指令的取指令操作码阶段, 后者是执行指令功能阶段。

在一条指令的执行过程中, 每从内存取出一个字节或将一个字节写入内存某单元, 每从接口读一个字节或将一个字节写到某接口地址, 都需一个总线周期。因此, CPU 的总线接口单元(BIU)一个字节接一个字节地从内存取出指令, 放在指令预取队列中; 而 CPU 的执行单元(EU)则从预取队列中取出指令来执行。

一段程序是由若干条指令组成的, 程序的执行过程就是逐条指令的执行过程。

显然, 逐条指令的执行完成一段程序的执行过程; 逐个总线周期的执行完成一条指令的执行过程; 而总线周期又是由若干个时钟周期来完成的。仅仅是由于 8088 CPU 取指与执行是可以重叠进行, 厂家会给出执行某一条指令需要多少个时钟周期, 而不是简单地指令字节数乘 4T。

习题 16 说明 8088 CPU 有哪些内部寄存器? 它们是多少位的寄存器? 20 位的内存地址是如何利用 16 位的寄存器形成的?

8088 CPU 内部有许多寄存器, 从使用者编程使用的角度出发, 必须熟悉的内部寄存器有:

四个通用寄存器 AX、BX、CX、DX, 它们均为 16 位的寄存器。并且, 这四个 16 位的寄存器可以分别分成两个可独立使用的 8 位寄存器, 即 AH、AL, BH、BL, CH、CL, DH、DL。

四个 16 位的指针寄存器 BP、SP、SI、DI。

四个 16 位的段寄存器 CS、SS、DS、ES。

两个 16 位的控制寄存器 IP、PSW。

在 8088 CPU 中, 20 位的内存物理地址是由下式形成的:

$$\text{物理地址} = \text{段寄存器} \times 16 + \text{EA}$$

即段寄存器的内容乘 16 加上 16 位的有效(偏移)地址而最终形成物理地址。

具体地说,对内存中的指令(程序)地址,则

$$\text{物理地址} = \text{CS} \times 16 + \text{IP}$$

即取指令目的码的内存物理地址一定是代码段寄存器(CS)的内容乘 16 加上指令指针(IP)的内容。

对于数据的地址则要复杂得多。决定数据地址的段寄存器可以是 SS、DS 和 ES;而有效(或偏移)地址是由不同的寻址方式来决定的。但它的内存物理地址一定是这三个段寄存器的某一个寄存器的内容乘 16 加上由寻址方式决定的 16 位的有效(偏移)地址,最终构成 20 位的物理地址。

习题 17 8088 CPU 上的 NMI、INTR、HOLD、 $\overline{\text{INTA}}$ 及 HLDA 是什么信号? 什么形式为有效? 其作用是怎样的?

NMI 为非屏蔽中断请求信号,上升边有效向 CPU 提出非屏蔽中断请求。该请求不受 IF 标志的影响,只要 CPU 在执行程序,NMI 提出的中断请求就一定能够得到响应,产生中断向量码为 02H 的中断。

INTR 为可屏蔽中断请求,高电平有效。该请求受 IF 的约束。只有当 IF=1 时,CPU 才可能对 INTR 的请求作出响应。当 IF=0 时,INTR 被 IF 屏蔽,CPU 一定不响应 INTR 的请求。

$\overline{\text{INTA}}$ 是 CPU 输出的中断响应信号。当 INTR 的请求得到 CPU 响应时,CPU 会从 $\overline{\text{INTA}}$ 引线上,每个总线周期送出一个负脉冲,连续送出两个负脉冲信号。并且,在第二个 $\overline{\text{INTA}}$ 负脉冲期间,提出 INTR 请求的外设将它的中断向量码送到数据总线上,由 CPU 从数据总线上获得提出 INTR 请求的中断源的中断向量码。

HOLD 为保持请求信号。当 HOLD 为高电平时向 CPU 提出请求,CPU 在每一个总线周期的最后一个时钟周期对 HOLD 检测,并对其做出响应。响应包括 CPU 暂停执行指令,使 CPU 的三态输出信号变为高阻状态(包括地址、数据和一些控制信号)。同时,CPU 的响应还包括使保持响应信号 HLDA 变为有效(高电平)。

在 CPU 响应 HOLD 请求做出响应后,CPU 暂停执行程序并在每一个时钟周期对 HOLD 信号进行检测。一旦发现 HOLD 无效(低电平),则从下一时钟周期开始,CPU 送出 HLDA 无效(低电平),同时恢复指令的执行,接着保持请求(HOLD 有效)前的总线周期继续向下执行。

习题 18 在 8088 CPU 中,段寄存器的内容如下所列,试写出各段寄存器所决定的内存段的起始地址和终止地址。

(1) 1000H 所对应的内存段起始地址为 10000H;

终止地址为 1FFFFH。

(2) 2345H 所对应的内存段的起始地址为 23450H；
终止地址为 3344FH。

(3) 3330H 所对应的内存段的起始地址为 33300H；
终止地址为 432FFH。

(4) D000H 所对应的内存段的起始地址为 D0000H；
终止地址为 DFFFFH。

习题 19 说明 8088 CPU 和 8086 CPU 的不同。

8088 CPU 和 8086 CPU 的主要不同有四点：① 8086 CPU 是真正的 16 位 CPU，其 $AD_8 \sim AD_{15}$ 也是时间复用的，即某时刻这 8 条线上传送 $A_8 \sim A_{15}$ 地址信号；另一时刻，同在这 8 条线上传送的是 $D_8 \sim D_{15}$ 。而 8088 CPU 只有 $AD_0 \sim AD_7$ 是复用的，只传送 8 位数据 $D_0 \sim D_7$ 。② 8086 CPU 内部有 6 个字节的指令预取队列，而 8088 CPU 内部是 4 个字节的指令预取队列。③ 8086 CPU 的控制信号 $M/\overline{IO}$ ，而 8088 CPU 的该信号是 $IO/\overline{M}$ 。即从这条引出线上送出的表示内存或接口的信号电平刚好相反。如在对内存寻址时，8086 CPU 从 $M/\overline{IO}$ 线上送出的是高电平而 8088 CPU 从 $IO/\overline{M}$ 送出的是低电平。对于接口的寻址，该信号也是相反的。④ 8088 CPU 的状态信号 SSO 在 8086 CPU 上变成了字寻址控制信号 $\overline{BHE}$ ，用以保证 8086 CPU 一次可寻址一个字节或一个字。

习题 20 在 8088 CPU 中，其 CS 寄存器和 IP 寄存器的内容分别如下所示。试确定被读出执行指令的内存地址。

- | | | |
|--------------|----------|--------------|
| (1) CS=1000H | IP=2000H | 内存地址为 12000H |
| (2) CS=2000H | IP=1000H | 内存地址为 21000H |
| (3) CS=3400H | IP=1A00H | 内存地址为 35A00H |
| (4) CS=1A00H | IP=C000H | 内存地址为 26000H |
| (5) CS=1234H | IP=ABCDH | 内存地址为 1CF0DH |

第 2 章

有关指令系统与汇编语言

有关指令系统及汇编语言程序设计的内容通常要专门开一门课来讲述。在微型计算机原理及应用中也专门设置这样一章，只是内容比较简单，只涉及一些最基本的概念和最基本的方法。这里给出有关这些内容的习题。

2.1 有关指令系统与汇编语言的习题

习题 1 指出下列指令的错误原因。

- | | |
|-------------------|-------------------|
| (1) MOV BX, AL | (2) MOV CS, DX |
| (2) INC TABLE[BX] | (4) MOV DS, 4100H |
| (5) ADD AX, DS | (6) AND AX, [CX] |

习题 2 指出下列指令中伪指令定义中的错误。

- (1) DATA DB 395
- (2) PRGM SEG
:
PRGM ENDS
- (3) ALPHA EQU BETA
- (4) COUNT EQU 100
COUNT EQU 65
- (5) GOON DW 10 DUP(?)
:
JMP GOON

习题 3 判别下列指令的寻址方式。

- (1) MOV AX, 00H
- (2) SUB AX, AX
- (3) MOV AX, [BX]