

数字集成电路

(内部发行)

1979年12月出版

工本费: 2.00 元

目 录

一、生产试制总结

二次缺陷的形成、变化和消除.....	(1)
TTL集成电路的X-Y特性分析法.....	(7)
16×1 随机存取存贮器.....	(23)
2-16进制同步可预置计数器.....	(32)
双极型可编程只读存贮器.....	(45)
对通隔离.....	(56)
改进线路提高了合格率.....	(58)
提高集成电路成品率和可修性的有效措施.....	(66)
如何保证四氯化硅的高质量.....	(71)
废水预处理的重要性及方法.....	(74)
双极型大规模集成电路的现状和展望.....	(79)

二、译文

门几何尺寸对集成注入逻辑(I ² L)传输延迟的影响.....	(86)
负掩模关键尺寸的控制.....	(93)
译码器/多路调解器.....	(95)
半导体晶片的处理方法.....	(106)
硅片的软固定抛光方法.....	(109)
重显性优质二氧化硅薄膜形成法.....	(114)
大规模集成电路片子清洗处理.....	(118)
选择腐蚀法.....	(123)
SiO ₂ 膜内应力的减小.....	(126)
固体电解质中分析针孔的金属沉积技术.....	(127)

用三溴化硼作预淀积.....	(128)
减少砷扩散中的过剩砷以消除缺陷.....	(135)
砷旋转涂布扩散源的扩散工艺.....	(140)
硅的固相砷扩散.....	(146)
高砷硅的热氧化.....	(147)
利用光刻膜部分的处理法.....	(156)
减少大规模集成器件中串联电阻的反应性离子蚀刻工艺.....	(159)
高氧 Czochralski 硅晶体生长与外延堆垛层错的关系.....	(161)
硅槽周围产生的位错.....	(168)
硅片背面的位错吸附.....	(169)
硅片正面的位错吸附.....	(170)
沾污离子的检测和定位.....	(171)
低成本大规模集成电路单芯片组件管壳.....	(172)
清洁处理金相的溶液.....	(173)
双极型大规模存储器.....	(174)
半导体集成电路装置.....	(179)
应用于集成电路的晶体管.....	(183)
可改善噪声容限的 TTL 电路.....	(187)
集成注入逻辑的改进.....	(189)
高密度、高性能的 I^2L 单元.....	(191)
双极型大规模集成电路 I^2L	(193)

二次缺陷的形成、变化和消除

厦门大学赴上无十九厂“二次缺陷研究”小组

摘 要

本文描述了在半导体器件制造过程中,往往伴随着热氧化工艺而发生的二次缺陷。通过实验观察,对于杆状层错和二次位错的形成及其变化做了一定的了解,并初步探讨了抑制二次缺陷的产生和消除已产生的二次缺陷的几种方法。

实验中以双极型集成电路使用的 $\langle 111 \rangle$ 单晶硅为样品,同时还采用了 $\langle 110 \rangle$ 、 $\langle 100 \rangle$ 晶面的硅片进行分析比较。对 Cr^+ 抛光、 SiO_2 抛光、 HCl 气相抛光、 H_2O 气相抛光和化学抛光等方法,进行了对比实验。在湿氧、干氧、氯气和氮气等各种不同的气氛下高温热处理,观察和研究了杆状层错和二次位错的形成、长大、缩小和消失过程。根据二次缺陷的形成和变化规律,提出了抑制和消除二次缺陷的方法。它们包括:制造良好的抛光表面,免除由于表面残余机械损伤引起的二次缺陷;采用 HCl 氧化,高温退火和背面吸收工艺消除二次缺陷。这些方法均不同程度地得到成效。

一、前 言

近年来,随着无位错硅单晶片越来越广泛地被作为制造硅器件的原材料,二次缺陷对器件的影响逐渐为人们所注意。不少单位都发现,由于存在二次缺陷,使P-n结反向漏电增大,并产生局部微等离子击穿,在CCD器件中造成存储时间下降等。因此,如何避免产生二次缺陷,将是提高产品质量和成品率的重要课题。

所谓二次缺陷,通常是指拉制单晶之后多道工序加工时产生的缺陷,即非本征缺陷。国内外的报道及我们所做的实验表明,无位错硅单晶经过一次氧化后,在样品表面会观察到大量非本征缺陷。这些缺陷的基本类型有以下几种:

1. 杆状层错——也有人称之为热氧化堆垛层错或氧化孪生层错。在无位错硅单晶中经热氧化之后,较易产生这类缺陷。层错的形状类似外延层错的一条边,呈长条形。它在 $\langle 111 \rangle$ 晶片中,条长方向为 $\langle 110 \rangle$ 方向,长度大小不等,但具有一定规律性,往往随氧化条件的差异而具有不同的生长速率。

2. 二次位错——与原始单晶材料中的位错相似,但一般不像原始位错那样位错线贯穿于整个晶体并在晶片表面中止,二次位错的位错线往往中止于晶体内部。

3. 浅坑——一种白色的三角形腐蚀坑,有时也表现为圆形的。

除此以外,有些文献还描述过其他几种缺陷,如“环形位错”、“月牙形缺陷”等。但在我们的实验中常见的是上面提到的三种。

我们在整个实验中以化学腐蚀显示图象的分析为主。这种方法具有简单、直观和利于观测分析的优点。我们参考了有关资料中介绍的几种择优腐蚀液的配方,包括Sirtl腐蚀液(配比为 $\text{HF} : \text{C}_{12}\text{O}_3 = 1 : 1$); Wright腐蚀液(配比为 $\text{HF} : \text{HNO}_3 : \text{C}_{12}\text{O}_3 : \text{Cu}(\text{NO}_3)_2$)。

3 $\text{H}_2\text{O} : \text{CH}_3\text{COOH} \cdot \text{H}_2\text{O} = 60\text{ml} : 50\text{ml} : 2\text{g} : 60\text{ml} : 60\text{ml}$)。根据比较, Sirtl 腐蚀液对于 $\langle 111 \rangle$ 晶面具有较好显示效果, 而 Wright 腐蚀液对于 $\langle 110 \rangle$ 和 $\langle 100 \rangle$ 晶面具有较好显示效果。一般说来, 显示图象较为完全、清晰。

在过去发表的一些文献中, 对二次缺陷形成机构及其生长规律曾有过一些讨论。大致有如下几种观点:

1. 空位发射机构。
2. 表面机械损伤引起二次缺陷成核。
3. Si-SiO_2 界面由于热应力作用引起的晶格畸变。

这些观点一般都能解释部分实验现象, 尤其是空位发射机构, 目前较易为人们所接受。为了能在这方面做更进一步的了解, 我们参考了文献, 并根据大量实验结果, 提出一个初步设想, 即在热氧化期间, 由于过饱和空位的游移, 引起硅原子在微缺陷处聚集, 产生杆状层错和表面损伤引起应力集中, 产生二次位错。这一设想可以较好地解释大部分实验现象。

我们重点比较了几种消除二次缺陷的工艺方法, 效果较为明显的是 HCl 氧化、热氧化前的高温退火和 POGD 处理。

这些方法的优点是效果显著、工艺简单, 有利于推广应用。

二、二次缺陷形成机构及其变化规律

基于二次缺陷通常产生于无位错硅单晶这一事实, 我们认为二次缺陷的产生可能与单晶中的原始缺陷有某种联系, 又由于二次缺陷伴随热氧化过程产生, 这种联系很可能与氧原子在硅晶体内的作用有关。为了证实这一点, 我们进行了一些实验分析。

1. 不同气氛下的热处理。

将同一片无位错的 $\langle 111 \rangle$ 硅片一分为二, 半片在 N_2 气中热处理, 半片在湿氧中热处理, 采用同样的温度和时间等条件, 炉温为 1180°C , 时间为 3 小时。用 Sirtl 腐蚀液显示观察, 发现氮气处理的半片仅有少量位错, 不产生杆状层错。而湿氧处理的半片, 位错密度达 $3 \times 10^5 \text{cm}^{-2}$, 并且出现了大量的杆状层错, 密度达 $2 \times 10^5 \text{cm}^{-2}$ 。这一结果证实了氧在形成二次缺陷方面所占的重要地位。

2. 不同条件的热氧化。

1°干氧氧化: 将同一 $\langle 111 \rangle$ 无位错硅片划为四小片, 分别在 1180°C 的干氧气氛中氧化 30', 60', 120' 和 180'。

2°湿氧氧化: 除气氛改用湿氧外, 其他条件均与干氧氧化相同。

3°去 SiO_2 层重复湿氧氧化: 经过每一阶段氧化后, 取出一小片样片; 其余样片去除 SiO_2 层后继续氧化, 氧化条件同前。

氧化后结果发现杆状层错长度与氧化时间关系显著。在不同氧化方法中, 层错生长速率不同。干氧氧化中层错长度增长最慢, 湿氧氧化法其次, 并具有抛物线关系。而去除 SiO_2 氧化法中, 层错长度增长最快, 并呈线性关系。这一结果进一步证明了杆状层错的形成与透过 SiO_2 层进入硅片内的氧原子有关。因为在干氧氧化法中, SiO_2 层通常较为致密, 氧原子要通过 SiO_2 层到达硅片表面比较困难。随着氧化时间的增长, 氧化层厚度增加, 这种困难就越大。而在湿氧氧化层中, 结构较疏松, 氧原子扩散通过就容易。去除 SiO_2 层的氧化中, 由于每一阶段所生成的氧化层被抛掉, 因此, 氧原子不必通过太厚的 SiO_2 层。

制取单晶过程中, 难免在晶体内残留微缺陷, 一般包括杂质团、空位团等。高温情况下,

这些微缺陷发生游移。因为微缺陷处晶格有序化排列受到破坏,应力相对集中,造成局部原子能垒过高。所以微缺陷在游移过程中,为了释放多余能垒,最易在晶格损伤处聚集。例如在位错线附近,杂质团被吸收后形成一股杂质气,多种杂质原子分别处于菱位错的上部和下部,这既有利于杂质团将过高能垒释放,又可使位错由原来的不饱和键趋于饱和。而在无位错硅单晶中,缺乏这种吸收杂质团的机构,使得微缺陷停留在晶体内部,经过热氧化过程,便引起了二次缺陷的产生。

在制取单晶中,还可能不同程度地在晶体内部“冻结”一些过饱和空位。因为过饱和空位是平衡时空位浓度的超量部分,所以,在高温情况下,便会发生向体外的扩散。可以这样设想,空位向晶体表面的运动,实际上相当于硅原子向体内的运动。当硅原子遇到体内微缺陷时,在功能足够大时,有可能打破晶格正常排列,在微缺陷附近停聚,引起新的排列。这种新的排列一般是有规则的,发生AB原子易位的排列,从而形成杆状层错。

另外,我们认为二次位错形成的主要原因还是晶片表面的机械损伤。我们以不同的抛光方式对单晶片进行处理,发现经化学抛光的片子,位错为 $5.6 \times 10^3 \text{ cm}^{-2}$,铬离子抛光片位错为 $1.9 \times 10^4 \text{ cm}^{-2}$,两者之间相差近一个数量级。这可能是因为铬离子的颗粒大,抛光时留下一些机械损伤层,而在化学抛光片中,损伤层基本去除,具有良好的表面。由于损伤层的氧原子比表面处的氧原子更易深入到硅片体内,产生应力不均匀,随着氧化的进行,损伤处的 SiO_2 点阵越来越大,弹性能量增大。当能量达到一定值时,在缺陷处便发生了晶体内部的范性形变,引起二次位错的产生。二次位错深度不一,但它很可能中止于体内微缺陷处,这是因为范性形变是发生在表面损伤层和体内缺陷的局部范围。

为了进一步证明上述设想和了解二次缺陷的生长规律,我们又进行了下面的实验。

3. 热氧化后的氧气处理实验。

把经湿氧后的样片分为四小片,其中三小片分别于 1180°C 下进行60'、120'和180'氮气退火处理,另一片则不经氮气处理。结果经氮气处理60'的样片,层错消失。这说明了杆状层错不仅会在一定条件下长大,而且会在一定条件下缩小、消失。这种缩小和消失的条件就是避免氧气掺入的热处理。在氮气处理过程中,不存在氧原子与空位的相互作用,层错附近的硅原子有可能利用空位向外界释放能量,以使在层错区内易位的A、B原子调换过来,晶格排列与层错区外一样。这一过程是层错生长的逆过程,随氮气处理的时间增长,层错不断缩小,直至消失。

4. 关于单晶晶面取向的比较。

将热氧化后的 $\langle 111 \rangle$ 硅片用Sirtl腐蚀2', $\langle 110 \rangle$ 、 $\langle 100 \rangle$ 片用wright腐蚀3',观察到 $\langle 100 \rangle$ 片出现与 $\langle 111 \rangle$ 相同的杆状层错,但杆长方向互相垂直,位于 $\langle 110 \rangle$ 方向。在 $\langle 110 \rangle$ 片中,未见杆状层错,仅有约 10^2 cm^{-2} 的菱形位错。可以进一步肯定,杆状层错基本位于 $\langle 110 \rangle$,由于该面平行于 $\langle 110 \rangle$ 晶片表面,因而经腐蚀后观察不到层错图形。

5. 对二次缺陷基本结构的分析。

取一经热氧化处理的样片,漂去 SiO_2 层后,首先用Sirtl腐蚀2'后观察,层错长度约 20μ 。然后用 $\text{HF}:\text{HNO}_3=1:15$ 的腐蚀液腐蚀 5μ 左右。由于这种腐蚀液在各方向腐蚀速率相同,因此观察到的缺陷普遍增大。最后再用Sirtl腐蚀2',发现图形进一步增大,并在层错图形上偏离中心线一定距离处出现新的腐蚀图形,其长度约 10μ 左右。同时还发现一些与原来图形不相重合的新图形,长度约 10μ 。这些结果表明,层错不仅发生在晶体表面,而且也在晶体体内。第二次Sirtl显示的新图形,就是一些延伸到表面的层错。因为层错在生长过程

中,可能先在体内微缺陷处发生,随着氧原子不断向它周围运动,逐层排列起来。

经过对重合的新旧图形的简单测算,认为层错是三角形的平凸,平行于 $\langle 110 \rangle$ 面,类似外延层错的一个面。

三、消除方法实验

根据上述分析,表面机械损伤和晶体内部微缺陷是二次缺陷成核中心,我们进行了初步的消除实验:

1. 表面抛光处理

1°铬离子抛光与 SiO_2 抛光的比较。

将同一批单晶片分别进行铬离子抛光与 SiO_2 抛光,随后进行湿氧氧化, $T = 1180^\circ\text{C}$, $T_{\text{水浴}} = 97^\circ\text{C}$, O_2 流量 = 800ml/min, $t = 15'$ 干 + 135'湿 + 30'干。

氧化后观察结果, SiO_2 抛光片杆状层错密度为 $6 \times 10^3 \text{cm}^{-2}$,而铬离子抛光片层错密度为 $7 \times 10^4 \text{cm}^{-2}$,这是由于 SiO_2 颗粒比 Cr_2O_3 小,机械损伤层比 Cr^+ 抛光片小。曾有文献报导, SiO_2 抛光损伤层为 $0.5 \sim 0.8 \mu$,而 Cr^+ 抛光损伤层为 $0.8 \sim 1.2 \mu$ 左右。这样, SiO_2 抛光片因为表面机械损伤造成层错成核中心减少,所以 SiO_2 抛光片的层错比 Cr^+ 抛光片少一个数量级。

2°化学抛光

为了有效去除表面损伤层,我们采用了三酸抛光,其配比为 $\text{HF} : \text{HNO}_3 : \text{CH}_3\text{COOH} = 1 : 8 : 2$,腐蚀抛光2',腐蚀时加以摇晃,以使其表面光洁度较好。我们进行了铬离子抛光、两面化学抛光和化学抛光后背面粗磨的比较实验。热氧化后观察结果为:

	层 错	三 角
Cr ⁺ 抛光	$1.9 \times 10^4 \text{cm}^{-2}$	$1.1 \times 10^6 \text{cm}^{-2}$
两面化学抛光	$5.6 \times 10^3 \text{cm}^{-2}$	$6.3 \times 10^5 \text{cm}^{-2}$
正面化学抛光(背面粗磨)	0	$2.9 \times 10^5 \text{cm}^{-2}$

实验结果表明,化学抛光片再经背面粗磨,对杆状层错的消除有较显著作用。

3°气相抛光

我们还采用了气相抛光法,在外延炉中用氢气携带HCl或 H_2O 的气相抛光,然后再进行湿氧氧化,观察结果发现仅在边缘处有层错。

	层错(边缘处)
HCl抛光	$4.3 \times 10^3 \text{cm}^{-2}$
H_2O 抛光	$8 \times 10^3 \text{cm}^{-2}$
Cr ⁺ 抛光	$4.1 \times 10^4 \text{cm}^{-2}$

经过HCl、 H_2O 抛光,杆状层错密度比 Cr^+ 抛光的减少一个数量级。

总之,抛光片只要尽量减少损伤层,减少在热氧化过程中的表面应力,就可以达到

降低杆状层错密度的效果。

2. 掺氯氧化对二次缺陷的作用

1°HCl对层错的缩小作用

将无位错 $\langle 111 \rangle$ P型单晶片经化学抛光后进行 SiO_2 抛光,再进行湿氧氧化,氧化条件同上。然后将热氧化片分为小片,其中三片分别进行60'、120'和180'的HCl氧化。

氧化后观察会发现,湿氧氧化有 35μ 长的杆状层错,经过HCl氧化后,层错缩小,随着HCl氧化时间的增长,层错不断缩小。经过HCl氧化180'后,层错消失。实验结果如下:

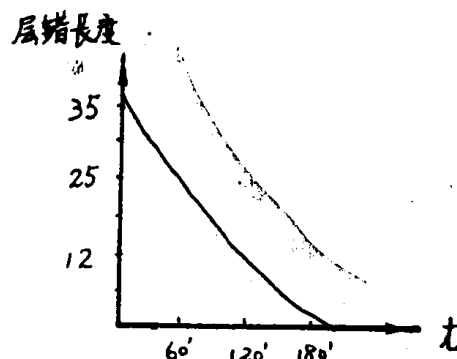
	热 氧 化	HCl氧化60'	120'	180'
层错密度	$1.2 \times 10^4 \text{ cm}^{-2}$	$4.2 \times 10^3 \text{ cm}^{-2}$	$5.6 \times 10^2 \text{ cm}^{-2}$	0
层错长度	35 μ	25 μ	12 μ	0

作曲线，基本呈线性关系。

2°三氯乙稀的初步实验

将同一片抛光片划为2片，分别进行三氯乙稀氧化和湿氧氧化实验，结果如下：

	位错(cm^{-2})	层错(cm^{-2})	长(μ)
湿氧氧化	2.8×10^4	3×10^4	35
三氯乙稀氧化	2.2×10^3	3×10^3	7



以上结果表明，三氯乙稀氧化具有与Hcl氧化相同的作用，它可使层错缩小，进而使层错减少，同时还可使位错减少一个数量级。

另外我们将三氯乙稀氧化，放在湿氧氧化之后进行，在90'~120'的时间内就可以去除杆状层错。

3°Hcl氧化与晶体管反向漏电流的关系

将一片经过Hcl氧化和一片经过湿氧氧化的片子一同进行流水操作：外延→基区光刻→基区氧化→基区扩散→发射区光刻→发射区扩散→光刻引线九→蒸Al→Al反刻→隔离光刻（即将各元件分立）。在完成了以上工艺后，即进行阳极氧化，溶液为25%的硫酸，电压5V，电解时间6'。电解过程中，若该管 I_{co} 大，则Al被烧至改变颜色。结果发现，湿氧氧化：24336只，三极管坏3151只，Hcl氧化：16224只，三极管坏200只。

Hcl氧化，可使晶体管反向漏电流下降，提高成管率。

3. 氧化前背百处理实验

1°背百砷扩

采用无位错〈111〉P型单晶，将一片Cr⁺抛光片及一片Cr⁺抛光加化学抛光片分别划成四小片，进行背百砷扩0'、5'、30'、60'。

化学抛光片经背百砷扩30'之后，热氧化不出现杆状层错，而Cr⁺抛光片经背百砷扩5'后，层错即可消失。这可能是因为背百砷扩造成的失配位错和背百粗糙造成的滑移位错同时发生吸收晶体内部微缺陷的作用，所以Cr⁺抛光片的杆状层错消失得更快。

实验结果列表如下：

背面磷扩	0'	5'	30'
化学抛光片	$4.8 \times 10^2 \text{ cm}^{-2}$	$1.2 \times 10^2 \text{ cm}^{-2}$	0
Cr ⁺ 机械抛光片	$2.4 \times 10^2 \text{ cm}^{-2}$	0	0

2°背百粗磨

在样片背百造成严重划伤，经过湿氧氧化处理后，观文二次缺陷情况。结果发现样片正百对应于背百划痕处，杆状层错比其他区域下降了1个数量级。背百观文，发现在划痕附近聚集了大群的位错。这一结果与前百讲到的二次缺陷形成机构的设想十分接近。由于样片背部划伤后，晶格严重破坏，局部有很大的应力集中，在热氧化一开始，就容易出现滑移位

错。由于位错的吸杂作用，使附近杆状层错成核中心大大减少，因而热氧化之后，杆状层错密度比无划痕区的层错密度大为下降。

此外，我们还进行了化学抛光片和背后粗磨片的比较。将一片无位错〈111〉P型化学抛光片分为二片，一片保留两面的化学抛光层，另一片用砂纸进行背后粗磨，然后同时进行湿氧化。观文结果发现，化学抛光片的杆状层错密度达 $5.6 \times 10^3 \text{ cm}^{-2}$ ，而经背面粗磨的片子层错为零。这个结果很好地说明了上述的分析。

4. 高温退火处理

在热氧化前，将同一片划为两半，一半事先进行3小时的氮气退火处理，退火温度为 1180°C ；另外半片则不经氮气退火处理。将它们同时进行热氧化。观文结果发现，经 N_2 气退火的片子，杆状层错密度为 $8.9 \times 10^3 \text{ cm}^{-2}$ ，二次位错达 $4.3 \times 10^5 \text{ cm}^{-2}$ 。无论是层错还是位错，氮气退火处理后，密度均明显下降。分析这一结果，有二种可能性：一个可能是在氮气处理过程中，过饱和空位团不断向体外扩散，使浓度降低，造成以后的热氧化期间没有足够的空位与氧原子发生作用，因而硅原子在运动过程中动能减少，能垒积累较慢，形成杆状层错的机会相应减少。同样，空位浓度的下降，也造成表面损伤处 SiO_2 点阵的增长速度放慢。只要在氧化结束后，还未达到足以形成位错的弹性能垒，位错便不再发生。另一方面，我们考虑到微缺陷在高温情况下，具有游移性，或为体内晶格缺陷所吸附，或为表面缺陷所吸附。因为在氮气处理过程中，它们有足够的时间寻找机会释放能垒。这一点，也会降低二次缺陷的密度。

5. 掺杂对二次缺陷的作用

如果用无位错〈111〉P型晶片，进行单项掺杂实验，即将热氧化后出现杆形层错的片子，分别进行锑、磷和硼扩散。

实验观文结果表明，掺入n型杂质，对消除杆状层错作用十分显著。尤其是锑扩散，层错密度可由 $4.8 \times 10^5 \text{ cm}^{-2}$ 降到0。经砷扩散后也可由 $3 \times 10^3 \text{ cm}^{-2}$ 降到0。但硼扩对层错的消除作用不甚明显。

国内外都曾有文献报道，重掺n型杂质不出现杆状层错。这是因为重掺n型杂质使晶体内部产生丰富的空位，从而给热氧化提供了足够的空位流，抑制了层错的“空位发射”作用，即抑制了前面所叙述的引起层错的硅原子游移，导致了杆状层错的消失。锑、砷扩散的效果有差别，可能是由于扩散浓度不同引起的空位浓度不同所致。

我们所做的掺杂实验仅是初步的实验，有些问题还不能很好地解释，有待于进一步深入研究。

四、结 束 语

从实验中，我们得出如下结论：

1. 二次缺陷的产生与氧化工艺条件有关。在湿氧气氛中，产生氧化层错并随氧化时间增长而增大；在掺氯气氛中或氮气气氛中，层错缩小，并随时间的增长而消失。

2. 掺氯氧化及背面吸收处理、表面化学抛光法和杂质扩散工艺对层错的消除作用，可以对晶体表面机械损伤层和晶体内部微缺陷作为二次缺陷成核中心作较好的解释，并支持了“空位发射机构”的分析。

我们的实验是与上无十九厂四车间的工人、技术员同志共同进行的，同时，还得到了十九厂一、三、五车间及九〇一厂、上无十四厂、元件五厂等单位的帮助和支持，特在此表示志谢。

TTL集成电路的X—Y特性分析法

徐 治 邦

一个集成电路的性能可以用它的一些参数来表征。这些参数目前都已标准化了，从一般的使用角度来看，是可以满意的。但是对使用者来说，若存在这样的需要：这个集成电路可否变通使用？它的工作潜力究竟有多大？那么从它的参数是看不出来的。从制造者来说，若想知道制造工艺中存在什么问题，例如：它们的电阻值是否合适？晶体管的 β 做得怎么样？应该怎样去改进工艺？低电平如果太高，则主要矛盾是什么？……这样的问题用它的参数是难于说明问题的。

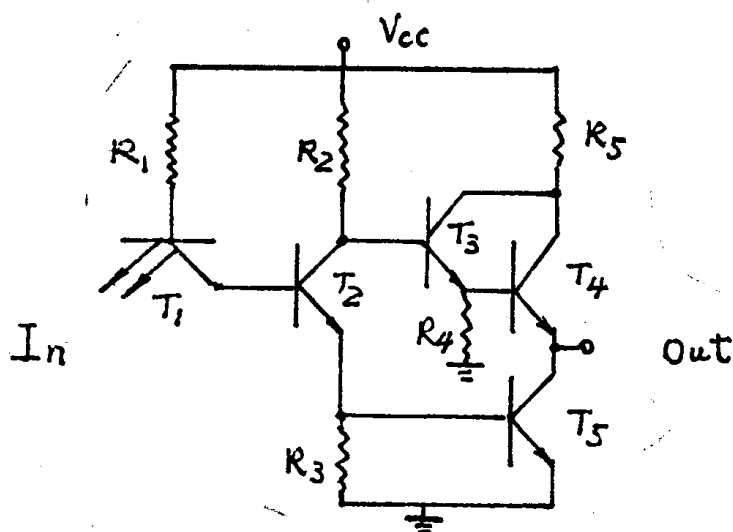
本工作的目的是通过集成电路的参数X-Y特性分析法来求得一个集成电路的内部参数，而不采用任何解剖或破坏措施。用本方法分析了几种制造工艺中有问题的电路，有效地找出了问题，证明本方法对于分析小规模电路是有效的。对于中大规模电路，也可分析和轨入端及轨出端直接相关的内部参数。若结合版图，则其他的内部参数也是可以分析出来的。所以本文从最简单的集成与非门讲起。

预 备 知 识

典型的TTL与非门的线路如图1。

图中标出了 $R_1 \sim R_5$ 、 $T_1 \sim T_5$ 。以下的分析以这种标记为准，并只考虑一个输入端的情况。关于它的工作原理，可以参阅任何一本TTL的书藉。这里仅简单予以概括：当输入为低电平时，电流从 V_{cc} 经 R_1 、 T_1 的EB结流向输入，即 T_1 导通， T_2 截止，因而 T_5 也截止。这时 T_3 导通、 V_{cc} 经 R_2 、在 T_3 的EB结注入电流，此电流经 T_3 放大，放大电流从 R_5 流入 T_3 、其总电流经 R_4 流入地；由于 T_4 的发射极下无通路，所以 T_4 不导通，这时输出为高电平。

若输入为高电平, 则 V_{CC} 经 R_1 为 T_2 注入电流, 此电流足以使 T_2 饱和。并打通 T_2 的



1

EB结。使 T_5 饱和，输出为低电平。此时 T_3 仍然导通，但 T_4 不能导通。因为 T_2 已饱和， V_{c2} 已较低，不足使 T_3 、 T_4 同时导通。

在输入从低电平向高电平转换过程中，存在一个过渡区。这就是 T_2 开始通导、而尚未饱和的阶段，在 T_5 尚未通导时， T_2 成为一个分相口。其发射极电位逐渐升高，而集电极电位逐渐降低，其升高及降低的幅度成比例。当 T_2 发射极电位升到0.8V附近时， T_5 开始通导，并引起 T_3 、 T_4 同时通导，这时总电流产生一个峰值。这是TTL电路争取速度的特点之一。随着输入电压的进一步提高，注入 T_2 的电流进一步增加， T_2 进入饱和。 T_2 集电极电位已不足使 T_3 、 T_4 全部通导，电路的总电流回到正常的通导功耗电流。同理，电路输入从高到低时，也产生一个电流峰。

理论分析

1. 过渡区输入输出电压特性

其等效电路如图2：

列出过渡区的方程式：

$$\begin{cases} V_{OH} = I_2 R_2 - V_{be3} - V_{be4} \\ I_3 \approx I_1 + I_2 \\ V_1 + V_{ces1} = V_{be2} + I_3 R_3 \end{cases}$$

对这些方程组取微分，并设正向降，饱和压降为常量（实际影响很小）。

$$\begin{aligned} \text{则：} \quad dV_1 &= R_3 dI_3 \\ dI_3 &= dI_1 + dI_2 \end{aligned}$$

$\because T_2$ 处于线性区间，

$$\therefore \frac{dI_2}{dI_1} = \beta_2$$

$$\therefore dI_3 = \frac{\beta_2 + 1}{\beta_2} dI_2$$

又因 $dV_{OH} = R_2 dI_2$

$$\therefore dV_{OH} = R_2 \frac{\beta_2}{\beta_2 + 1} dI_3 = \frac{R_2}{R_3} \cdot \frac{\beta_2}{\beta_2 + 1} dV_1$$

$$\frac{dV_{OH}}{dV_1} = \frac{R_2}{R_3} \cdot \frac{\beta_2}{\beta_2 + 1}$$

若 β_2 较大，则

$$\frac{dV_{OH}}{dV_1} \approx \frac{R_2}{R_3} \quad (1)$$

2. 输出高电平负载特性

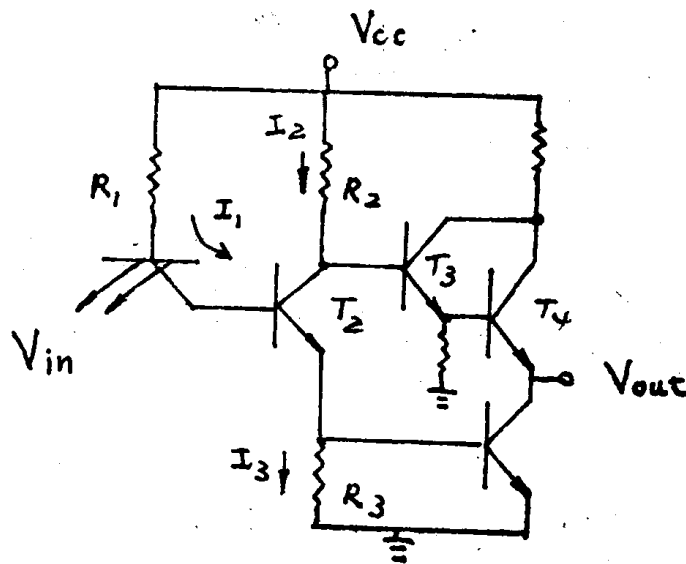


图 2

TTL 输出高电平是输出负载的函数，其等效线路如图 3：

由图可知：在负载电流 I_N 为零时， I_1 提供 T_3 的基极电流， T_3 集电极流过电流 $I_2 = \beta_3 I_1$ ，此二股电流全部流经 R_4 ，即 $I_3 = I_1 + I_2$ ，由于 I_3 较小， T_3 是线性工作。当 I_N 增大时， I_2 也开始增大，到一定程度，迫使 T_3 进入饱和，这里我们着重研究 T_3 饱和以后的情况：

$$\begin{cases} I_N = I_1 + I_2 - I_3 \\ I_1 R_2 + V_{be3} + I_3 R_4 = V_{cc} \\ I_2 R_5 + V_{ce3} + I_3 R_4 = V_{cc} \\ I_2 R_5 + V_{ce3} + V_{be4} = V_{OH} \end{cases}$$

对上列方程取微分：

$$\begin{aligned} \text{则} \quad dV_{OH} &= R_5 dI_2 \\ dI_2 &= dI_N - dI_1 + dI_3 \end{aligned}$$

$$dI_3 = -\frac{R_5}{R_4} dI_2$$

$$dI_1 = -\frac{R_4}{R_2} dI_3 = \frac{R_4}{R_2} \cdot \frac{R_5}{R_4} dI_2 = \frac{R_5}{R_2} dI_2$$

$$\therefore dI_2 = dI_N - \frac{R_5}{R_2} dI_2 - \frac{R_5}{R_4} dI_2$$

$$dI_2 = \frac{dI_N}{\left(1 + \frac{R_5}{R_2} + \frac{R_5}{R_4}\right)}$$

$$\therefore dV_{OH} = R_5 dI_2 = \frac{R_5 dI_N}{\left(1 + \frac{R_5}{R_2} + \frac{R_5}{R_4}\right)}$$

最后得到：

$$\frac{dV_{OH}}{dI_N} = \frac{1}{\left(\frac{1}{R_5} + \frac{1}{R_2} + \frac{1}{R_4}\right)} = R_5 // R_2 // R_4 \quad (2)$$

这里，符号//表示“并联”。

3. 输入电流与输入电压特性

等效电路如图 4。

设输入电压为 V_I ，输入电流为 I_I ，并只考虑输入电压较低的部份（输入电压较高时，只有微电流 I_{IH} ），这时 I_I 与 V_I 满足以下方程：

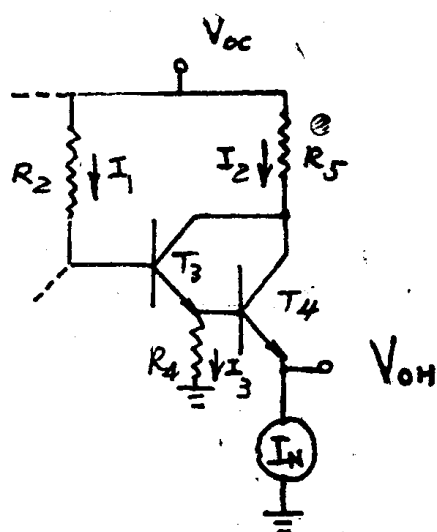


图 3

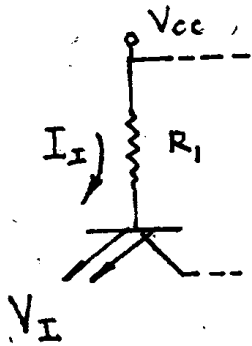


图 4

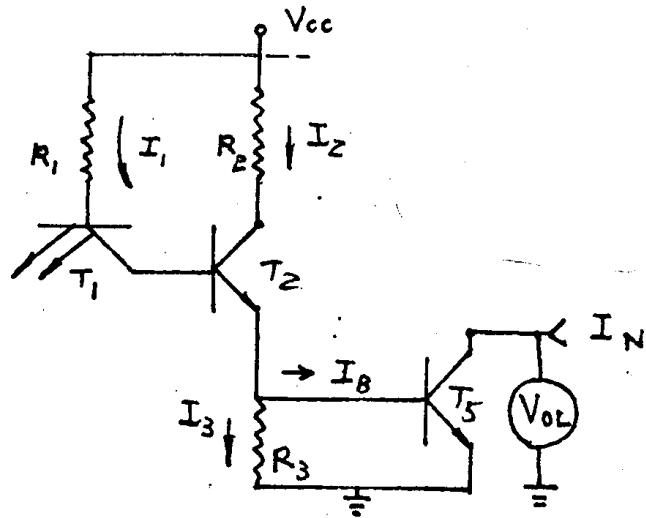


图 5

$$I_1 = \frac{V_{cc} - V_{be1} - V_I}{R_1}$$

固定 V_{cc} , 两边取微分, 结压降 V_{be1} 为常量, 则:

$$dI_1 = - \frac{dV_I}{R_1}$$

$$\text{或: } \frac{dV_I}{dI_1} = -R_1 \quad (3)$$

4. 轨出低电平负载特性

等效电路如图 5

因在此情况下, T_3 、 T_4 管对轨出低电平不发生影响, 故在等效电路中不出现。

对于 T_5 而言, 存在一个驱动电流 I_B , 显然: $I_B = I_1 + I_2 - I_3$, 且:

$$\begin{cases} I_1 = \frac{V_{cc} - V_{be1} - V_{be2} - V_{be5}}{R_1} \\ I_2 = \frac{V_{cc} - V_{ce2} - V_{be5}}{R_2} \\ I_3 = \frac{V_{be5}}{R_3} \end{cases}$$

在 T_5 负载电流为零时, 存在一个残余电压, 其值为:

$$V_{OLO} = \frac{\lambda KT}{q} \ln \left(1 + \frac{1}{\beta_{L2}} \right) + I_B r_{e'} \quad (4)$$

这里,

V_{OLO} : 残余电压;

r_e' : 发射极体电阻;

I_B : 基极电流;

$\beta_{反}$: T_5 反向运用时的电流增益;

K : 布尔兹曼常数 $= 1.38 \times 10^{-23} \text{ W/OK}$;

T : 绝对温度;

q : 电子电荷 $= 1.6 \times 10^{-19} \text{ 库}$;

$$\frac{KT}{q} = 26 \text{ mV (25}^\circ\text{C 时)};$$

λ : 系数, 其值在 $1 \sim 2$ 间;

从上式可以看出, V_{OLO} 和 $\beta_{反}$ 紧密相关。而 $\beta_{反}$ 又和正向 β 联系在一起, 若 β 较小, 则 $\beta_{反}$ 相应减小。另外, V_{OLO} 同 r_e' 也有关, 但一般 r_e' 较小, 在 I_B 较小时, 同前一项相比可以忽略。

当 I_N 增大时, 饱和电压逐渐增高, 理论上其动态阻抗为:

$$r_{sn} = \frac{\lambda KT}{q I_B} \left(\frac{1}{\beta_{反} + 1 + I_N/I_B} \right) + r_e' + r_c' \quad (5)$$

其中

r_{sn} 为动态阻抗;

r_c' 为集电极串联电阻;

其他符号同上。

由于集成电路中的晶体管的集电极是由上部引出的, r_c' 较大, 所以 r_c' 在上式中起着相当大的作用。

5. 截止功耗电流的电源特性

其等效电路如图 6:

由等效图可得:

$$I_{CCH} = I_1 + I_3$$

因 I_2 比 I_3 小很多

$$\text{则 } I_{CCH} = \frac{V_{cc} - V_{be1}}{R_1} + \frac{V_{cc} - V_{be3}}{R_4}$$

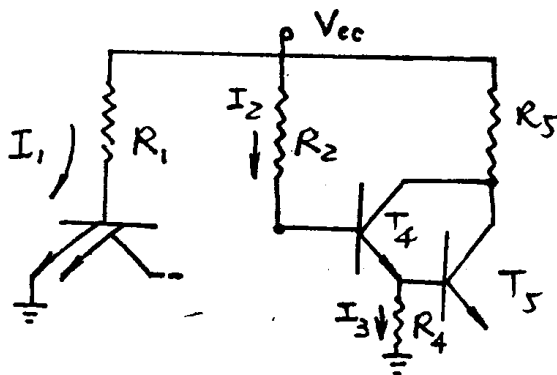


图 6

将 I_{CCH} 作为 V_{cc} 的函数, 并取微分:

$$dI_{CCH} = \left(\frac{1}{R_1} + \frac{1}{R_4} \right) dV_{CC} \quad (6)$$

即:

$$\frac{dV_{CC}}{dI_{CCH}} = R_1 // R_4$$

6. 通导功耗电流的电源特性

其等效电路如图 7;

显然:

$$I_{CCL} = I_1 + I_2 + I_3$$

且:

$$\begin{cases} I_1 = \frac{V_{CC} - V_{be1} - V_{be2} - V_{be5}}{R_1} \\ I_2 = \frac{V_{CC} - V_{be5} - V_{ces2}}{R_2} \\ I_3 = \frac{V_{CC} - V_{be5} - V_{ces2} - V_{be3}}{R_4} \end{cases}$$

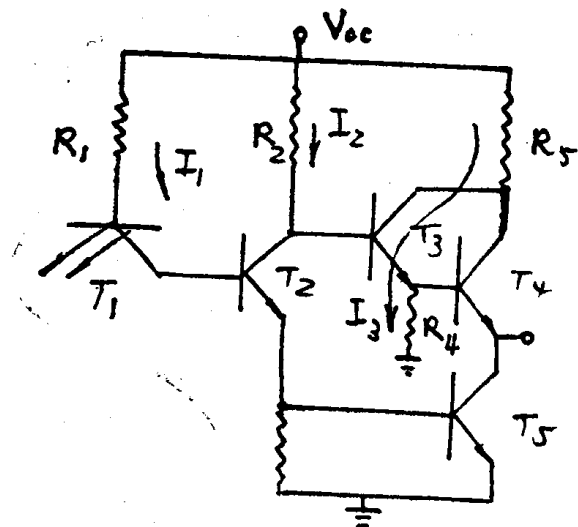


图 7

则

$$\begin{cases} dI_1 = \frac{1}{R_1} dV_{CC} \\ dI_2 = \frac{1}{R_2} dV_{CC} \\ dI_3 = \frac{1}{R_4} dV_{CC} \end{cases}$$

$$dI_{CCL} = dI_1 + dI_2 + dI_3 = \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_4} \right) dV_{CC}$$

亦即

$$\frac{dV_{CC}}{dI_{CCL}} = R_1 // R_2 // R_4 \quad (7)$$

典型特性分析

1. 轨入轨出转换特性

测试图及典型曲线如图 8、图 9，
从这个曲线可以分析以下几个问题：

- a、空载高电平 V_{OH0} (第 I 部份)；
- b、空载低电平 V_{OLO} (第 II 部份)；
- c、第 III 部份中 $V_{OH} = 2.7V$ 处的轨入电压 V_{off} ，
($V_{off} - V_{OL}$) 即为低电平噪声容限；
- d、第 III 部份中的曲线斜率，即上述理论分析过的
 $dV_O/dV_I = -R_2/R_3$ 。

e、第 I 与第 III 部份与交界处， $V_O = 0.8V$ 时的轨入电压值 V_{on} ，($V_{OH} - V_{on}$) 即为高电平噪声容限；

显然，从这个完整的曲线中可以一目了然地看到各参数的变化，比起单独测量 V_{OH} ， V_{OL} ， V_{off} ， V_{on} 等分立的值来，要有利于分析问题，例如，测量 V_{on} 太高，可能是 V_{OL} 本身的结果，但也可能是 V_{on} 不对的结果，根据不同的情况对症下药，有利于问题的解决。

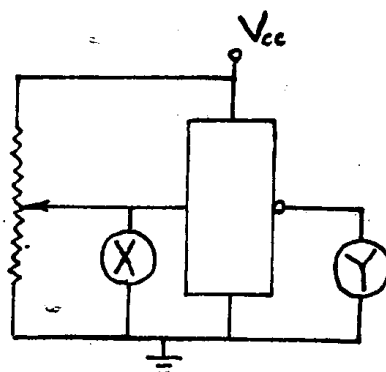


图 8

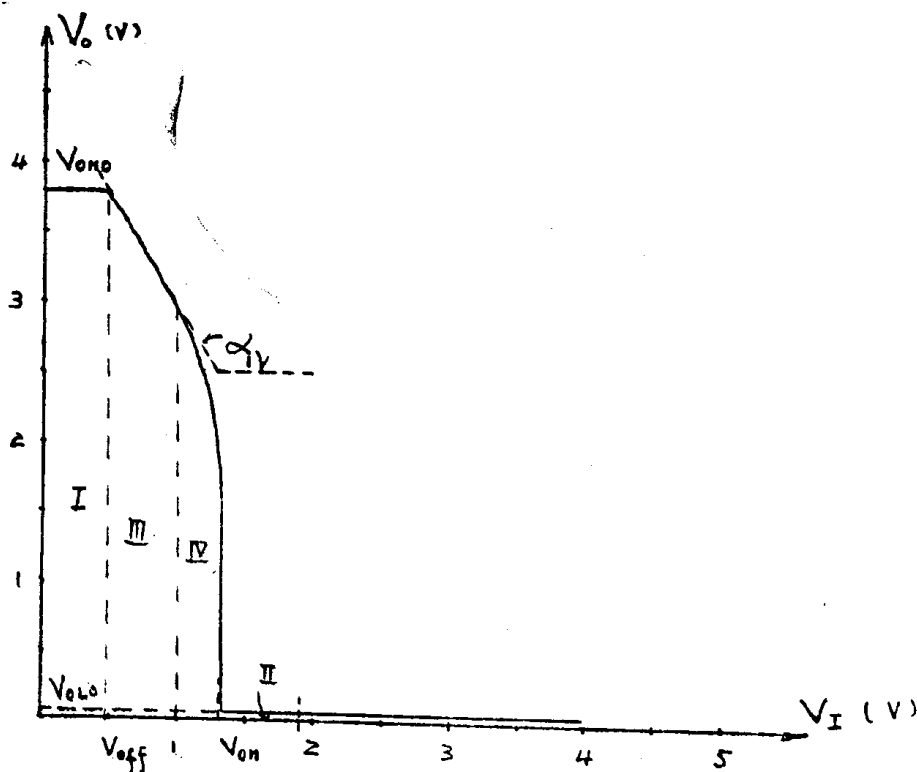


图 9

2. 高电平负载特性

测试图及典型曲线如图10、图11:

由曲线可知, 当 $I_N = 0$ 时, 输出为空载高电平 V_{OH0} , 通常可达 4V, 在稍有电流时, V_{OH} 急剧下降一段距离, 这是 T_4 的 EB 结开始导通、 $V_{b,4}$ 上升所致。然后, T_3 、 T_4 都处于线性状态, 所以曲线略呈平坦, 到达 I_{N2} 时, T_3 饱和, 以后曲线就线性下降, 按上节的理论分析, 其斜率为 $-t_g \alpha_2 = R_2 // R_4 // R_5$, 通常 $R_5 \ll R_2 \ll R_4$, 所以这三个电阻的并联值近似为 R_5 , 其误差一般不超过 10%。

从曲线可知, R_5 的数值会影响高电平的值, R_5 越大, 则高电平在一定的负载下下降得愈厉害。同时, 将严重影响这个电路的速度。所以分析这个曲线的斜率, 也有利于分析电路的交流特性。

3. 输入电流电压特性

测试图及典型曲线如图12、图13。

当 $V_I = 0V$ 时, 得到的 I_I 显然为 I_{IL} , 随着 V_I 的上升, I_I 下降, 其斜率的负倒数正如理论上已经分析过的那样, 为 $-ct_g \alpha_3 = R_1$ 。曲线到 V_{I0} 时, T_2 开始导通, I_I 急剧下降, 标志着过渡区的开始。

4. 输出低电平负载特性

测试图及典型曲线如图14、图15。

在这个曲线上可以分析以下几个问题:

(1) $I_N = 0$ 时的残余电压 V_{OLC} , 可以标志出 $\beta_{反}$ 的大小, 通常, V_{OLC} 约为 60 毫伏左右, 若大于 100 毫伏, 则是不正常的。

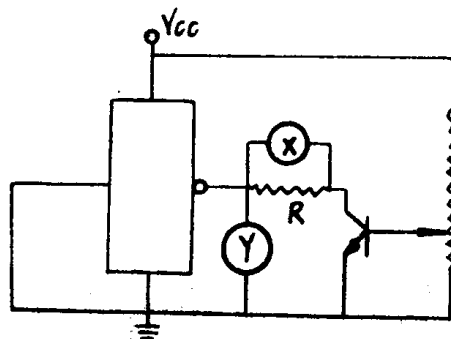


图 10

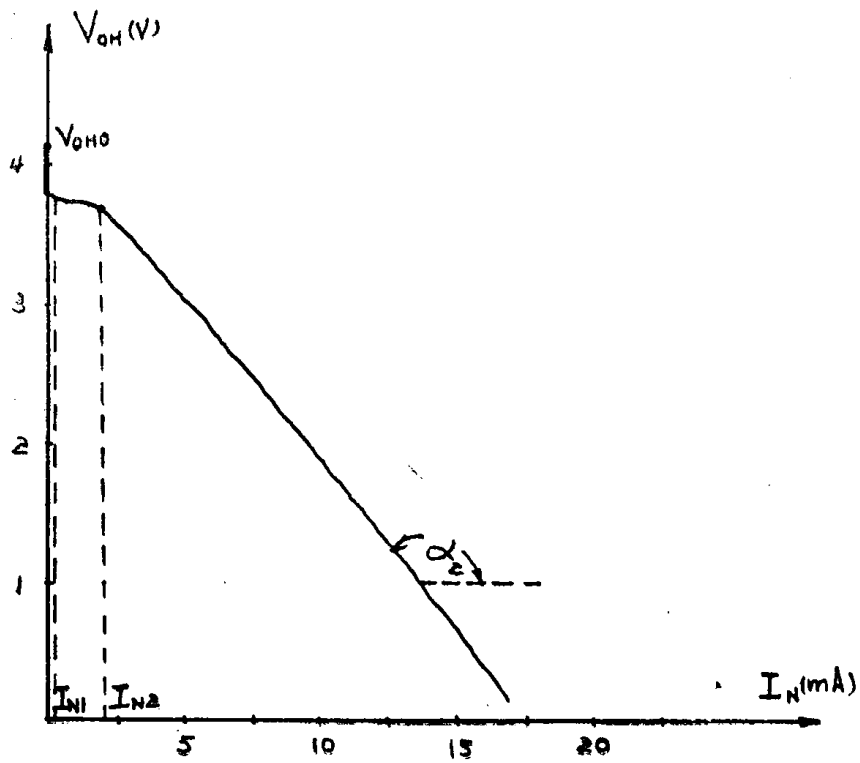


图 11

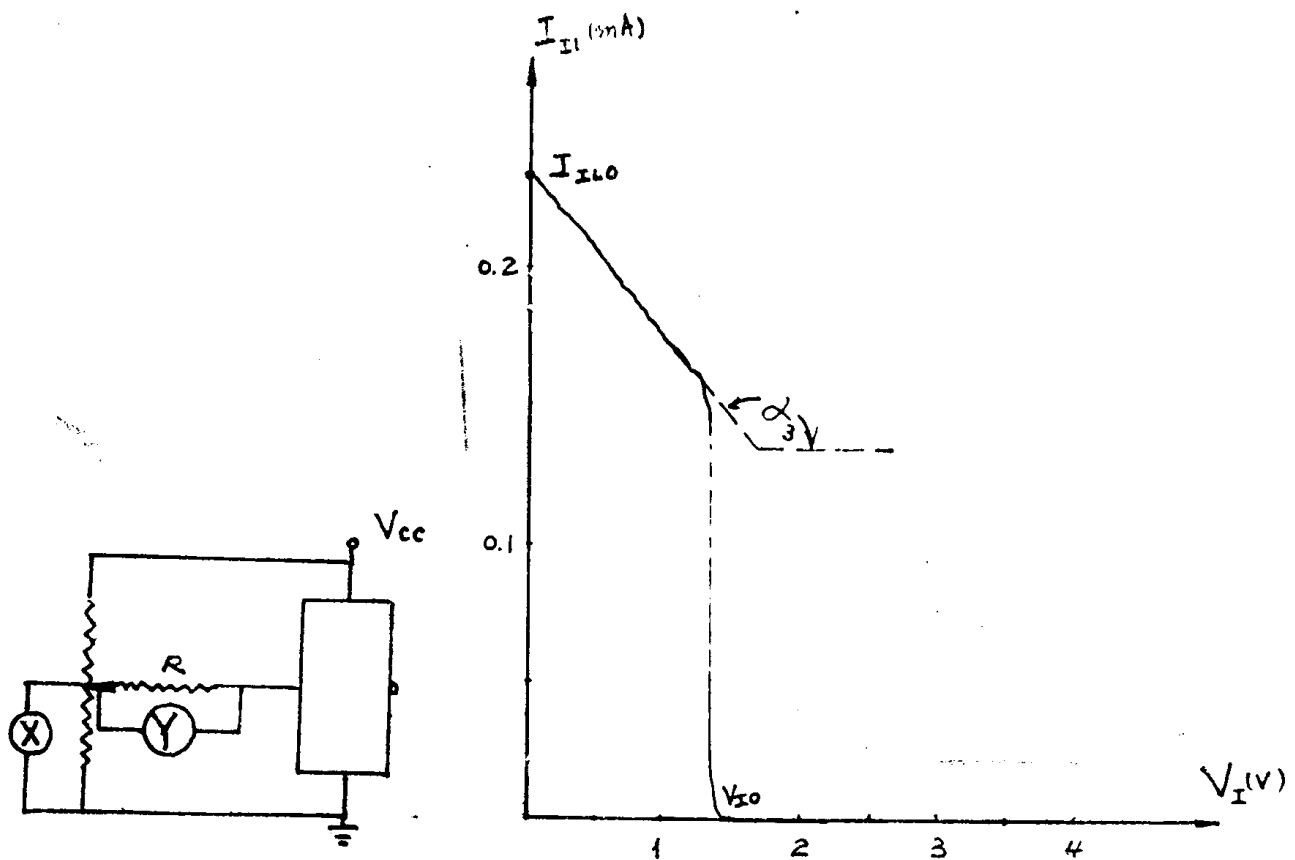


图 12

图 13