

半导体器件工艺原理

华中工学院 黄汉尧 李乃平 编
西北电讯工程学院 孙青 李良能 刘家璐

国防工业出版社



内 容 简 介

本书以分析硅平面器件的工艺原理为主，按常规工艺的顺序，分十二章介绍了衬底制备、外延、氧化、扩散、隔离、光刻、制版、表面钝化、电极制备、可靠性分析等主要工艺。并对一些新工艺做了原理性的介绍，以使读者对于半导体器件的制造有一个基本的、全面的了解。

本书的读者对象主要是高等学校工科电子类半导体专业的学生；也可供从事半导体器件工作的工人、技术人员和研究人员参考。

半 导 体 器 件 工 艺 原 理

华 中 工 学 院 黄汉尧 李乃平 编
西北电讯工程学院 孙 青 李良能 刘家璐

*

国防工业出版社 出版

新华书店北京发行所发行 各地新华书店经营
国防工业出版社印刷厂印装

*

787×1092¹/₁₆ 印张19¹/₄ 448千字

1980年6月第一版 1980年6月第一次印刷 印数：0,001—6,000册

统一书号：15034·2059 定价：2.00元

前 言

本书系高等学校工科电子类半导体专业统编教材之一，讲授时间为40学时。

本书以硅平面器件工艺为主，适当介绍一些其它半导体材料的器件工艺。在介绍中，以论述基本原理和分析方法为主。同时，注意与本专业其它课程的衔接及理论与实践的结合，以便使学生在工艺实践中，能具备一定的分析问题和解决问题的能力。

书中内容可不全部讲授，而将部分章节作为学生自学的内容。

本书由华中工学院黄汉尧、李乃平，西北电讯工程学院孙青、李良能、刘家璐诸同志共同编审。其中，衬底制备、光刻、制版由黄汉尧执笔；外延、表面钝化由李乃平执笔；绪论、氧化、扩散由孙青执笔；可靠性原理、失效分析、质量控制由李良能执笔；隔离、电极制备由刘家璐执笔。

由于编者水平有限，在选材和编写中错误与不当之处在所难免，切望读者批评指正。

编 者

目 录

绪 论 1

第一章 衬底制备

§ 1-1 衬底材料 4	
一、晶体缺陷和非掺杂杂质的影响 4	
二、杂质分布不均匀的影响 8	
三、杂质补偿的影响 8	
§ 1-2 单晶切割 9	
一、单晶定向 9	
二、单晶切割 15	
§ 1-3 单晶片研磨 16	
一、研磨原理 17	
二、研磨方法 18	
§ 1-4 单晶片抛光 19	
一、抛光方法 19	
二、抛光质量的检验 22	

第二章 外 延

§ 2-1 硅外延的基本原理 24	
一、外延生长过程和热力学原理 25	
二、生长动力学原理 28	
三、气相质量转移 31	
四、堆垛层错 35	
五、氯化氢气相抛光 37	
六、外延层中的掺杂 39	
七、外延过程中的杂质再分布和自掺杂效应 42	
八、外延条件的选择和克服自掺杂的途径 45	
§ 2-2 外延层性能的检验 49	
一、电阻率的检验 49	
二、杂质浓度分布的检验 50	
三、外延层厚度的检验 52	
四、夹层的检验 53	
五、表面缺陷的检验 53	
§ 2-3 在蓝宝石、尖晶石上的硅外延 55	
一、绝缘衬底的选择 55	
二、SOS 外延生长 57	
三、SOS 外延层的质量讨论 58	
§ 2-4 砷化镓外延 59	
一、三氯化砷气相外延 59	
二、液相外延 62	

三、分子束外延 63

第三章 氧 化

§ 3-1 二氧化硅膜的制备及其原理 65	
一、热生长氧化法 65	
二、热氧化生长动力学 68	
三、热分解淀积氧化膜法 71	
四、其它氧化方法 73	
§ 3-2 二氧化硅膜的结构 74	
§ 3-3 二氧化硅膜的性质 76	
一、二氧化硅的物理性质 76	
二、二氧化硅的化学性质 78	
§ 3-4 二氧化硅-硅界面的物理性质 79	
一、热氧化时杂质在界面上的再分布 79	
二、反型层现象 80	
§ 3-5 二氧化硅膜质量的检验 80	
一、氧化层膜厚的测定 80	
二、氧化膜缺陷的检验 83	

第四章 扩 散

§ 4-1 扩散原理 84	
一、扩散的本质 84	
二、扩散系数 85	
三、扩散机构 87	
§ 4-2 扩散方程 88	
一、扩散方程的建立 88	
二、扩散方程解的物理意义 89	
三、实际分布与理论分布存在差异的讨论 93	
§ 4-3 扩散方法 97	
一、液态源扩散 98	
二、箱法扩散 100	
三、固态氮化硼扩散 100	
四、氧化物源扩散 101	
五、二氧化硅乳胶源涂层扩散 103	
§ 4-4 扩散层的质量分析与检验 103	
一、结深(x_j) 103	
二、薄层电阻 107	
三、表面杂质浓度 110	
四、击穿电压 112	
五、 β 值 114	

§ 4-5 离子注入掺杂技术	115
一、离子注入的基本原理	116
二、离子注入的杂质分布	117
三、离子注入的沟道渗透效应	117
四、离子注入的退火处理	118
五、离子注入的掩蔽技术	118
六、离子注入的主要设备	118

第五章 隔 离

§ 5-1 pn 结隔离	121
一、pn 结隔离的原理	121
二、几种常见的 pn 结隔离特性的分析	125
三、pn 结隔离的优缺点	126
四、改进的 pn 结隔离	126
§ 5-2 介质隔离	128
一、二氧化硅介质隔离	128
二、V 型槽介质隔离	132
§ 5-3 pn 结-介质混合隔离	134
一、等平面隔离	134
二、多孔硅氧化隔离	135
三、V 型槽隔离	137

第六章 光 刻

§ 6-1 光致抗蚀剂	138
一、光致抗蚀剂的结构性质	138
二、光致抗蚀剂的种类和感光机理	139
三、对光致抗蚀剂性能的要求	142
四、光刻胶的配制	144
§ 6-2 光刻工艺原理	145
一、涂胶	145
二、前烘	145
三、曝光	146
四、显影	146
五、坚膜	147
六、腐蚀	147
七、去胶	153
§ 6-3 光刻缺陷	154
一、浮胶	154
二、毛刺和钻蚀	155
三、针孔	155
四、小岛	155
§ 6-4 其它曝光技术简介	156
一、光学曝光方法的改进	156
二、电子束曝光和 X 射线曝光	157

第七章 制 版

§ 7-1 制版工艺的光学基础	163
一、成象原理	163

二、照相物镜的特性	164
三、图形的反差与过渡区	165
§ 7-2 超微粒干版的制备与显象原理	166
一、超微粒干版的制备	166
二、超微粒干版的显象原理	170
三、“PD”版	174
§ 7-3 制版工艺	176
一、原图绘制	177
二、初缩	178
三、精缩兼分步重复	178
四、复印	179
§ 7-4 自动制版简介	182
一、光学图形发生器	182
二、电子束图形发生器	183
三、激光图形发生器	185

第八章 表面钝化

§ 8-1 二氧化硅-硅系统中的电荷	187
一、可动正离子	187
二、固定电荷	188
三、界面态	190
四、陷阱缺陷	193
五、氧化物外表面电荷	193
六、SiO ₂ -Si 系统中的电荷综述	194
§ 8-2 氯化氢氧化工艺	195
一、氯化氢氧化化的作用	196
二、氯化氢氧化工艺	197
§ 8-3 磷硅玻璃钝化工艺	198
一、磷硅玻璃膜的作用	198
二、PSG 膜的制备	200
§ 8-4 氮化硅钝化工艺	200
一、氮化硅膜的性质	200
二、氮化硅膜的制备	202
§ 8-5 三氧化二铝钝化工艺	204
一、三氧化二铝的主要性质	204
二、三氧化二铝钝化膜的制备	205
§ 8-6 低温钝化技术及半绝缘多晶硅钝化膜	208
一、低温钝化技术	208
二、半绝缘多晶硅钝化膜	208

第九章 电极制备及封装

§ 9-1 欧姆接触	211
一、欧姆接触的原理	211
二、欧姆接触的制备方法	213
§ 9-2 蒸发与溅射	215
一、真空蒸发	216

二、电子束蒸发	222
三、溅射	224
§ 9-3 多层电极与多层布线	226
一、多层电极	226
二、多层布线	229
§ 9-4 键合与封装	232
一、键合	232
二、封装	234

第十章 可靠性基本原理

§ 10-1 可靠性的定义与基本参量	236
一、可靠度	236
二、累积失效率	237
三、失效密度	237
四、瞬时失效率	237
五、平均寿命	237
§ 10-2 半导体器件的失效规律与常用寿命分布	238
一、半导体器件的失效规律	238
二、常用寿命分布	239
§ 10-3 可靠性试验数据处理原理	242
一、威布尔概率纸	243
二、正态概率纸	245
三、对数正态概率纸	245
§ 10-4 加速寿命试验原理	247
一、加速寿命试验的理论基础	247
二、加速寿命试验	250
§ 10-5 抽样试验原理	252

一、单式抽样	253
二、寿命试验的抽样计算	254
§ 10-6 工艺筛选原理	255
一、筛选条件的选择	255
二、筛选试验的种类与工作原理	256

第十一章 失效分析

§ 11-1 失效模式	262
§ 11-2 失效机理	262
一、概述	262
二、表面劣化失效	263
三、金属化系统的失效	266
四、二次击穿失效	269
五、与设计有关的失效	269
六、MOS 电路和 LSI 电路的特殊失效	271
七、辐射引起的失效	272
§ 11-3 失效分析法	273
一、分析过程	273
二、基本电测试分析	274
三、理化分析	278

第十二章 质量控制

§ 12-1 环境控制	282
一、污染源与环境净化	282
二、环境监控	283
§ 12-2 工艺控制	288
一、镜检	288
二、微电子测试图	292
三、质量控制图	300

绪 论

半导体科学是最近三十年迅猛发展起来的一门重要的新兴学科；是发展电子计算机、空间电子技术、雷达、通讯及工业自动化电子技术的基础。它的应用为农业、工业、国防和科学技术的现代化提供了极为有利的条件。

半导体科学的发展与半导体器件制造技术的发展有着最紧密的联系。从1948年出现半导体三极管到今天超大规模集成电路问世，不仅在单片上已能集成十万个以上的元件，而且半导体器件的性能（如可靠性、频率、噪声和功耗等）也得到大幅度提高，成本大幅度降低。这些都说明了先进的工艺技术的重要性。

半导体器件制造技术主要由工艺设计、工艺制造、工艺分析和质量控制四部分组成。这些技术与计算机技术相结合，成为当今半导体工艺的一大特点。为了学好半导体器件的制造技术，达到举一反三、触类旁通的目的，应抓住以上四点，以硅外延平面工艺为主线，重点学习各类技术的基本原理。

下面，将介绍一种典型的半导体集成电路的生产过程（如图0-1、图0-2所示），以便对半导体器件的生产有个概括的了解。

这里，结合图0-2，简单介绍制作管芯的工艺流程：

（1）硅片的制备 一般采用电阻率为 $8\sim 13$ 欧·厘米的P型单晶硅棒，沿（111）晶面切割成 $300\sim 400$ 微米厚的大圆片，经研磨、抛光，使硅片表面光亮如镜。

（2）隐埋氧化 将衬底硅片放入氧化炉中进行热氧化，使表面生长 $1\sim 1.5$ 微米厚的氧化层，作为隐埋扩散的掩蔽膜。

（3）光刻隐埋区 用光刻方法开出扩散窗口。

（4）隐埋扩散 用箱法锑扩散形成高浓度 n^+ 型扩散区，一般控制方块电阻值 $R_s \leq 20$ 欧/□。

（5）外延 用氢氟酸泡除氧化层，将硅片放进外延炉，生长一层n型外延层。一般控制电阻率为 $0.3\sim 0.5$ 欧·厘米，厚度为 $6\sim 10$ 微米。

（6）隔离氧化 将外延片进行热氧化，生长 $0.6\sim 1$ 微米厚的氧化层，作为隔离扩散的掩蔽膜。

（7）光刻隔离区 用光刻方法开出扩散窗口。

（8）隔离扩散 进行浓硼扩散，穿透外延层，形成 p^+ 型隔离墙，把外延层分割成若

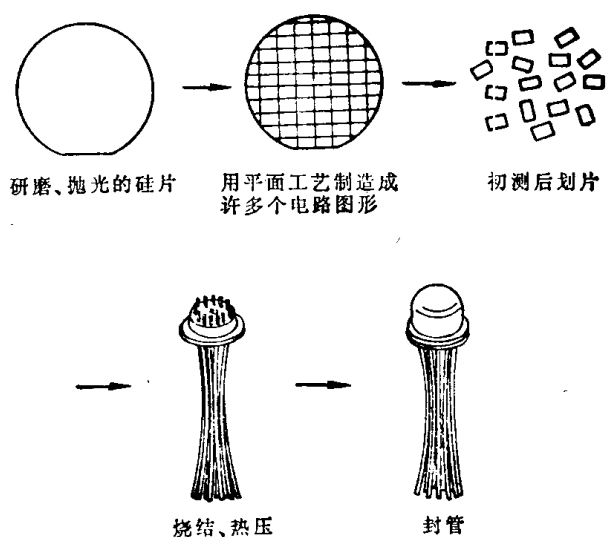


图0-1 半导体集成电路的制造过程

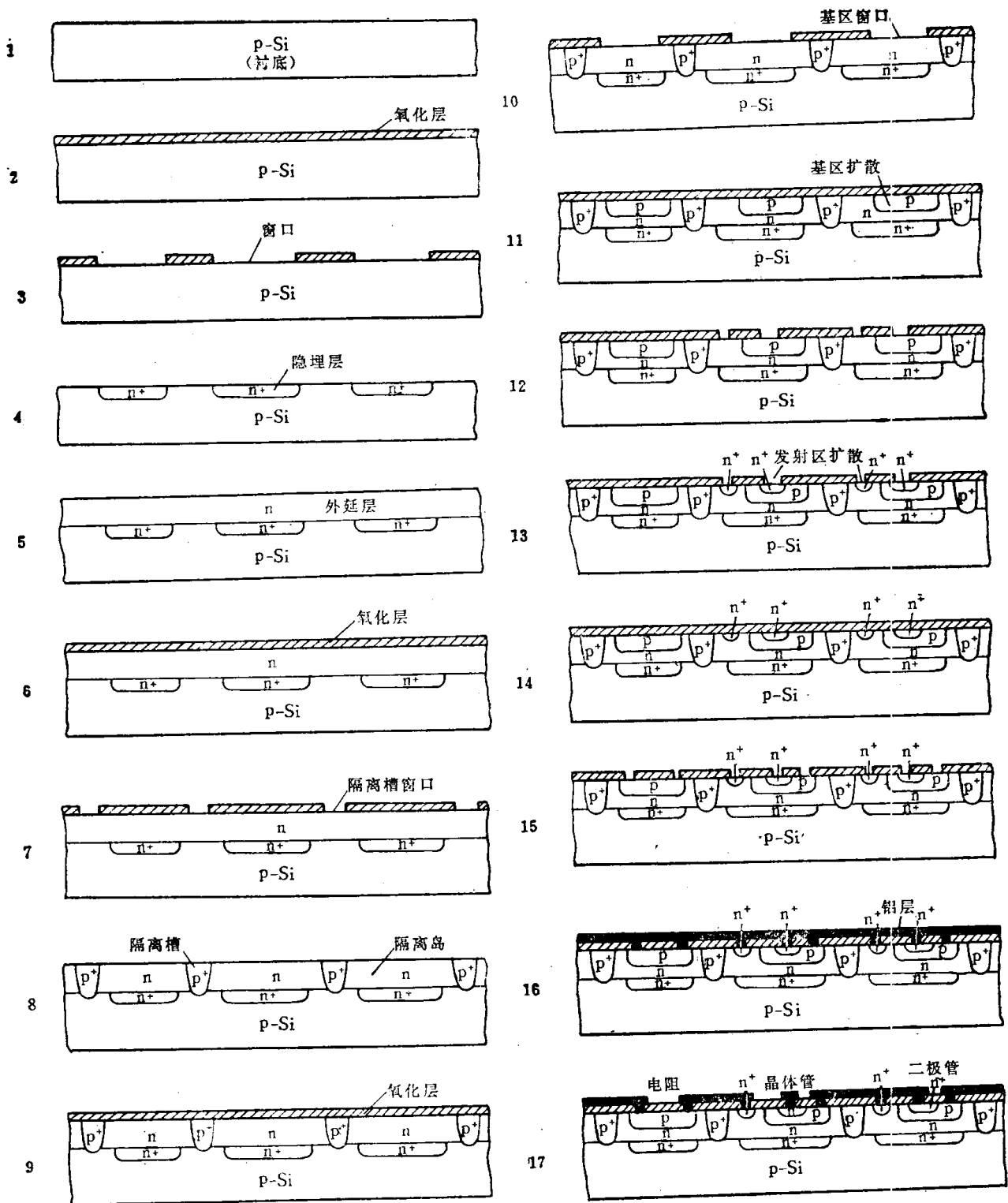


图0-2 pn结隔离集成电路管芯制造工艺流程图

干个独立的隔离岛。扩散后泡除氧化层。

(9) 基区氧化 进行热氧化，生长一层0.5~0.8微米厚的氧化层，作为基区扩散的掩蔽膜。

(10) 光刻基区 用光刻方法刻出基区扩散窗口。

(11) 基区扩散 由硼扩散形成晶体管的基区，同时也形成了扩散电阻。硼扩散分预淀积和再分布两步进行。预淀积的目的在于把硼杂质淀积在硅片表面，再分布使表面硼杂质

向硅片纵深扩散，形成一定的杂质分布和结深。与此同时，在通有氧气的气氛中进行热氧化，使硅片表面生长一层（一般为0.5~0.6微米）氧化层，作为发射区磷扩散的掩蔽膜。

(12) 光刻发射区 用光刻方法刻出扩散窗口。

(13) 发射区扩散 由磷扩散形成晶体管的发射区，并在集电极引线孔位置形成 n^+ 型区，以便制做欧姆接触电极。磷扩散也分两步进行。第一步扩散温度较高，又分通源扩散与断源扩散，前者与硼扩散预淀积相似，后者与再分布相似。第二步为三次氧化。

(14) 三次氧化 热氧化与杂质再分布同时进行，起到调节基区宽度的作用。为了控制 β (电流放大系数) 不至于过大，通常氧化温度较低，时间较短，氧化层厚度也较薄。

(15) 光刻引线孔 用光刻方法刻出引线窗口。

(16) 蒸铝 用真空蒸发法，获得高纯铝薄膜。

(17) 反刻引线 根据电路引线及元件互连线的要求，用光刻方法刻除不需要的铝膜。

光刻后，进行合金，使铝电极与硅形成良好的欧姆接触。合金可在真空、氮气或磷蒸气气氛中进行，合金温度一般在480~540°C，时间为几分钟到十几分钟。到此，管芯已经形成。将制成的管芯严密封装起来，即为成品。

下面，我们将分章对各种工艺进行具体的讨论。

第一章 衬底制备

将用作器件衬底的单晶材料，经过切片、研磨和抛光等工序的加工，获得具有一定厚度和晶向、表面高度平整、光洁如镜、没有损伤层的单晶薄片，供外延（或管芯制造）使用。这种单晶材料的加工过程，称为衬底制备。

§ 1-1 衬底材料

衬底材料主要有三种类型：一是元素半导体，如锗和硅；二是化合物半导体，如砷化镓；三是绝缘体，如蓝宝石和尖晶石。由于它们的结构、组成或作用各有不同的特点，以及杂质缺陷对器件性能的不同影响，所以对它们的要求也不完全相同。例如，蓝宝石或尖晶石用作硅外延的绝缘衬底时，主要要求它与硅晶体的晶格匹配要好，晶格失配率尽可能小，而对纯度和晶格缺陷的要求则比硅衬底要低得多。这是由于杂质在绝缘体内的扩散很慢，且绝缘衬底上的位错几乎不会延伸到外延层上的缘故。又如，以硅单晶为衬底时，由于它的杂质和缺陷对外延层的质量有很大影响，所以在制作器件之前，不仅要确定衬底材料的导电类型、电阻率、位错和寿命这四个常规参数，而且要注意到材料中的重金属杂质、微缺陷、电阻率的微区不均匀性及补偿度等，它们对器件（特别是大规模集成电路）的性能有着重要的影响，下面将就此问题进行讨论，并简单介绍有关的检测方法。

一、晶体缺陷和非掺杂杂质的影响

在硅单晶的制备和器件制造过程中，必然会使硅单晶中一些原子的排列发生错乱，统称为晶体缺陷，如位错、微缺陷和层错等。同时，也不可避免地会引进一些有害杂质，如金、铜、铁重金属和氧、碳等杂质。硅材料的这些缺陷和杂质是影响器件成品率的主要因素。

1. 位错和重金属杂质

(1) 位错和重金属杂质的影响

位错对成品率的影响与位错引起的晶格畸变和重金属杂质的沾污有很密切的关系。实验表明，“清洁的”或“静止的”位错，对结特性或增强扩散并没有什么影响。那么位错的有害影响又是怎样产生的呢？

位错可分为刃位错和螺旋位错两种形式。硅单晶中的位错，绝大多数是滑移面为 $\{111\}$ 晶面，滑移矢沿 $\langle 1\bar{1}0 \rangle$ 方向，贯穿于整个晶体的准刃型位错。刃型位错的特点之一是有多余的半晶面，如图 1-1 所示。由于有一多余半晶面插入，位错线附近产生了晶格畸变，那里的原子就不太稳定，容易被杂质原子所代替。在位错线的上部，晶体的原子受到压力，在下部受到张力。所以，如果位错线上部的原子由较小的杂质原子代替，下部由较大的杂质原子代替，就可以在一定程度上减少这种应力。可见，杂质原子很容易聚集在位错线附近，沿着位错线沉积。

另一方面，对器件性能有很大影响的铜、铁、金等重金属杂质，在硅晶体中主要以间隙式进行扩散，具有很高的扩散系数，与一般以替位式扩散的Ⅲ、V族元素硼、磷等相比，扩散系数大五、六个数量级，即使温度低至 $500\sim 700^{\circ}\text{C}$ ，也能迅速扩散。虽然，它们在硅中的溶解度很小，但随温度的变化极大。例如，铜在 1200°C 时的溶解度相当于室温附近的一千万倍。这样，极少量重金属杂质的沾污，在降温过程中都会导致过饱和。这两个重要的物理性质为重金属杂质沿位错线的沉积提供了有利条件。

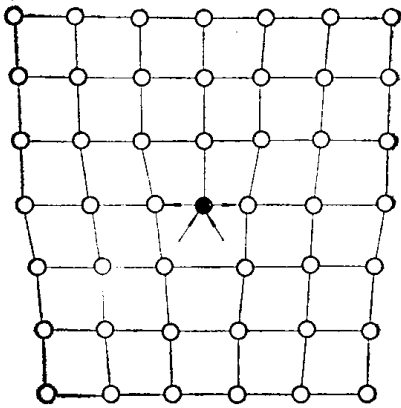


图1-1 位错线附近的应力

的物理性质为重金属杂质沿位错线的沉积提供了有利条件。

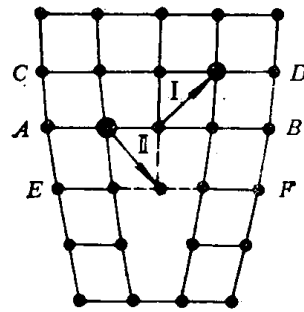


图1-2 位错的攀移运动

重金属杂质在位错线中沉积，一般是沿位错线形成分散的微粒。当这些位错线穿过结区时，在pn结空间电荷区中，重金属杂质沉积微粒的周围，会造成电场的局部集中，以致在该处首先产生雪崩击穿，在低于pn结的正常击穿电压下出现击穿点。这种局部击穿现象称为微等离子体击穿。它使反向特性变软，漏电流显著增加，甚至出现比较集中的片状或棒状的大沉淀，形成直接的漏电管道，引起穿通。同时，重金属杂质还能起补偿和复合中心的作用，使材料杂质浓度和少数载流子寿命下降。

位错影响成品率的另一个重要方面，是杂质沿位错线的扩散速度较快，称为增强扩散。实验表明，静止的位错不会引起增强扩散，增强扩散是由于位错的攀移运动造成的。所谓位错的攀移，就是位错在应力的作用下，从一个滑移面转移到相邻的滑移面上去的一种位错运动。图1-2是表示位错攀移运动的平面图。原来位错线是在滑移面AB上，在应力作用下，如果要攀移到滑移面CD上去，使位错向晶体表面移动，则原来沿位错线的一列原子必须逐个地移走。这些原子主要通过替位扩散机构，跳进附近的空位而离开，如图1-2中的“Ⅰ”。结果，位错逐步向上攀移，以致于到达晶体表面而消失。所以，位错有吸收晶格空位的作用。相反，如果在应力作用下，位错要从滑移面AB向下攀移到滑移面EF上去，就必须在滑移面EF上增加一系列原子，这些原子主要是从附近扩散过来的，如图1-2中的“Ⅱ”。这样在位错线附近就会产生空位。空位的产生就给一些以替位扩散的杂质创造了有利条件，从而造成沿位错线的增强扩散。可见，在外力（如热应力，晶格损伤处的内应力，杂质原子与点阵原子失配，或由于掺杂剂的沉积所引起的点阵收缩应力）的作用下，会产生沿位错线的增强扩散。例如，n-p-n晶体管发射区高浓度磷扩散所产生的晶格压缩应力，引起位错向晶体内部攀移运动，结果在位错线附近出现大量的空位，给磷的替位扩散创造了有利条件，造成沿位错线的增强扩散。尤其在浅结条件下，容易形成发射区和收集区的 n^+ 管道，是n-p-n晶体管造成废品的一个重要原因。

此外，还有人认为刃型位错在单晶中相当于受主键，在位错附近会造成载流子的产生-

复合，引起电阻率的局部涨落，增加了晶体管的噪声。

尽管位错对器件制作有很多不利的影 响，但在一定的条件下，坏事也可以变为好事。例如，在硅单晶材料中，杂质和缺陷尚难避免的情况下，利用位错吸收杂质和空格点缺陷的作用，可以改善非位错区 pn 结的性能。所以，认为少量的(位错密度 $1 \sim 3 \times 10^3/\text{厘米}^2$)，均匀分布的位错，对器件性能不会带来有害的影响，反而起到“清洁工”的作用，对器件制作有利。

但供外延用的衬底就希望位错越少越好。因为衬底的位错会延伸到外延层上，加上切、磨、抛工艺等因素所造成的缺陷，外延层位错一般较衬底大 $100 \sim 1000$ 倍。若采用有位错的单晶，外延层位错密度将会太大，影响器件的特性。

(2) 重金属和位错的检验

硅单晶中重金属杂质和位错密度的检验方法很多。对于重金属杂质，目前国内比较常用的方法是质谱法和中子活化法。

图 1-3 是质谱法的示意图。它是将需要检测的硅片试样放在离化室中，通过高频高压放电，轰击试样，使其中重金属杂质离化为金属离子，在加速电压 V_D 的作用下，形成具有一定速度的离子流，然后在一万多高斯的强磁场作用下，发生偏转，其偏转半径 R 与磁场强度 H ，离子质量 m 及加速电压 V_D 有关。由于不同杂质原子的质量不同，偏转也不同，这样可分离不同的杂质。若磁场强度和收集器位置固定，调节加速电压 V_D 的大小，就可以调节杂质离子的偏转半径，使某种杂质离子能通过收集器的缝隙 L 而被吸收，此时某种杂质离子流最大，称为“调峰电压”。不同的杂质有不同的“调峰电压”，根据“调峰电压”的大小，可以确定离子种类，从而可确定是什么杂质。根据调峰时离子流的大小，可确定杂质的含量。离子收集器也可以用感光底片代替，根据感光的程度来确定杂质含量。此法灵敏度高，几乎可以分析周期表中所有的元素。

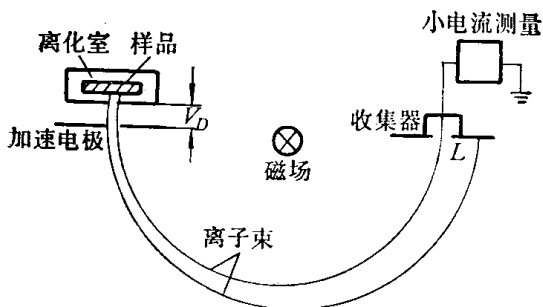


图1-3 质谱分析法示意图

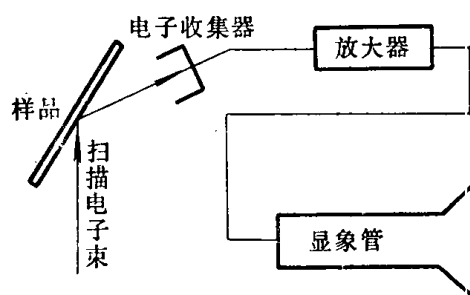


图1-4 扫描电子显微镜示意图

中子活化法是把各种需要检验的已知重量的纯杂质元素作为标准物，与硅样品一起放入原子反应堆中进行活化(辐照)，杂质原子和硅原子就具有放射性了。然后用放射化学技术，去除硅的放射性，以避免它的干扰，并分离出各种需要检验的放射性物质。测定杂质的放射性强度与标准物的放射性相比较，即可测定出各种杂质含量。

此外，还有离子探针法，可以认为它是质谱法的进一步发展。它是利用聚焦得很细的离子束轰击样品表面，使被测金属杂质离化，进入质谱仪进行分析。它可以逐点进行杂质分析，相对灵敏度达 10^{-9} 数量级。

位错的检验，除了采用铬酸腐蚀剂的化学腐蚀法外，还有红外显微镜直接观察法、X

射线衍射形貌照相法，扫描电子显微镜分析法。

红外显微镜直接观察法，是先对硅片进行铜“缀饰”处理：高温下向硅片中扩散进去大量铜原子，然后在较低温度（一般在 500°C ）作长时间的热处理，使过饱和的铜逐渐扩散到位错线附近沉积下来。因为硅对波长大于 1.1 微米的红外线比较透明，而铜吸收这些红外线。所以在红外显微镜下观察或照相，就可以直接看到位错线。

X射线衍射形貌照相法，是利用晶体对X射线的消光作用，使X射线在晶体中有缺陷区域与完整区域的衍射强度不同，来显示晶体中位错等缺陷的。这就是说，如果在一块相对完整的晶体中，包含有局部的不完整区域，根据消光原理，在不完整区域中所产生的衍射线强度比附近完整区域产生的要强得多。如果用一张照相底片记录衍射强度，则不完整区域在底片上将出现相应的衬度（曝光重一些），形貌似缺陷的象。这样可以借助于一定的装置，用所摄的X射线衍射显微照片来判断晶体中的缺陷。

扫描电子显微镜法，是将聚焦为零点几微米的并作有规则扫描运动的电子束射到样品表面，产生反射电子和二次电子。经电子收集器收集后形成电讯号，放大后转换成荧光屏上的图象，就可以直接观察硅片表面微小区域中位错等缺陷及杂质沉淀，如图1-4所示。

此法分辨率与放大倍数很高（放大倍数达 10^5 ），可观察 $100\sim 200$ 埃硅片表面的微小缺陷。

2. 微缺陷和碳、氧杂质

实践发现，硅单晶中的微缺陷，对器件，特别是对大规模集成电路的影响更为严重，是影响硅器件成品率和稳定性、可靠性的又一个重要因素。

(1) 微缺陷的产生与影响

有人认为，微缺陷是硅单晶体中，由氧、碳和空位等所组成的，线度为微米左右的复合物，是硅单晶内部的一种晶格缺陷。

微缺陷的形成有各种不同的说法，其中有一种所谓空位团形成模型。它的形成是这样的：在一定温度下，存在一定数量的间隙原子和空位，统称为热缺陷。但由于形成硅间隙原子需要较大的能量，所以主要的热缺陷是空位。

理论上估计，在 1420°C 的拉晶温度下，空位浓度约为 $1.2 \times 10^{13} \sim 9 \times 10^{15}/\text{厘米}^3$ 。当晶体冷却时，将产生空位的过饱和。过剩的空位，一部分将扩散到晶体表面，或借助于位错向晶体表面攀移而消失。如果是无位错单晶，过剩的空位就只能通过向表面扩散而减少，但需要很长的时间。所以，从熔体中生长的无位错硅单晶，在冷却过程中空位的过饱和是很严重的。它们一群群地聚集起来，形成空位团，其数量大致几十万以上，线度约为 1 微米左右，通常就称它为微缺陷。在一般真空或氩气中的直拉无位错硅单晶，微缺陷密度高达 $10^7/\text{厘米}^3$ 。

根据目前的实验结果，认为形成空位团的核是硅单晶中的氧和碳。因为碳的分凝系数约为 0.07 ，分凝现象极为明显，于是在晶体生长过程中形成碳的花纹分布，并且碳在硅中处于替代位置。它的原子半径比硅小，引起晶格收缩畸变，然后氧向此晶格畸变区域聚集，并处于间隙位置。于是硅单晶中的空位通过扩散与氧、碳结合成为复合体。在晶体冷却过程中，过饱和空位就以此复合体为核心进一步凝聚成空位团，并按碳的分凝花纹分布。这种碳、氧和空位的凝聚体就是微缺陷。另外，金属杂质也极易在此聚集。所以，也有的把

氧、碳、金属杂质和空位的复合物，称之为微缺陷。

单晶片中存在微缺陷，在热氧化过程中，氧在微缺陷处沉积，有可能沿着 {111} 面凝聚足够的间隙氧原子，形成非本征层错，或沿着 {111} 面凝聚的空位团，产生崩塌而形成缺一层原子的区域，构成所谓本征层错（详见 § 1-4）。以上统称为热氧化层错。

热氧化层错也会引起重金属杂质的沉积和增强扩散。对于 MOS 器件，存在于 Si-SiO₂ 界面附近的微缺陷，还会引起载流子散射，迁移率下降，使 MOS 器件的击穿电压、跨导及工作频率降低。

所以，减少硅单晶中的含氧和含碳量，以减少空位凝聚的核化中心，从而减少微缺陷密度，对制作性能优良的器件是极为重要的。

（2）微缺陷的检验

微缺陷的检验，主要有化学腐蚀法，铜缀饰 X 射线衍射貌相法，红外显微镜法及电子显微镜薄膜透视法。

化学腐蚀法与铬酸腐蚀液检测位错法一样，不同的是所显示的图象有所差别。对于 (111) 面，腐蚀坑呈浅平底圆角三角形，亮白色。但它与表面损伤、沾污等造成的腐蚀图形易混淆，要注意观察区别。

铜缀饰 X 射线貌相法的基本原理是：首先进行铜缀饰处理，其方法是先将硅片在 HNO₃:HF:冰醋酸=3:1:10 的混合液中腐蚀一下，消除硅片中的应力，以免在进行铜缀饰处理时引进位错等缺陷，然后在真空中把铜蒸发到硅片表面，再在氩气保护下于 950°C 扩散 1 小时，接着迅速冷却到室温，使过饱和铜沉积在硅片的微缺陷处，增大它的应力场，使鉴别率只有 10 微米左右的 X 射线貌相技术能直接显示铜在微缺陷中沉积的图象。铜缀饰处理后，磨去表面的硅铜合金和化学抛光，即可拍摄貌相图。

电子显微镜薄膜透视法，能够观察铬酸腐蚀后，只有 0.05~0.1 微米或更小的微缺陷腐蚀坑。方法是将化学腐蚀后的硅表面，喷涂一层碳薄膜，使它具有样品表面的形貌，然后将它揭下，在透射电子显微镜下观察。

红外显微镜法与观察铜缀饰位错的原理一样，在红外显微镜下可观察经铜“缀饰”的微缺陷，并呈现星状或针状图样，它的数目表示了硅片中的微缺陷数目。如果调节显微镜的焦距，可得到微缺陷在深度方向的分布图样。

二、杂质分布不均匀的影响

在单晶生长过程中，由于分凝效应，熔体表面的挥发及熔体搅拌的不均匀，生长的单晶沿轴向及截面的杂质分布会不均匀。这种不均匀性，对器件的电参数，如双极型器件的击穿电压、饱和压降、放大倍数；MOS 器件的阈值电压、跨导和漏电流等，会造成较大的分散性，这对大规模集成电路的成品率影响更大，所以单晶截面电阻率的不均匀性应小于 5%。

三、杂质补偿的影响

多晶中总含有一定量的磷、硼杂质，称为基磷和基硼。对于基磷为 200 欧·厘米，基硼为 2000 欧·厘米的多晶硅，磷和硼含量各约为 $1.5 \times 10^{18}/\text{厘米}^3$ 及 $7 \times 10^{12}/\text{厘米}^3$ ，它在晶

体生长过程中会进入单晶。对于直拉单晶，石英坩埚中的硼、铝等杂质进入熔体也会造成沾污。所以，单晶中总是同时存在施主和受主杂质。这两种杂质在电导过程中的相互补偿作用使电阻率测量不能真实反映单晶中的掺杂情况，为此还要考虑杂质补偿的影响，通常用补偿度来描述。对于 n 型材料，补偿度定义为 N_A/N_D ，p 型材料为 N_D/N_A 。其中 N_A 和 N_D 分别为受主型和施主型杂质浓度。

补偿度是反映材料质量的一个重要指标。补偿度大，对材料性能有不良的影响，如寿命和迁移率减小。同时，各种杂质的分凝系数，挥发系数和扩散系数不同，在器件制造过程中，由于挥发和再分布使电阻率变化，高补偿单晶甚至会出现导电型号混乱的情况；外延过程中，磷、硼的外扩散，使在外延层上制作的器件饱和压降增大，甚至出现夹层等现象。

§ 1-2 单晶切割

单晶切割也叫切片，就是将单晶棒，用切片机按照一定的要求切成片状。目前常用的半导体材料具有硬而脆的特性，所以一般都采用金刚砂脆性破坏切割的方法，其中又分固定金刚砂粒法和游离金刚砂粒法，目前用得最普遍的是固定金刚砂粒法中的内圆式刀片切割。它的基本过程就是先将单晶棒粘在固定单晶棒的燕尾板上，经定晶向后安装在切割机的夹具上进行切割。

一、单晶定向

1. 光图定向法

光图定向法的基本原理，就是利用锗、硅单晶结构所具有的宏观对称性，把需要定向的晶面经过研磨、择优腐蚀等处理，使晶面上出现许多由低指数小平面所围成的，并与晶面具有一定对应关系的小腐蚀坑。再利用这些小腐蚀坑的宏观对称性，可反映出不同的光象，来确定对应的晶向或晶向偏离角。下面以硅为例，阐明它的原理和方法。

(1) 硅晶体结构的各向异性

硅晶体属于金刚石结构，它的晶胞可以视为，由两个面心立方晶胞沿着空间对角线相对位移 $\frac{\sqrt{3}}{4}a$ (a 为晶格常数) 套构而成。为了解 $\langle 111 \rangle$ 晶向原子排列的特点，首先分析一个面心立方晶胞的情况。沿面心立方空间对角线 $\langle 111 \rangle$ 晶向看过去，其原子排列如图 1-5 所示，特点是构成一个六棱柱。其中 A 、 B 、 C 、 A' 为四个互相平行的 $\{111\}$ 面，它们把上下两个 A 面间的距离，即空间对角线的长度 $\sqrt{3}a$ 分成了三等分。所以晶胞中相邻 $\{111\}$

的面间距为 $\frac{\sqrt{3}}{3}a$ 。

另一个面心立方晶胞沿 $\langle 111 \rangle$ 晶向的原子排列，用 A' 、 B' 、 C' 和 A'' 表示四个互相平行的 $\{111\}$ 面，并且首先将 A 与 A'' ， B 与 B' ， C 与 C' 重合在一起，然后沿 $\langle 111 \rangle$ 晶向相对位移 $\frac{\sqrt{3}}{4}a$ ，则形成如图 1-6 所示的硅晶体结构的六棱柱原胞，其中 $AA'BB'CC'A''$ 就是硅晶体结构沿 $\langle 111 \rangle$ 晶向的 $\{111\}$ 晶面的原子排列方式。

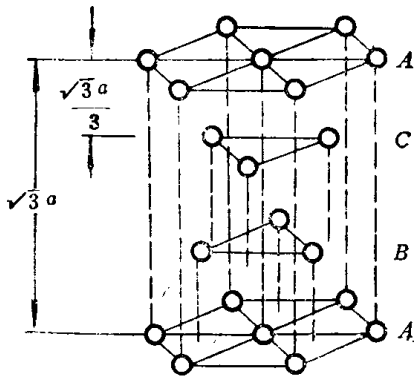


图1-5 面心立方晶胞沿<111>晶向的原子排列

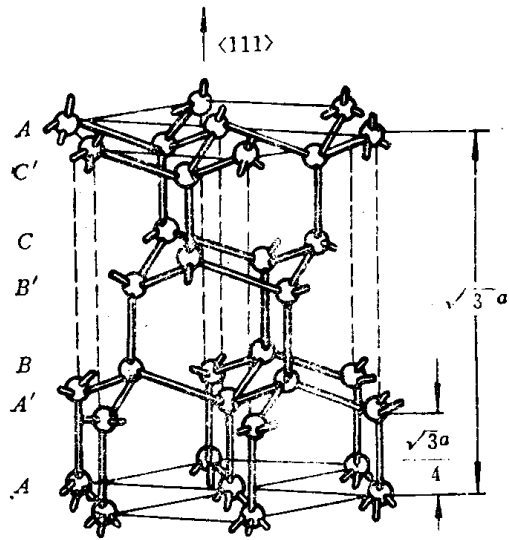


图1-6 硅晶体结构的六棱柱晶胞

由图 1-6 可以看出：①在体对角线长度 $\sqrt{3} a$ 内共有七个互相平行的 $\{111\}$ 面，它们的顺序为 $AA'BB'CC'A$ 。②面间距有两种， $A-A'$ ， $B-B'$ ， $C-C'$ 之间的面间距为 $\frac{\sqrt{3}}{4} a$ ，而 $A'-B$ ， $B'-C$ ， $C'-A$ 之间的面间距只有 $\frac{\sqrt{3}}{12} a$ 。③经计算每一个 $\{111\}$ 面的原子面密度都是 $\frac{4\sqrt{3}}{3a^2}$ 。但是面间距大的相邻两晶面间，每个原子只有一个共价键互相联结，而面间距小的相邻两晶面间，每个原子则有三个键互相联结。因此，前者共价键的面密度为 $\frac{4\sqrt{3}}{3a^2}$ ，后者为 $\frac{4\sqrt{3}}{a^2}$ 。

对于 $\langle 100 \rangle$ 和 $\langle 110 \rangle$ 方向，通过类似的方法，可以分别得到它们的面间距和面密度，如表 1-1 所示。

表1-1 硅晶体结构主要晶面上原子排列的特点

晶 面	$\{100\}$	$\{110\}$	$\{111\}$	
			相邻双层原子面间	相邻双层原子面内
面 间 距	$a/4$	$\sqrt{2} a/4$	$\sqrt{3} a/4$	$\sqrt{3} a/12$
原 子 面 密 度	$2/a^2$	$2\sqrt{2}/a^2$	$4\sqrt{3}/3a^2$	$4\sqrt{3}/3a^2$
晶面间共价键面密度	$4/a^2$	$2\sqrt{2}/a^2$	$4\sqrt{3}/3a^2$	$4\sqrt{3}/a^2$

由上述三个晶向和晶面原子排列的分析和比较可知， $\{111\}$ 晶面中 $A'-B$ ， $B'-C$ ， $C'-A$ 之间的面间距最小，共价键面密度却最大，这些相邻两晶面间相互作用很强，可以分别把它们看成紧紧联系在一起的双层原子面。而 $\{111\}$ 晶面中相邻双层原子面的 $A-A'$ ， $B-B'$ ， $C-C'$ 之间的面间距最大，共价键面密度最小。故它们之间的原子联结最不牢固，是硅晶体结构的解理面。

(2) 硅定向腐蚀原理

硅定向腐蚀是先用金刚砂研磨，然后用 NaOH 水溶液进行腐蚀处理。

根据电化学腐蚀原理，实现电化学腐蚀要具备如下三个条件：

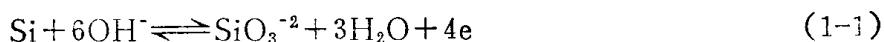
① 被腐蚀的半导体各区域之间要有电位差，以便形成阳极和阴极。电极电位低的是阳极，电极电位高的是阴极。阳极被腐蚀溶解。

② 具有不同电极电位的半导体各区域要互相接触。

③ 这些不同区域的半导体要处于互相连通的电解质溶液中。

硅晶体定向腐蚀处理能满足上述三个条件，从而在半导体表面形成许多微电池，依靠微电池的化学反应，使半导体表面不断受到腐蚀。

在阳极：



在阴极：



一般来说，晶体中的畸变区域存在塑性变形或内应力，原子排列受到破坏，内能比较高，化学活泼性也较好，电极电位往往比其他区域低，较易失去电子而导致优先腐蚀。对于不同晶面和晶向，由于原子排列不同，使原子结合的强弱不同，根据电化学腐蚀原理，它们的腐蚀速度也会有所不同。鉴于 {111} 相邻双层原子面间的距离最大，共价键面密度最小，所以沿 {111} 相邻双层原子面间最易断裂。另一方面，{111} 双层原子面内的面间距最小，共价键面密度最大，结果沿 <111> 方向的腐蚀速度最慢。用择优腐蚀剂腐蚀时，显露出来的都是 {111} 面，腐蚀坑由 {111} 面围成，而坑底平面是与腐蚀面平行的低指数晶面。于是不同的晶向有不同的腐蚀坑，对应有不同的光象。

(3) 晶向与光象的关系

① <111> 晶向

{111} 晶面经过研磨和腐蚀处理，出现如图 1-7(a) 所示的解理坑。解理坑是由 (111) 晶面作为坑底，并由 $(\bar{1}11)$ 、 $(1\bar{1}1)$ 和 $(11\bar{1})$ 晶面作为侧面所围成的三角锥形坑，面对 (111) 晶面观察时其投影如图 1-7(b) 所示。

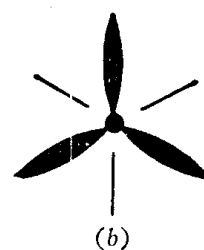
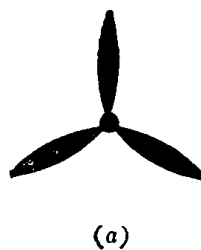
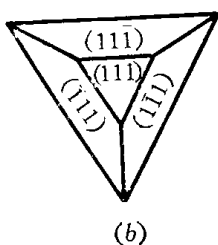
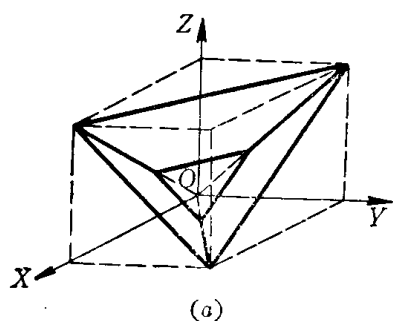


图1-7 (111)晶面腐蚀解理坑示意图
(a) 立体图；(b) 正视投影图。

图1-8 <111>晶向光象图形

当一束平行光入射到被测 (111) 晶面上，则被解理坑的晶面反射到互成 120° 角的对称方向上，形成如图 1-8(a) 或 (b) 所示的光象。