

高等学校教材

# 数字集成电路的 分析与设计

王兆明 蓝家隆 刘昌孝 编

电子工业出版社

## 内 容 提 要

本书系统地讨论了数字集成电路在晶体管级的分析与设计方法,简要地介绍了集成电路的版图设计和工艺过程。在取材上以MOS电路为主,主要内容是MOS数字集成电路和双极型数字集成电路在晶体管级的分析、设计方法以及相应的制造工艺和版图知识。同时还介绍了近代新型集成电路(Bi-CMOS、CCD、GaAs等)及集成电路的计算机辅助设计方法。

本书可作为高等院校无线电技术、通讯、计算机、微电子电路等专业高年级学生和研究生教材,同时也可供教师及有关工程技术人员作为技术参考书。

### 数字集成电路的分析与设计

王兆明 蓝家隆 刘昌孝 编

责任编辑 郭延龄

电子工业出版社出版(北京市万寿路)

新华书店北京发行所发行 各地新华书店经售

北京密云华都印刷厂印刷

开本: 787×1092毫米 1/16 印张: 17.5 字数: 401千字

1991年1月第1版 1991年1月第1次印刷

印数: 1300册 定价: 4.65元

ISBN 7-5053-1195-6/TN·352

## 出版说明

根据国务院关于高等学校教材工作分工的规定，我部承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力，有关出版社的紧密配合，从1978年至1985年，已编审、出版了两轮教材，正在陆续供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要，贯彻“努力提高教材质量，逐步实现教材多样化，增加不同品种、不同层次、不同学术观点、不同风格、不同改革试验的教材”的精神，我部所属的七个高等学校教材编审委员会和两个中等专业学校教材编审委员会，在总结前两轮教材工作的基础上，结合教育形势的发展和教学改革的需要，制订了1986~1990年的“七五”（第三轮）教材编审出版规划。列入规划的教材、实验教材、教学参考书等近400种选题。这批教材的评选推荐和编写工作由各编委会直接组织进行。

这批教材的书稿，是从通过教学实践、师生反映较好的讲义中经院校推荐，由编审委员会（小组）评选择优产生出来的。广大编审者、各编审委员会和有关出版社为保证教材的出版和提高教材的质量，作出了不懈的努力。

限于水平和经验，这批教材的编审、出版工作还会有缺点和不足之处，希望使用教材的单位，广大教师和同学积极提出批评建议，共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

## 序 言

集成电路问世以后,品种越来越多、功能越来越强的通用集成电路逐渐取代了电子管与晶体管,成为各种电子系统和电子产品的核心器件。开始时有些人认为大多数电路工作者已经不需要象在电子管晶体管时代那样去仔细研究基本的电子电路,也不必象过去那样孜孜不倦地致力于创造新电路。他们认为电路工作者只要象当年挑选电子管与晶体管那样,选择符合自己要求的集成电路,然后象搭积木那样去构成电子系统。不过这种看法后来没有成为电路工作者的主流观点。事实上,一部分电路工作者与器件工作者携手合作,开发各种商品化通用集成电路,对他们来说,不仅仅要仔细研究基本电路的分析与设计问题,还要解决集成电路与大型网络设计中层出不穷的新问题,例如电路的模拟及优化设计,逻辑综合,故障诊断,布局布线,版图设计及验证等理论与实际问题。现在人们将这些以微电子技术为背景的电路与系统问题,统称为“微电子电路与系统”,成为电路与系统这门传统学科中崭新的学术方向。

现代电子系统变得日益复杂,中小规模通用集成电路已无法完全满足它的需要。与此同时,集成电路进入了大规模集成(LSI)和超大规模集成(VLSI)阶段。但是除了少数功能电路如CPU、存储器外,很难设计出符合各方面要求的通用LSI和VLSI电路。根据用户要求或者由用户参与设计的专用集成电路(ASIC—Application Specific Integrated Circuits)在这种背景下显示了强大生命力,成为集成电路中的一个重要品种,其产值已占整个集成电路产值的三分之一,这一比例还在呈上升趋势。ASIC的发展促使更多的电路工作者以用户的身份参与集成电路设计。这类集成电路常称为用户设计(Custom Design,或称全定制)与半用户设计(Semi Custom Design,或称半定制)集成电路。

现代电子系统设计的概念,方法与手段已不同于过去的年代。特别是ASIC出现与广泛应用后,电路工作者籍助于CAD手段得到的设计结果通常是晶体管级电路图以及版图。电路工作者还要提出测试方案与测试矢量。这样,VLSI电路分析与设计方法的基础,成了不少电路工作者不可缺少的知识。值得注意的是我们不能满足于数字电路以门级为基础的分析与设计,还需要深入到晶体管级。本教材正是为了适应这一新的情况,由顾德仁教授建议,“无线电技术与信息系统”教材编写委员会“电路与系统”编审组决定编写出版的。

本教材是根据编者多年来从事“数字电路的CAD”、“数字逻辑综合”、“微电子电路与系统”以及研究生课“VLSI电路与系统设计”的教学经验,从电路工作者的需要出发,适当取材撰写而成的。按照电子科技大学有关专业的教学计划,“数字集成电路的分析与设计”与“数字逻辑电路(含CAD)”,“数字系统的测试与故障诊断”,“VLSI电路与系统设计”构成了数字电路分析与设计的课程体系,并与“数字信号处理”,“计算机原理”等课程紧密相关。在整个数字电路的课程体系中,本课程强调基本逻辑单元电路的分析与设计。

本教材系统地讨论了数字集成电路在晶体管级的分析与设计方法,也简要地介绍了晶体管的工作机理和版图设计原则。由于MOS集成电路已成为当代集成电路,特别是LSI

和VLSI电路的主流，在取材上以MOS电路为主。对于双极型集成电路则采取与MOS电路对比方式介绍，并尽可能避免重复。还讨论了用于高速工作的GaAs数字电路和数字集成电路中的其它新技术。

由CAD技术与ASIC发展引起的电子系统设计的革命性变革已开始在我国电子行业中出现。电路工作者已经在计算机、通讯等领域设计出一批大规模ASIC芯片装备自己的电子系统，使我国电子系统的总体水平大大提高。电路工作者直接参与集成电路，特别是ASIC设计已是不可逆转的大趋势，因此本教材除了满足高校无线电技术、电子工程、通讯、计算机、微电子电路与系统等电路专业的教学需要外，也可作为高校半导体专业电路课程的教材。同时亦可作从事集成电路设计的电路工作者的参考书。

全书分成九章。第一章介绍MOS晶体管的工作原理、数学模型、晶体管电流方程、制作工艺和有关版图及版图设计规则方面的知识。由于MOS倒相器是最基本的逻辑门电路，在第二章内，我们详细讨论了MOS倒相器的各种结构、工作原理、直流特性、瞬态特性和分析设计方法。第三章则介绍了各种MOS基本逻辑门电路：或非门、与非门、AOI结构、传输门等电气特性及分析设计方法。目前的中、小规模集成电路产品仍以双极型集成电路为主，因此，本教材以和MOS电路对比的方式在第四章和第五章介绍了双极型集成电路的工作原理、工艺技术以及TTL、ECL、I<sup>2</sup>L等各种基本逻辑门电路的特性和分析设计方法。第六章讨论基本的时序逻辑电路—各种不同类型的触发器。按工艺结构分为MOS触发器和双极型触发器；按电气性能分为RS触发器、JK触发器、D触发器等给予了分门别类地介绍。在第一章至第六章的基础上，第七章介绍了基本的大规模集成电路和超大规模集成电路的分析设计方法。主要内容是ROM、RAM、PLA等电路的分析和设计。第八章介绍了一些特殊结构的集成电路，如Bi-CMOS、CCD和砷化镓高速集成电路的基本结构和分析设计方法。第九章则介绍了在大规模集成电路分析与设计过程中不可缺少的CAD技术。由于很多教科书中都包括有电路的CAD内容，故本章着重介绍了制版CAD、工艺CAD以及测试CAD等方面的知识。

顾德仁教授亲自主持了教材的构思与编写提纲的讨论，并指导了整个编写过程；万栋义副教授也参加了提纲的讨论。四川大学倪治中副教授担任本书的主审，万栋义、李智副教授审阅了部分原稿，陈伟明讲师、谢军、冯天久同志参加了稿件的抄写和文字处理工作，武汉大学张肃文教授、华中理工大学余玉龙教授等自始至终关心本教材的编写工作，对此一并表示深切感谢。

编者于1990年3月

# 目 录

第一章 MOS晶体管.....	( 1 )
§ 1.1 引 言 .....	( 1 )
§ 1.2 MOS晶体管工作原理 .....	( 2 )
1.2.1 增强型 $n$ MOS晶体管 .....	( 2 )
1.2.2 增强型 $n$ MOS晶体管的电流方程 .....	( 4 )
1.2.3 耗尽型 $n$ MOS晶体管 .....	( 6 )
1.2.4 $p$ MOS晶体管 .....	( 7 )
1.2.5 MOS晶体管的电路模型 .....	( 7 )
§ 1.3 MOS工艺技术 .....	( 8 )
1.3.1 选择扩散 .....	( 8 )
1.3.2 硅栅工艺 .....	( 9 )
1.3.3 $p$ 阱CMOS工艺 .....	( 10 )
1.3.4 $n$ 阱CMOS工艺 .....	( 13 )
§ 1.4 版图的符号表示法 .....	( 15 )
§ 1.5 版图设计规则 .....	( 17 )
§ 1.6 MOS集成电路中的电阻和电容 .....	( 22 )
1.6.1 电阻值的估算 .....	( 22 )
1.6.2 电容的估算 .....	( 24 )
§ 1.7 小 结 .....	( 28 )
习题 .....	( 29 )
第二章 MOS倒相器 .....	( 30 )
§ 2.1 引 言 .....	( 30 )
§ 2.2 倒相器的基本特性 .....	( 30 )
2.2.1 直流传输特性 .....	( 32 )
2.2.2 噪声容限 .....	( 32 )
2.2.3 瞬态特性 .....	( 34 )
2.2.4 功率延时乘积 .....	( 37 )
§ 2.3 电阻负载MOS倒相器 .....	( 38 )
2.3.1 直流传输特性 .....	( 38 )
2.3.2 瞬态特性 .....	( 41 )
2.3.3 功率延时乘积 .....	( 42 )
2.3.4 电阻负载倒相器的设计 .....	( 43 )
§ 2.4 增强型MOSFET负载倒相器 .....	( 43 )
2.4.1 饱和增强型MOSFET负载倒相器 .....	( 44 )

2.4.2	非饱和增强型MOSFET负载倒相器	(49)
§ 2.5	耗尽型MOSFET负载倒相器	(51)
2.5.1	直流传输特性	(51)
2.5.2	瞬态特性	(55)
2.5.3	功率延时乘积	(57)
§ 2.6	CMOS倒相器	(58)
2.6.1	直流传输特性	(58)
2.6.2	瞬态特性	(63)
2.6.3	功率延时乘积	(64)
§ 2.7	倒相器等效输出电容的估算	(66)
§ 2.8	小结	(67)
	习题	(67)
<b>第三章</b>	<b>MOS逻辑电路</b>	<b>(69)</b>
§ 3.1	引言	(69)
§ 3.2	$n$ MOS或非门电路	(69)
§ 3.3	$n$ MOS与非门电路	(72)
§ 3.4	$n$ MOS组合逻辑电路	(75)
§ 3.5	CMOS与非门电路	(79)
§ 3.6	CMOS或非门电路	(82)
§ 3.7	CMOS传输门	(83)
3.7.1	CMOS传输门的特性	(84)
3.7.2	含传输门的组合逻辑电路	(86)
§ 3.8	非标准CMOS电路	(88)
§ 3.9	小结	(89)
	习题	(89)
<b>第四章</b>	<b>双极型集成电路基础</b>	<b>(90)</b>
§ 4.1	引言	(90)
§ 4.2	双极型晶体管的基本特性和模型	(90)
4.2.1	晶体管的埃伯斯—莫尔模型	(93)
4.2.2	晶体管的电荷控制模型	(97)
4.2.3	晶体管小信号混合 $\pi$ 模型	(99)
§ 4.3	双极型集成电路工艺	(100)
§ 4.4	采用其它隔离技术的双极型工艺	(104)
4.4.1	硅局部氧化(LOCOS)工艺	(104)
4.4.2	集电极扩散隔离(CDI)工艺	(104)
4.4.3	深V形槽隔离工艺	(105)
§ 4.5	改进型的集成双极型晶体管结构	(106)
4.5.1	肖特基钳位的晶体管结构	(106)
4.5.2	多晶硅自对准结构	(107)

4.5.3	梳状连接结构	(109)
§ 4.6	其它集成电路元器件	(109)
4.6.1	集成电阻	(110)
4.6.2	集成电容	(112)
4.6.3	集成电感	(114)
4.6.4	二极管	(114)
4.6.5	双极型 $pnp$ 晶体管	(115)
§ 4.7	双极型门电路结构	(116)
4.7.1	TTL逻辑门	(116)
4.7.2	发射极耦合逻辑 (ECL)	(118)
4.7.3	集成注入逻辑 ( $I^2L$ )	(118)
4.7.4	肖特基 $I^2L$ 组合电路	(119)
§ 4.8	小 结	(120)
	习题	(121)
<b>第五章</b>	<b>双极型集成逻辑电路</b>	(122)
§ 5.1	引 言	(122)
§ 5.2	晶体管—晶体管逻辑	(123)
5.2.1	DTL “与非” 门简介	(123)
5.2.2	简易的TTL “与非” 门	(123)
5.2.3	典型的TTL “与非” 门	(124)
§ 5.3	改进型的TTL门	(127)
5.3.1	肖特基钳位的TTL门电路 (STTL)	(127)
5.3.2	低功耗肖特基钳位TTL (TTL(LS))	(128)
5.3.3	先进的肖特基钳位TTL门 (ALSTTL)	(129)
5.3.4	简单的TTL开关门	(129)
§ 5.4	发射极耦合逻辑 (ECL)	(131)
§ 5.5	集成注入逻辑 ( $I^2L$ )	(134)
§ 5.6	接口电路	(138)
5.6.1	ECL和TTL之间的接口电路	(138)
5.6.2	$I^2L$ 和TTL间的接口电路	(140)
5.6.3	MOS和TTL间的接口电路	(140)
§ 5.7	小 结	(141)
	习题	(142)
<b>第六章</b>	<b>集成触发器、单稳态电路和多谐振荡器</b>	(144)
§ 6.1	引 言	(144)
§ 6.2	$n$ MOS $RS$ 触发器	(144)
§ 6.3	钟脉冲控制触发器	(148)
§ 6.4	施密特触发器	(152)
§ 6.5	CMOS $RS$ 触发器	(158)



§ 6.6	钟脉冲CMOS触发器 .....	(161)
§ 6.7	CMOS施密特触发器 .....	(167)
§ 6.8	TTL触发器 .....	(170)
§ 6.9	ECL触发器 .....	(174)
§ 6.10	I <sup>2</sup> L触发器 .....	(177)
§ 6.11	单稳态电路及多谐振荡器 .....	(179)
6.11.1	CMOS单稳态电路 .....	(179)
6.11.2	CMOS无稳态多谐振荡器 .....	(180)
6.11.3	TTL单稳态电路 .....	(181)
§ 6.12	定时电路555 .....	(182)
6.12.1	555单稳态电路 .....	(182)
6.12.2	555无稳态多谐振荡器 .....	(183)
§ 6.13	小 结 .....	(186)
	习题 .....	(187)
<b>第七章</b>	<b>存贮器 .....</b>	<b>(190)</b>
§ 7.1	引言 .....	(190)
§ 7.2	顺序存取存贮器 .....	(191)
§ 7.3	只读存贮器 .....	(192)
7.3.1	ROM的存贮单元 .....	(192)
7.3.2	地址译码器 .....	(193)
7.3.3	ROM的设计与应用 .....	(195)
7.3.4	ROM的SPICE模型分析实例 .....	(198)
§ 7.4	随机存取存贮器 .....	(207)
7.4.1	RAM的基本结构 .....	(208)
7.4.2	静态RAM存贮单元 .....	(210)
7.4.3	RAM的整体结构及设计 .....	(212)
7.4.4	静态RAM的瞬时特性 .....	(215)
§ 7.5	动态随机存取存贮器 .....	(216)
7.5.1	四管动态MOS存贮单元 .....	(217)
7.5.2	单管动态MOS存贮电路 .....	(218)
§ 7.6	可编程逻辑阵列 (PLA) .....	(220)
§ 7.7	可编程只读存贮器 .....	(222)
§ 7.8	小 结 .....	(225)
	习题 .....	(226)
<b>第八章</b>	<b>其它结构的集成电路 .....</b>	<b>(227)</b>
§ 8.1	引 言 .....	(227)
§ 8.2	Bi-CMOS集成电路 .....	(227)
§ 8.3	电荷耦合器件 .....	(230)
§ 8.4	砷化镓 (GaAs) 集成电路 .....	(234)

§ 8.5	砷化镓集成电路制造工艺 .....	(235)
§ 8.6	砷化镓晶体管 .....	(237)
§ 8.7	MESFET的SPICE模型 .....	(238)
§ 8.8	砷化镓逻辑电路 .....	(240)
8.8.1	缓冲场效应晶体管逻辑 .....	(240)
8.8.2	肖特基二极管场效应晶体管逻辑 .....	(242)
8.8.3	直耦合场效应晶体管逻辑 .....	(242)
8.8.4	组合逻辑电路 .....	(243)
8.8.5	时序逻辑电路 .....	(244)
§ 8.9	砷化镓大规模集成电路 .....	(245)
§ 8.10	小 结 .....	(247)
<b>第九章</b>	<b>大规模集成电路的计算机辅助设计</b> .....	<b>(248)</b>
§ 9.1	引 言 .....	(248)
§ 9.2	电路分析 .....	(248)
§ 9.3	辅助制版 .....	(251)
§ 9.4	逻辑模拟 .....	(253)
§ 9.5	布 图 .....	(257)
9.5.1	门阵列设计模式 .....	(258)
9.5.2	多元胞设计模式 .....	(259)
9.5.3	任意元胞设计模式 .....	(259)
§ 9.6	工艺模拟 .....	(260)
§ 9.7	测试和自动检查 .....	(263)
§ 9.8	小 结 .....	(265)

# 第一章 MOS晶体管

## §1.1 引言

当前在LSI和VLSI电路，特别是数字集成电路中应用最多的是金属-氧化物-半导体场效应 (Metal-Oxide-Semiconductor) 器件，简称MOS场效应晶体管 (MOS FET)。

早在发明晶体管以前，就有人研究了电场引起固体导电性能的变化。事实上双极型晶体管就是在研究这种场效应期间发明的。肖克来在1951年提出结型场效应管，但由于工艺上的困难而没有实现。随着硅平面工艺的出现，人们在硅衬底表面的氧化层上设置一个金属电极，称为栅极。加在栅极与衬底之间的电压使硅表面附近感应出导电电荷，于是在栅极下方产生一层薄薄的导电沟道，沟道电流受栅压控制。(最早的这种MOS FET是由贝尔实验室的卡恩和阿特拉于1960年宣布研制成功，并在1967年进入商品化阶段)。由于MOS集成电路的工艺简单，每个器件所占的面积只有双极型器件的五分之一左右，因此MOS工艺很快登上了集成电路的舞台。到六十年代末已出现了每个单片含上千个MOS晶体管的大规模集成电路。到七十年代中期，MOS工艺进入了每个单片含上万支晶体管的超大规模阶段。MOS器件已成为当前数字集成电路的基本元件。

MOS晶体管用图1-1的符号表示，

它的三个端子分别称为源极 (Source)，漏极 (Drain) 和栅极 (Gate)。在正常工作状态下，栅极上加一定电压，栅极下方形成连结源极与漏极的沟道。载流子在电场控制下形成沟道电流。由于只有一种载流子导电，因而也称为单极晶体管。

根据形成沟道电流的载流子的性质，MOS器件分为n沟道MOS和p沟道MOS晶体管，称为n沟道MOSFET和p沟道MOSFET，简写作nMOS和pMOS。在nMOS晶体管中载流子是电子。pMOS晶体管正好相反，它的载流子是空穴。每一类按其栅压为零时导电沟道是否已经形成，分为增强型与耗尽型两种器件。零栅压时截止的器件称增强型，零栅压时已导通的器件称为耗尽型。图1-2 (a) 和 (b) 分别给出了nMOS增强型和耗尽型漏极电流与栅压间关系的曲线。图1-1中的电路符号常用来表示增强型器件。图1-3是n沟道耗尽型晶体管常用的电路符号。

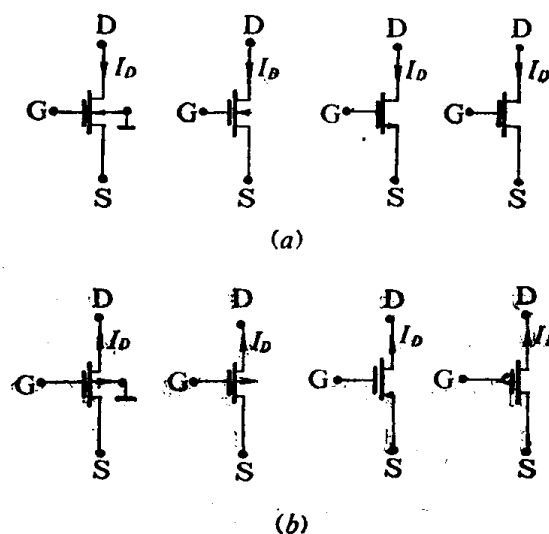


图1-1 MOS晶体管的符号

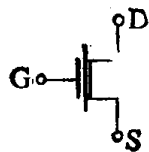


图1-2 nMOS晶体管特性  
(a) 增强型; (b) 耗尽型

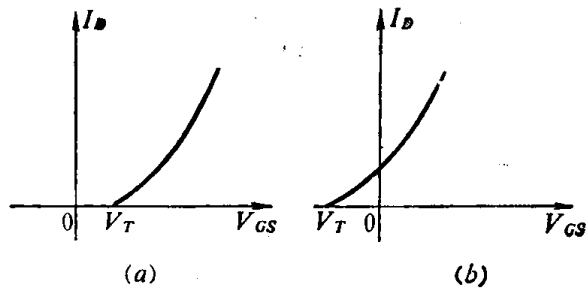


图1-3 耗尽型MOS FET

CMOS(Complementary MOS)集成电路是将nMOS和pMOS器件做在同一芯片上构成的互补电路。由于它的微功耗和对电源电压适应性强等优点,已成为MOS集成电路的重要品种,并已成为MOS通用数字集成电路的主流。

图1-4是几个MOS电路的例子。设电路中的低电平为零,高电平的电压为 $V_{DD}$ 。不难看出,当输入电压 $V_{in}$ 为低电平时, $M_1$ 截止,输出为高电平。输入高电平时, $M_1$ 导通,输出为低电平。因而它们具有倒相器的逻辑功能。其中图1-4(a)、(b)是nMOS倒相器,图1-4(c)是CMOS倒相器。

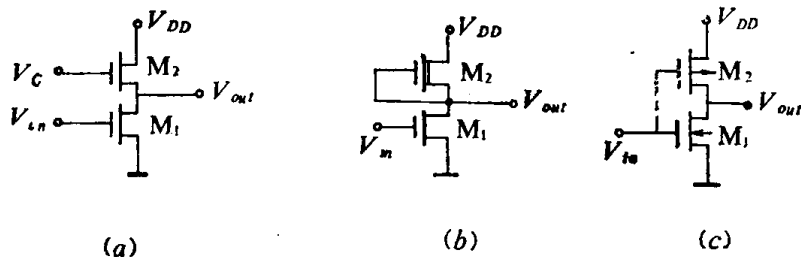


图1-4 MOS管负载的倒相器  
(a) 增强型负载倒相器; (b) 耗尽型负载倒相器; (c) CMOS倒相器

与双极型集成电路比较, MOS电路的主要缺点是速度低,低频噪声大, MOS晶体管的跨导较低, MOS运算放大器的性能较差。因而在模拟领域与要求高速的场合,仍广泛采用双极型集成电路。当然随着MOS工艺水平的不断提高和模拟开关电路理论的进展,现在已制成了开关电容网络, PCM编码解码器等功能部件的MOS单片集成电路。

## §1.2 MOS晶体管工作原理

上一节我们已经介绍了MOS晶体管的几种基本类型。现在将引用半导体物理的结论讨论MOS晶体管的工作原理及其特性曲线。

### 1.2.1 增强型nMOS晶体管

n沟道MOS晶体管的基本结构如图1-5所示。在适当掺杂的p型硅衬底上通过扩散制

作两个重掺杂的  $n^+$  区，它们分别对应着源极和漏极。两个重掺杂区之间的衬底表面覆盖一层极薄的二氧化硅绝缘层。绝缘层上方设置一个称为栅极的金属电极。衬底B通常接最低电位，或者与源极S相接。当栅极G与源极S之间加上正电压  $V_{GS}$  时，栅极下方就会产生一个指向衬底的电场。在这个电场作用下，电子向栅极方向移动，空穴则向相反方向移动。当栅压足够大时，由于电场的作用，会有足够的电子趋附于栅极正下方的衬底表面，使这一部分衬底由  $p$  型转变为  $n$  型，形成一个  $n$  型表面反型层。这个反型层把源极与漏极连通，成为一个  $n$  型导电沟道。将开始形成导电沟道所需要的栅源电压  $V_{GS}$  称为阈值电压，用  $V_T$  表示。

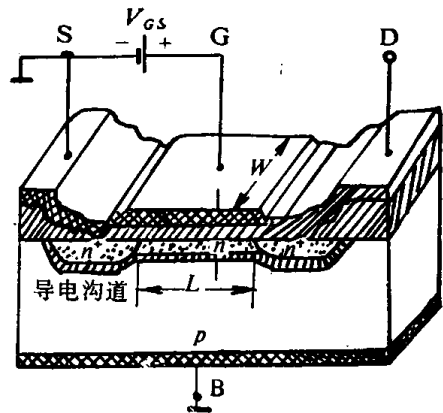


图1-5 增强型  $n$  沟道 MOSFET 结构图

当  $V_{GS}$  大于  $V_T$  时，若  $V_{GS}$  增大，由于电场增强，导电反型层的厚度增大。图1-6 (a) 给出了漏源电压  $V_{DS}$  为零时，沟道反型层的结构。

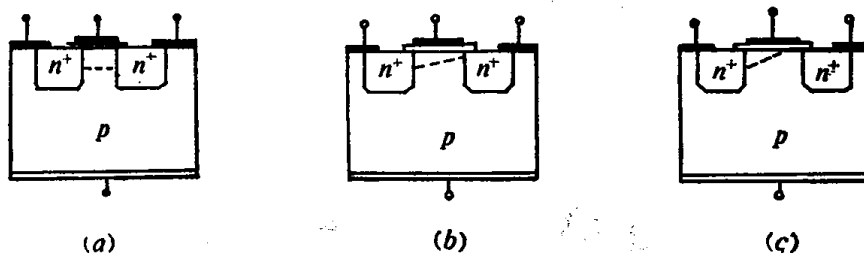


图1-6  $n$  沟道 MOSFET 的导电机理

(a)  $V_{GS} \geq V_T, V_{DS} = 0$ ; (b)  $V_{DS} < V_{GS} - V_T$ ; (c)  $V_{DS} \geq V_{GS} - V_T$

正常工作时，漏极与源极之间加上正电压  $V_{DS}$ 。当栅源电压  $V_{GS}$  等于阈值电压  $V_T$  时，栅极下方的区域将同时受到垂直电场（由栅源电压引起）和水平电场（由漏源电压引起）的共同影响。漏极将吸引电子，形成了漏极电流  $I_D$ 。当  $0 < V_{DS} \leq V_{GS} - V_T$  时，由于栅漏之间的电压不同于栅源之间的电压，漏极与源极之间的导电层厚度左右不等，如图1-6 (b) 所示呈倾斜状。当  $V_{GS}$  变化时，导电层的厚度或沟道电阻发生变化，此时可以忽略  $V_{DS}$  对导电沟道的影响。当  $V_{GS}$  一定时，漏极电流随  $V_{DS}$  作线性变化，即器件的电压—电流特性呈线性关系，称为线性工作状态。

需要指出的是上述的线性工作状态只是一种近似，实际上当  $V_{DS}$  增大到接近  $V_{GS} - V_T$  时， $V_{DS}$  对导电沟道的影响变得不能忽略，其沟道电阻随  $V_{DS}$  增大而略有增加，器件进入非线性工作状态。所以通常将线性工作状态和进入饱和状态之前的非线性过渡状态统称为非饱和状态。

当  $V_{DS}$  增加到使  $V_{GD} \leq V_T$  或  $V_{GS} \geq V_{GS} - V_T$  时，漏区一端的导电沟道消失，即导电层被“夹断”，如图1-6 (c) 所示。这时漏源间的导通性是通过电子在漏极电压影响下的漂移特性来实现的。电子离开导电沟道进入漏耗尽区后，立即被加速吸引到漏极。这时漏极电流只受栅极电压控制，与  $V_{DS}$  几乎无关。器件呈饱和状态。

当 $V_{GS} < V_T$ 时, 导电沟道尚未形成。在 $V_{DS}$ 一定的条件下, 漏源区被反偏的 $pn$ 结隔离, 漏极电流 $I_D$ 为零。器件处于截止状态。

### 1.2.2 增强型 $n$ MOS晶体管的电流方程

综合上述分析可见,  $n$ 沟道MOSFET的工作状态就其导通特性, 可分成三个区域:

截止区: 漏源之间不存在导电沟道, 它们之间仅有漏电电流通过。

非饱和区: 沟道导电层较薄, 漏极电流随栅极电压 $V_{GS}$ 和漏极电压 $V_{DS}$ 大致呈线性变化。

饱和区: 沟道导电层局部加厚, 靠近漏极处被夹断, 此时漏极电流与漏极电压无关。

与上述三个工作区相对应, MOS晶体管的漏源电流方程为

$$I_{DS} = \begin{cases} 0; & V_{GS} - V_T \leq 0 & (1-2-1a) \\ \beta \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]; & 0 < V_{DS} < (V_{GS} - V_T) & (1-2-1b) \\ \frac{\beta}{2} (V_{GS} - V_T)^2; & 0 < (V_{GS} - V_T) < V_{DS} & (1-2-1c) \end{cases}$$

式中 $I_{DS}$ 是漏源电流,  $V_{GS}$ 是栅源电压,  $V_T$ 是器件的阈值电压,  $\beta$ 是MOS晶体管的导电因子, 或称为导电系数。它取决于器件的几何尺寸及工艺参数。计算 $\beta$ 的公式是

$$\beta = \frac{\mu\epsilon}{t_{ox}} \left( \frac{W}{L} \right) \quad (1-2-2)$$

式中 $\mu$ 为电子的有效表面迁移率,  $\epsilon$ 是栅绝缘层的介电常数,  $t_{ox}$ 是栅绝缘层的厚度。 $W$ 和 $L$ 分别是沟道宽度与长度, 如图1-5所示。式中 $(\mu\epsilon)/t_{ox}$ 是与工艺有关的参数,  $W/L$ 则是器件几何图形的参数, 它由掩模图形决定。

式(1-2-2)中迁移率表征了载流子在衬底上移动的快慢程度。它定义为

$$\mu = \frac{\text{表面电子平均漂移速度}(v)}{\text{电场强度}(E)} \quad (1-2-3)$$

如果速度的单位用 $\text{cm/s}$ , 电场强度单位用 $\text{V/cm}$ , 则迁移率的单位是 $\text{cm}^2/\text{V}\cdot\text{s}$ 。

式(1-2-2)中的 $(\mu\epsilon)/t_{ox}$ 常称为工艺参数, 用 $K_F$ 表示, 是SPICE电路分析程序中MOS器件模型的一个重要参数。它的典型值为 $10 \sim 30 \mu\text{A}$ , 对于同一工艺, 由于所用的初始材料和二氧化硅生长过程的差异,  $K_F$ 可能有百分之十至二十的变化。

一个典型的 $n$ MOS晶体管的参数如下:

$$\mu = 500 \text{cm}^2/\text{V}\cdot\text{s}, \quad \epsilon = 4\epsilon_0 = 4 \times 8.85 \times 10^{-14} \text{F/cm},$$

$t_{ox} = 500 \text{\AA}$ 。这个器件的导电系数为

$$\beta = \frac{500 \times 4 \times 8.85 \times 10^{-14}}{500 \times 10^{-8}} \cdot \frac{W}{L} = 35 \frac{W}{L} \mu\text{A}/\text{V}^2$$

式(1-2-1)中的阈值电压可按以下公式计算

$$V_T = V_T(0) + r[\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F}] \quad (1-2-4)$$

式中 $\phi_F$ 是一个常数,  $V_{SB}$ 是衬底的偏置电压,  $V_T(0)$ 是 $V_{SB} = 0$ 时的阈值电压。 $r$ 是表示衬底偏置效应的常数, 可用下式计算:

$$r = \left( \frac{t_{ox}}{\epsilon_{ox}} \right) \sqrt{2q\epsilon_{si}N} \quad (1-2-5)$$

式中 $q$ 是一个电子的电荷量， $\epsilon_{ox}$ 和 $\epsilon_{si}$ 分别是二氧化硅和硅衬底的介电常数， $N$ 是衬底的浓度。和 $K_P$ 一样， $\lambda$ 、 $V_T(0)$ 和 $r$ 也都是SPICE的模型参数。

如果 $V_{SB} \gg \phi_F$ ，则式(1-2-4)可简化为

$$V_T = V_T(0) + r(V_{SB})^{1/2} \quad (1-2-6)$$

必须指出，在推导MOS晶体管特性方程时，我们认为载流子迁移率是常量，没有考虑漏源电压 $V_{DS}$ 改变引起沟道长度的变化，并且忽略器件中的漏电流。在长沟道器件中，沟道长度的少许变化无足轻重。但是当器件尺寸减小时，就必须考虑这种变化。沟道长度减小引起沟道宽长比增大，因此 $\beta$ 将随漏极电压的增大而变大，这种现象称为沟道长度调制效应。其结果使在饱和区内漏极电流随漏极电压的增大而缓慢增大，使器件具有有限的输出阻抗。

沟道的有效长度可用以下近似公式计算

$$L_{ef} = L - \sqrt{2\epsilon_0 \frac{\epsilon_{si}}{qN} [V_{DS} - (V_{GS} - V_T)]} \quad (1-2-7)$$

由式(1-2-1)得到的MOS晶体管的输出特性，即漏极特性曲线如图1-7(a)。式(1-2-1b)和(1-2-1c)分别对应着图中非饱和工作区和饱和工作区的曲线。当 $V_{DS}$ 增大，超过某一临界值 $\beta V_{DS}$ 时，漏端的 $pn$ 结发生雪崩击穿，直接由源极经过衬底到漏极的电流急剧增大，就是图1-7(a)中曲线的击穿区。

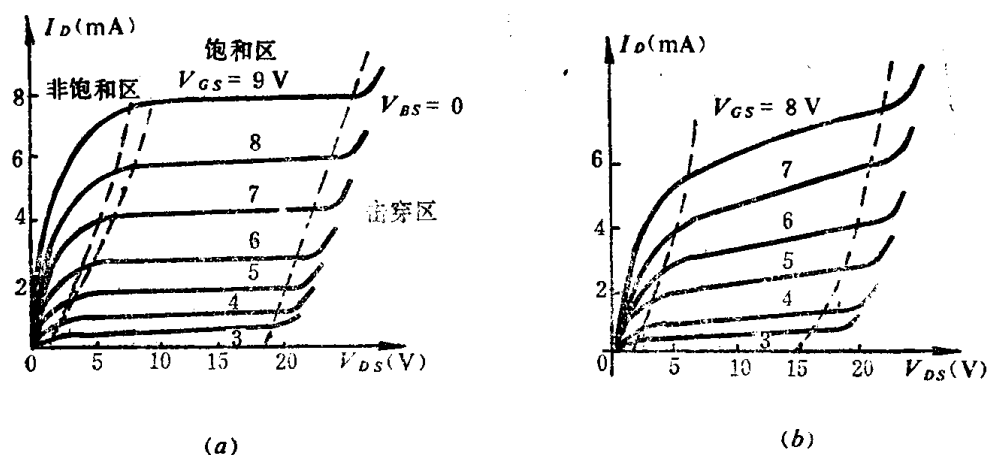


图1-7  $n$ 沟道MOSFET的输出特性

(a) 忽略沟道长度调制效应；(b) 考虑沟道长度调制效应

如果考虑沟道长度的调制效应，图1-7(a)饱和区内的电流曲线将呈上升趋势，如图1-7(b)所示。式(1-2-1c)可改写为

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (1-2-8)$$

式中 $\lambda$ 称为沟道长度调制系数。

器件的转移特性反映了在一定 $V_{DS}$ 下，漏极电流 $I_D$ 和控制电压 $V_{GS}$ 间的关系。图1-8就是 $n$ MOS增强型晶体管饱和区的转移特性曲线。

最后需要指出，在前面的讨论中，认为当 $V_{GS} < V_T$ 时导电沟道尚未形成， $I_D$ 为零。实际上，确切的阈值是不存在的，在 $V_{GS} < V_T$ 时，就已经出现漏极电流，漏极电流与 $V_{GS}$ 之间呈指数关系，如图1-8中虚线所示。这种现象称为亚阈值导电效应。

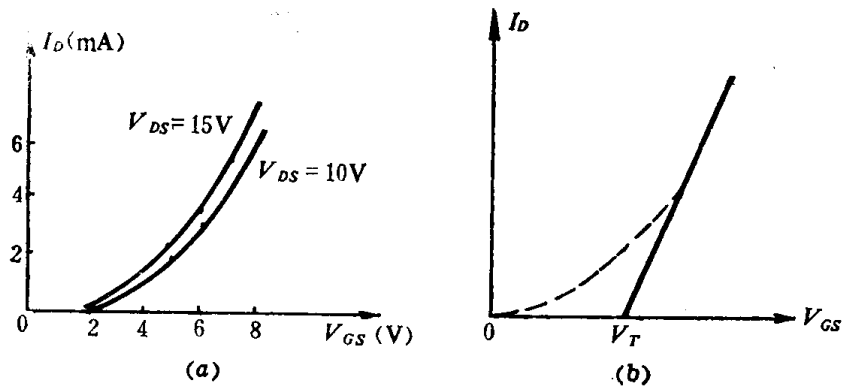


图1-8 增强型n沟道MOSFET的转移特性  
(a) 不同 $V_{DS}$ 时的转移特性； (b) 线性化的转移特性

### 1.2.3 耗尽型nMOS晶体管

耗尽型nMOS晶体管与增强型nMOS晶体管结构相同，如图1-9所示。由于在制造管子时，对漏源之间的沟道区进行离子注入，产生一个n型薄层，形成导电沟道。这样在栅源电压 $V_{GS}$ 为零时，导电沟道已存在，只要加上一定的漏源电压就产生漏极电流。 $V_{GS}$ 和 $V_{DS}$ 对 $I_D$ 的控制作用和增强型管相似。当栅漏间施以负电压时，沟道区的反型层变薄，沟道电阻增大，漏极电流 $I_D$ 减小。当负栅压增加到一定值时，沟道消失，于是漏极电流为零，晶体管截止。这个使耗尽型nMOS晶体管截止的临界负电压，称为它的阈值电压或夹断电压。图1-10和图1-11分别给出了耗尽型nMOS晶体管的输出特性曲线与转移特性曲线。

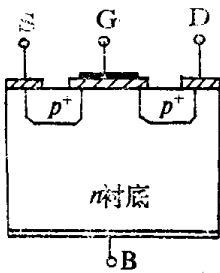


图1-9 耗尽型n沟道MOSFET结构

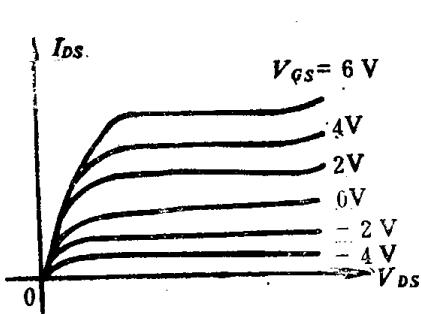


图1-10 耗尽型n沟道MOSFET输出特性

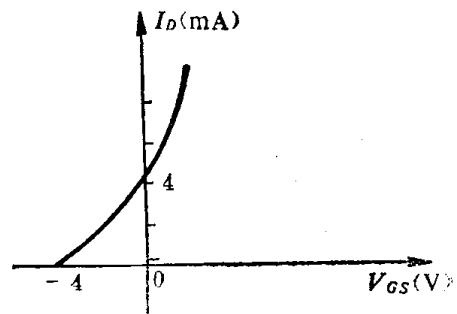


图1-11 耗尽型n沟道MOSFET的转移特性



### 1.2.4 pMOS晶体管

和nMOS晶体管相反，如果在n型衬底上制作两个P<sup>+</sup>重掺杂区，作为漏极与源极。这两个电极之间衬底的氧化层上设置栅极。如图1-12所示。当栅源之间加上负电压时，由于电场的作用，栅极下方衬底产生一个空穴导电沟道，这一部分n型衬底转变为p型。在漏源间加上一定负电压时，就有漏极电流流过晶体管。根据它与nMOS晶体管的对偶特性，只要改变各个电压与电流的符号，以上nMOS晶体管的电流方程和特性曲线也适用于pMOS晶体管。其中式(1-2-2)和(1-2-3)中的载流子表面迁移率应定义为

$$\mu_p = \frac{\text{表面空穴平均漂移速度}(v)}{\text{电场强度}(E)} \quad (1-2-9)$$

### 1.2.5 MOS晶体管的电路模型

我们从式(1-2-1) nMOS晶体管漏源电流方程式出发研究MOS晶体管电压—电流特性的小信号参数。正如上一节指出，只要变更电压与电流的符号，以下分析也适用于pMOS晶体管。

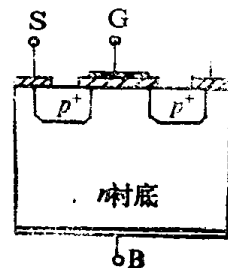


图1-12 p沟道MOSFET结构图

根据非饱和工作区的电流方程(1-2-1b)，若 $V_{DS} \ll V_{GS} - V_T$ ，得到晶体管输出电导的近似式为

$$g_{DS} = \lim_{V_{DS} \rightarrow 0} \frac{dI_D}{dV_{DS}} = \beta(V_{GS} - V_T) \quad (1-2-10)$$

它的输出电阻 $R_{DS}$ ，即沟道电阻为

$$R_{DS} = \frac{1}{\beta(V_{GS} - V_T)} \quad (1-2-11)$$

上式表明沟道电阻受到栅源电压 $V_{GS}$ 的控制，但此关系式仅在假定沟道载流子迁移率保持常数才成立。

在饱和工作区，电流方程(1-2-1c)表明 $I_D$ 和 $V_{DS}$ 无关，故

$$\frac{dI_D}{dV_{DS}} = 0 \quad (1-2-12)$$

即它的输出电导为零。

我们用跨导或转移电导表示漏极电流和栅极电压之间的关系，即

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS} = \text{常数}}$$

它表示MOS晶体管的增益。在线性工作区，由式(1-2-1b)，并考虑到式(1-2-2)，得

$$g_m = \beta V_{DS} = \frac{\mu \epsilon}{t_{ox}} \left( \frac{W}{L} \right) V_{DS} \quad (1-2-13)$$

在饱和工作区，由式(1-2-1c)得

$$\begin{aligned} g_m &= \beta(V_{GS} - V_T) \\ &= \sqrt{2\beta I_{DS}} = \sqrt{\frac{2\mu \epsilon}{t_{ox}} \left( \frac{W}{L} \right) I_{DS}} \end{aligned} \quad (1-2-14)$$

式(1-2-13)和(1-2-14)表明，要提高MOS晶体管的增益，除了工艺参数外，可以用