

及出版社
技术知识小丛书

集成电路 问答

〔英〕R.G.希伯德 著



内 容 提 要

本书向读者简要地介绍了什么是集成电路，集成电路的制造工艺，集成电路的类型——双极的、MOS的、数字的、线性的集成电路及其应用的一般问题。

作者 R. G. 希伯德是知名的学者，他用短短的几万字向读者介绍了集成电路的概貌。在国内已出版的这类小册子中是不可多得的，很值得一读。

集成电路的应用已深入到许多工业部门，其发展方兴未艾，电视机、收音机、录音机等都已广泛使用它。为了能更合理地使用集成电路，各行各业的技术员、工人及学生应对它有一定的了解。这本小册子可以帮助读者掌握集成电路的最基本的知识，可供技术员、工人及大中学校的学生阅读，也可做技工学校、职业学校的教学参考书。

QUESTIONS & ANSWERS INTEGRATED CIRCUITS

R. G. Hibberd

Newnes Technical Books 1978

工业技术知识小丛书

集 成 电 路 问 答

[英] R. G. 希伯德 著

陈巧生 译

李锦林 沈 铎 校

责任编辑：朱桂兰

封面设计：王序德

科学普及出版社出版（北京白石桥紫竹院公园内）

新华书店北京发行所发行 各地新华书店经售

北 京 印 刷 一 厂 印 刷

开本：787×1092毫米 1/32 印张：3 字数：65 千字

1981年9月第1版 1981年9月第1次印刷

印数：1—42,500册

定价：0.28元

统一书号：15051·1012

本社书号：0239



前 言

现今，集成电路已被确认为是一种令人满意的电子元件了。许多标准型的集成电路可供市售，使电子设备的造价大大降低，并可显著缩短研制时间。编写本书的目的是帮助人们，尤其是学生和技术员了解什么是集成电路。书中解答了若干有关集成电路制造工艺，各种集成电路类型，即双极的、MOS 的、数字的、线性的及其应用的一般问题。

对于解答中讨论的大多数课题的更详细叙述，建议读者阅读我的较早期的著作《袖珍本集成电路》。

R. G. 希伯德

目 录

一、集成电路的基本情况	(1)
二、集成电路的工艺	(6)
三、数字集成电路	(24)
四、线性集成电路	(54)
五、金属-氧化物-半导体集成电路	(64)
六、中规模集成电路和大规模集成电路	(73)
七、集成电路的用途	(80)

一、集成电路的基本情况

什么是集成电路？

集成电路是形成在半导体材料——通常是硅的小芯片上的一块完整的电子电路。典型的芯片大小是 1.5 毫米见方和 0.2 毫米厚。所有的电路元件，包括晶体管、二极管、电阻器、可能还有小容量的电容器，以及连接导线一起，是从原来用以制造硅晶体管的平面工艺中发展起来的，所有上述那些元件都是用一种工序同时制成的。

对小芯片进行封装后，就得到可作为单个元件使用的完整电子电路的实体。有几种不同的封装型式已被采用（图 15）。

集成电路可以有多少个电路元件？

这主要决定于硅芯片的大小。一块典型的芯片尺寸是 1.25 毫米见方，面积为 1.56 平方毫米。双极集成电路的集成元件平均占有 0.012 平方毫米左右的面积，扣除用作连接焊点用的焊接区，在每个芯片上大约可以形成 100 个元件。近来某些芯片尺寸增大到 2.5 毫米见方的双极集成电路，已能容纳数百个电路元件。

金属-氧化物-半导体（MOS）集成电路（单极集成电路）中的电路元件全是 MOS 结构的。这种结构具有非常小的面积——大约 0.002 平方毫米。现在某些 MOS 集成电路已将芯片尺寸做到 5 毫米见方，并能容纳 5000 个以上的 MOS 电

路元件。

为什么集成电路要比分立元件的组合件小得多？

一块典型的小信号晶体管芯片，有源晶体管结构，仅占据整个芯片面积的 10% 左右。但是由于受到切割加工的限制，不能把 0.4 毫米见方的芯片切得更小来缩减那些无用的面积。在集成电路中，我们可以将芯片的其余 90% 面积用于另外的元件，从而在同样尺寸的芯片上形成 10 个以上电路元件。如果将芯片的尺寸增大至 1.25 毫米见方，则仍能保持十分小的芯片尺寸，但却能容纳多达 100 个电路元件。这块集成电路芯片封装在单个管壳里提供完整的电路，而对于一个分立电路组合件来说，可能要有 100 个分立的封装元件，安装在印刷电路板上，最后装成的组合件就占有较大的体积。

怎样比较集成电路和等效的分立元件电路的造价？

在上面问答中，已讨论为什么集成电路比等效的分立元件电路要小得多。同样的考虑使人联想到集成电路的造价应该较低一些。作为粗略的近似估计可以说，加工整块硅片的造价与在片子上制作什么样的器件没有多大关系。这意味着制作任何器件的造价是与它的芯片面积成比例的。现在，正如上面问答中已指出的那样，我们可以在一块与分立的小功率晶体管相同尺寸的芯片上，制成容纳约 10 个元件的集成电路芯片，所以就能制成造价只相当于一个分立晶体管的，而容纳 10 个元件的集成电路。由此清楚地可知，一块包括 10 个元件的分立电路的造价，一定比等效的集成电路的造价高得多。

上面我们作了与制造费用有关的讨论。然而设计费用和工程费用要考虑的问题是不相同的。设计和制作一块集成电路的费用要远高于一个等效的分立元件电路的费用——至少高一个数量级。所以如果只要求小量的新电路，而且又没有合适的“成品编目”的集成电路可资利用时，那么使用分立元件的组合件可能便宜一些。

通常，如果要求一千个以上的电路，那么集成电路的总价格比较低；如果要求一千个以下，那么等效的分立元件的组合件的总价格比较低些。

集成电路与分立元件电路两者的性能比较起来大体怎样？

目前集成电路的设计和制造技术已臻完善，集成电路的性能一般比等效分立元件电路要好。例如，集成电路特别适用于诸如差动放大器那样的平衡电路中，这里晶体管和电阻器的匹配以及热跟踪是头等重要的。在集成电路中，这些元件能够紧靠地排列在芯片上，所以它们大体上具有相同的性能。

虽然不可能在集成电路芯片上形成重复精度优于 $\pm 10\%$ 左右的电阻器，然而却有可能复制出两个相邻的电阻器之比，具有优于 $\pm 2\%$ 的精度。这在负反馈电路中是很重要的，同时使重复制造集成电路时具有精确的增益值。

由于集成电路芯片具有很小的物理尺寸，芯片表面上的互连线也是非常细的，因此可能获得很高的放大倍数而没有电容性反馈。同样由于内部杂散电容较小而有较高的增益-带宽乘积。

对于逻辑门(电路)，往往要求晶体管的基极-发射极结的正向特性匹配，在这方面集成电路再一次地显示出较好的

性能。

这只是一些少数的例子。当集成电路设计技术进一步发展时，集成电路的优越性无疑地将会变得更为明显。

集成电路的可靠性怎样？

把集成电路考虑作为单个元件，其可靠性与分立的平面晶体管大致相同，因为两者的制造方法很相似。经常引用的可靠性指数是优于 0.001/千小时。然而，比器件可靠性更重要的是整个设备的可靠性，在这方面使用集成电路后得到显著的改善。电子设备失效的主要原因是，因为系统中元件之间连接导线的有害性。当使用集成电路后，系统接线的数目就大大地减少，而设备的可靠性是与焊点数成反比地得到了改善。

单片集成电路与混合薄膜电路之间的差别是什么？

在单片集成电路中，所有的电路元件和互连线是同时形成在一块小的硅芯片上的。在混合薄膜电路中，各个无源元件（电阻器和电容器）及互连线是首先形成在诸如陶瓷或玻璃那样的绝缘衬底上，而各个有源器件（晶体管和二极管），则是以分立器件芯片的形式，每器件一块芯片地添加在衬底上的。

什么是薄膜电路和厚膜电路？

这两者都是混合薄膜型的微型电子电路。在薄膜电路中，无源元件和互连线图案是使用真空蒸发技术，形成在陶瓷衬底上的。薄膜厚度的典型值在 0.025 到 2.5 微米范围内。在厚膜电路中，则是用丝网漏印法将无源元件和互连线附着在

陶瓷衬底上，结果得到大约 50 微米左右的厚膜。

在两种型式中，有源器件（晶体管和二极管），都是以分立器件芯片的形式附加上的，每个芯片装配在专门准备的金属化焊接点上，然后连接到电路中去。

二、集成电路的工艺

什么是平面工艺？

平面工艺应用在硅晶体管和集成电路的制造中。平面工艺是在硅的薄片上实现的，它包括一系列表面氧化，有选择地除去某些氧化物区域，将“杂质”以固态扩散法渗到无氧化层的区域以改变硅的电气性质。重复这些工序的不同的无氧化层区域和用不同的杂质，就得到所需的器件结构。最后，表面再度被氧化，并且将氧化物有选择地除去，而作成接触区域，然后蒸发铝那样的金属使器件的各个区域形成电接触。

所有步骤都是在硅片的同一表面上完成的，结果就得到一种平面的器件结构——因此有平面工艺之称。

集成电路是每次做一个吗？

不是的，几百个相同的集成电路是同时做在一块硅薄片上的。目前，常使用直径为 50 毫米的硅片。对于 1.25 毫米见方的典型芯片尺寸来说，在硅片上能够复制出 1200 个左右的集成电路。全部电路是使用硅片工艺流程同时形成的，然后将硅片再切割成单个的集成电路芯片。

什么是固态扩散？

固态扩散是一种引导杂质原子进入硅片表面区域的过程。如果一块硅片放在（扩散）炉内加热至高温（1000—1250℃），使含有杂质的蒸气通过炉内硅片的上面，则一些

杂质原子便与硅的表面发生接触，随着这个过程继续进行下去，杂质原子就非常缓慢地进入（即扩散入）硅的内部。杂质原子进入硅的程度决定于硅暴露在蒸气中的时间，也决定于杂质的扩散常数，同时还决定于硅的温度。用来描写杂质原子从恒定表面浓度进行扩散的数学关系式是

$$\left(N_x = N_o \cdot 1 - \operatorname{erf} \frac{x}{2 \sqrt{(Dt)}} \right)$$

式中 N_x = 离表面距离为 x 处的杂质浓度； N_o = 表面的杂质浓度； erf = 误差函数的数学表示； x = 离表面的距离； D = 在相应的温度下杂质进入硅的扩散常数；以及 t = 以秒为单位的时间。

硼扩散入硅中的杂质浓度随表面距离的变化形状 如图 1

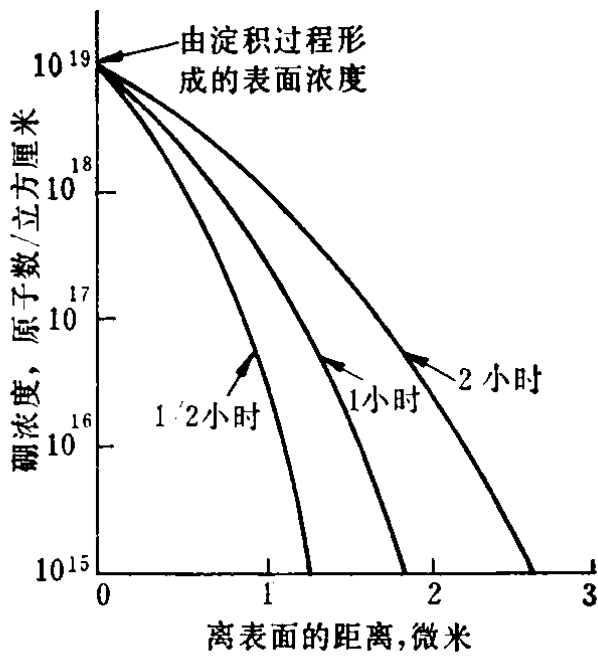


图 1 在 1100°C 下硼进入硅的扩散

所示。杂质原子的渗入是非常少的，以 1100°C 的硅为例，硼原子在两小时内仅扩散入 2.5 微米左右，而磷原子在 40 分

钟内扩散入 2 微米左右。

如果将硼原子扩散到 n 型硅里面，由于硼是受主杂质，当表面区域上的硼原子浓度超过原有的施主杂质浓度时，则表面区域变换成 p 型区域，并在离表面很小的距离内形成一个 pn 结，在结区内两者的浓度是相等的。这种情况由图 2 (b) 说明。

如果现在使硅片再在一种较高浓度的磷蒸气中加热，此

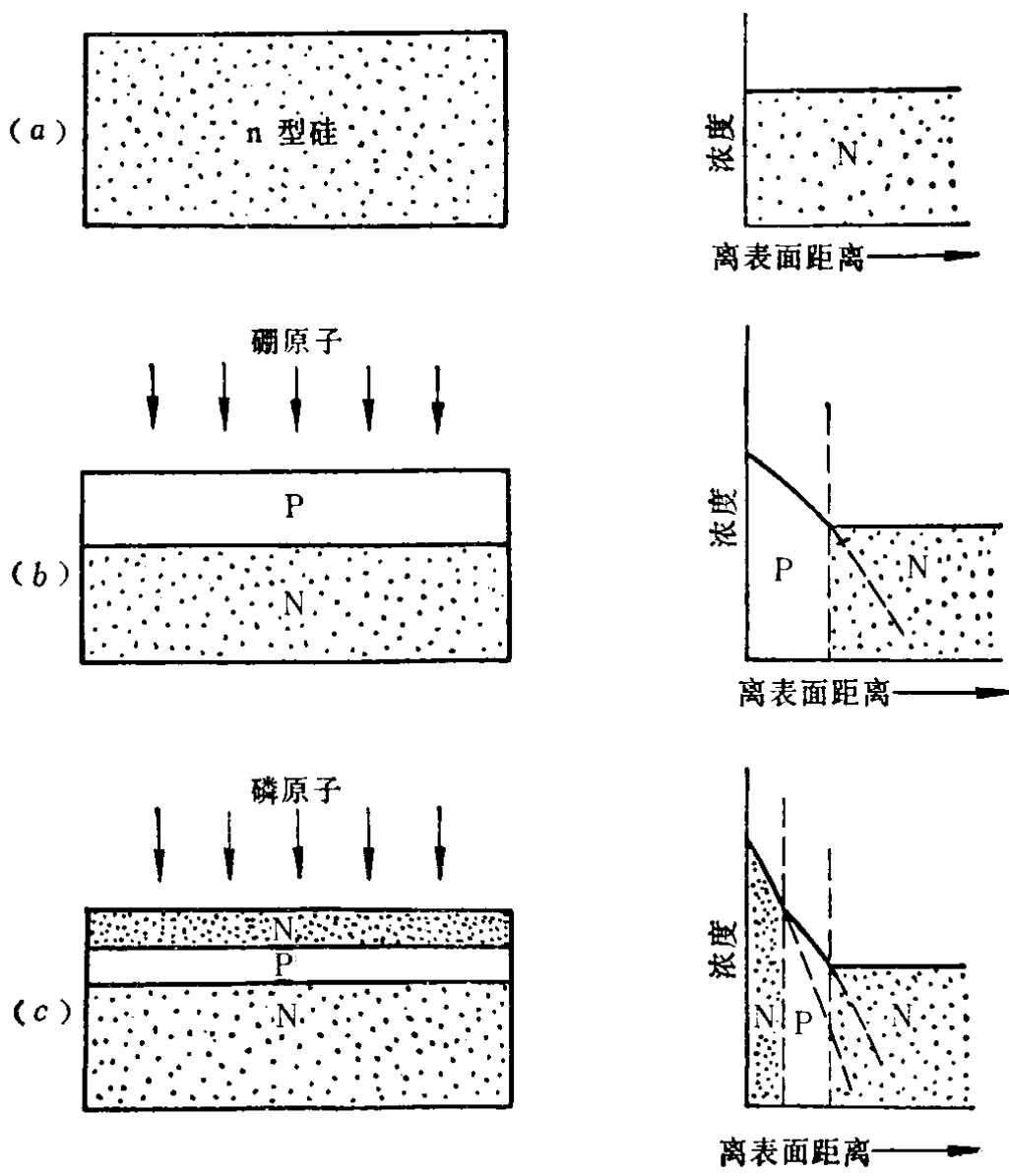


图 2 固态扩散

时磷原子将扩散到 p 型表面内,并且最后又使其变回到 n 型,形成一种如图 2(c)所示的 npn 型结构。

什么是选择性扩散以及它是怎样实现的?

平面工艺决定于这样的事实,即某些元素如硼和磷扩散入氧化硅的速度要比扩散入硅的速度慢得多。对于磷的情况由图 3 表明。我们能够利用这一事实来完成选择性扩散,即使杂质扩散到硅表面上的某些指定区域里,而又不扩散到其

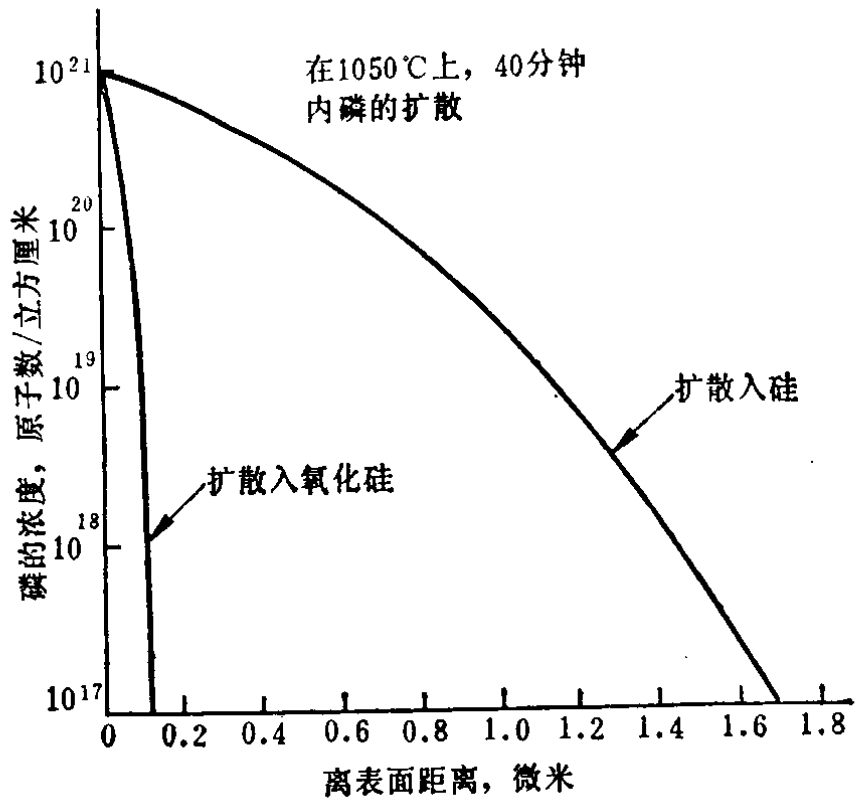


图 3 磷扩散入硅和扩散入氧化硅的比较

他区域里。首先,在硅表面上形成一层氧化硅层,然后仅需要在掺入杂质的区域内将氧化物除去。接着硅片就置入扩散炉内,并通入杂质蒸气。杂质原子扩散到已除去氧化物的那部分硅片内,而在其它地方氧化物则阻止杂质进入,如图 4 所示。氧化层的厚度必须保证在同一时间内使杂质原子不能

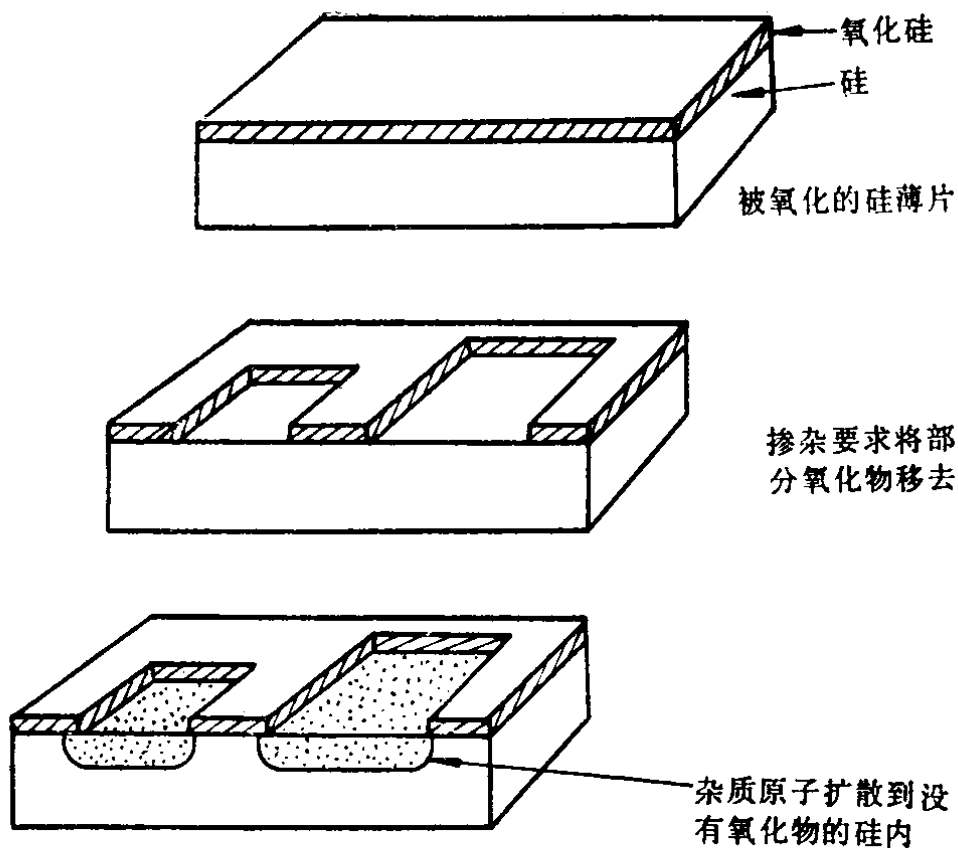


图 4 杂质对硅的选择性扩散

扩散过氧化层，却能以要求的深度扩散到硅中去。

氧化硅层是怎样形成在硅片表面上的？

在氧的气氛中加热硅片，是一种使硅表面氧化的最简单情况。如果使用干燥的氧气，则氧化物生长的速度是相当慢的，使用氧和水蒸气的混合物，可使氧化物生长快得多。如果硅片是在水蒸气气流中加热，则可以获得更为快速的生长。图 5 中示出相对的生长速率。集成电路制造中使用的典型氧化物的厚度是在 0.5 到 2 微米范围内。对于 1 微米的氧化厚度来说，硅必须在水蒸气气流和在 1100°C 下加热 3 小时左右。

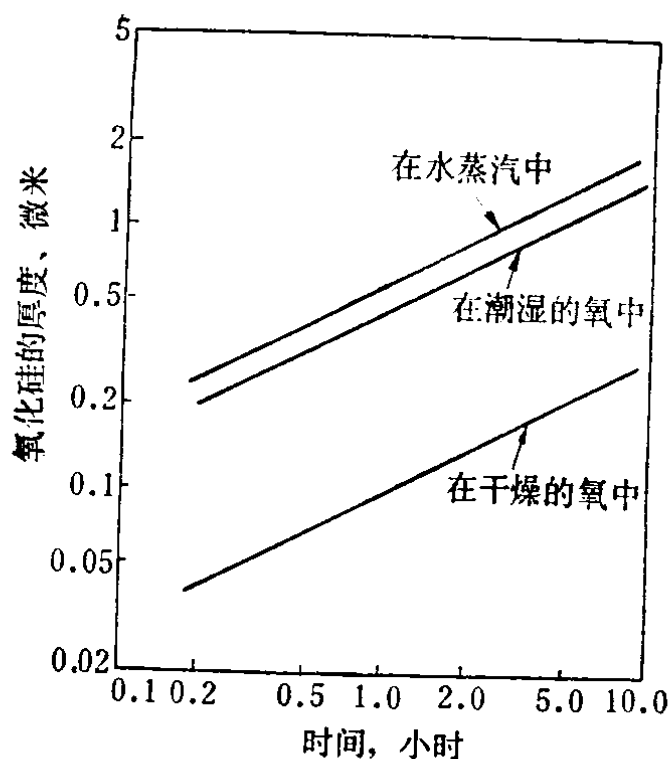


图 5 氧化硅的生长速率

什么是光致抗蚀工艺，怎样用于氧化硅的选择性去除？

光致抗蚀工艺，是一种在原理上与用于印制电路板制造中的光刻工艺相似。图 6 说明工艺的步骤。氧化后的硅片首先覆盖一层叫做光致抗蚀剂（或称光刻胶）的材料，通常光刻胶是可溶的，但是当曝露在紫外光中时，它就变得不溶解于酸也不溶于溶剂了。一块叫做光掩膜的，具有明暗区域的掩模板放在硅片上面，然后硅片在紫外光中曝光。紫外光所通过的光掩膜的明亮区域，这部分的光刻胶就变为不可溶了，但是在暗区域下面的光刻胶却不受影响，然后可以溶去这部分光刻胶而让氧化硅曝露出来。现在，如果将薄片浸入氢氟酸溶液中，则曝露在外面的氧化硅被蚀刻掉，使硅曝露出来，而氧化硅的其余部分由不可溶的光刻胶保护着。至此，不可溶的光刻胶用一种特殊的“剥离”方法从氧化的硅片上除去，

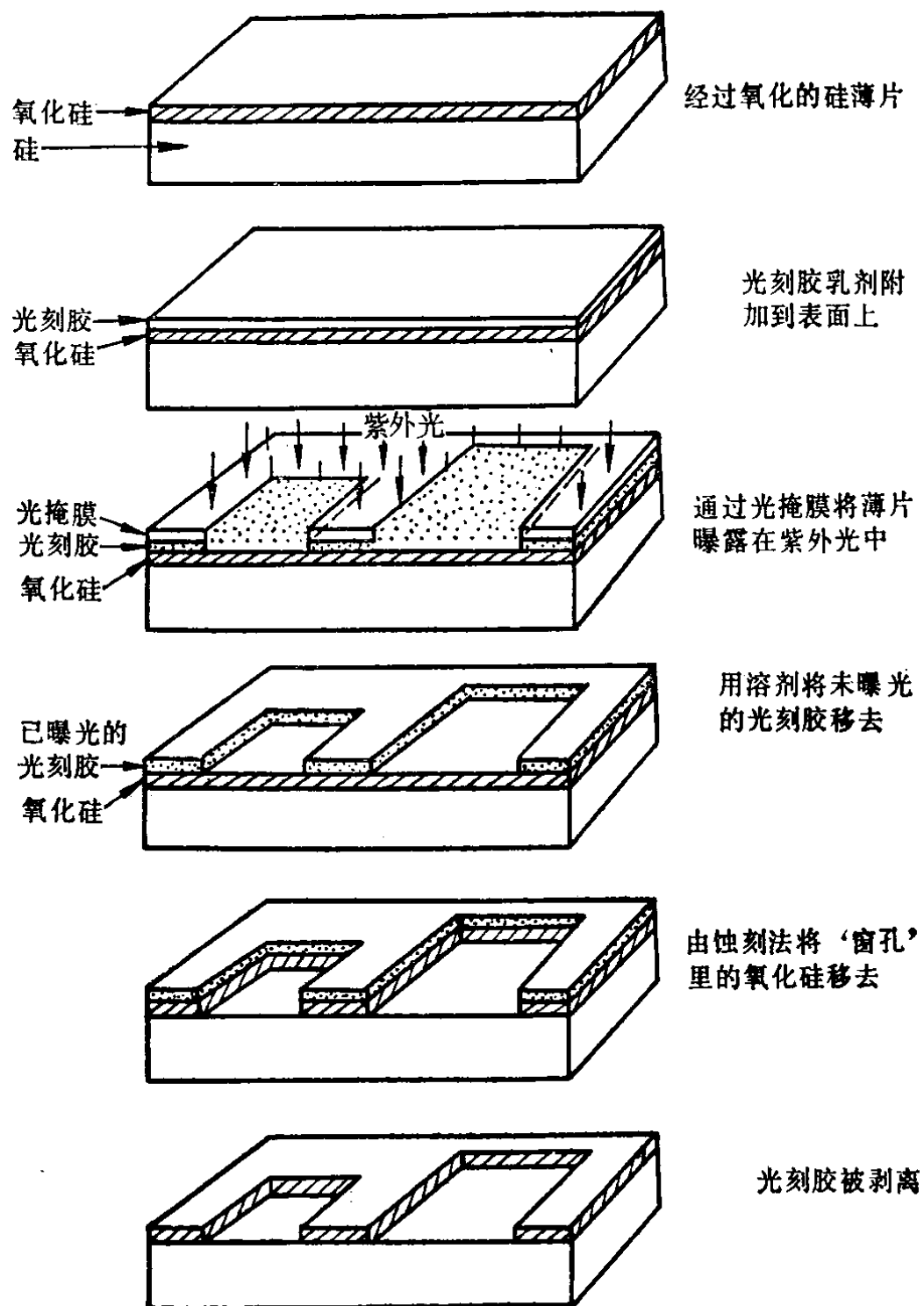


图 6 用光致抗蚀法有选择性的去除氧化硅

得到需要扩散杂质的没有氧化的区域。

什么是硅的外延生长？

这是一种淀积硅化合物的蒸气，在硅片表面上形成硅薄层的方法。淀积的硅将延续衬底薄片的结晶结构，所以如果衬底是单晶体，那么淀积层亦是具有相同取向的单晶体。

硅薄片加热到 1200°C 左右，四氯化硅的蒸气与氢混合后在薄片上面通过。四氯化硅离解后，硅原子就淀积在薄片的表面上，氯化物原子与氢化合成氯化氢(HCl)气体而排去。用这种工艺能够很方便地做成 10 微米左右的硅层，并且可以通过在四氯化硅气体中混合适当的掺杂杂质，来控制薄层的电导率。

对于集成电路来说，衬底通常是 p 型的，而在表面上生长一层 n 型的外延层来适应电路元件结构的需要。

隔离是什么意思？怎样实现之？

在集成电路中，电路元件是一个挨着一个地形成在硅片上的。由于硅具有一定的导电性，并取决于杂质含量，所以必须安排每个元件与硅基体由高的电阻来电隔离，以便消除元件之间的不需要的电耦合。

最常用的隔离方法是由 pn 结将每个电路元件结构包围起来，pn 结处在反向偏置下，使每个电路元件与硅衬底之间呈现高电阻(几十兆欧)。这种方法叫做结隔离。布置形式在图 7 中说明。薄片由一片 p 型衬底和一片 n 型外延层组成，p 型区域完全扩散透过 n 型层与 p 型衬底联通，使得留下的每个 n 型区域都被 pn 结包围着。在应用时，衬底连接至负电位使每个结反向偏置。