

李刚 主编

数字信号微处理器的 原理及其开发应用



天津大学出版社

ShuZi XinHao WeiChuLiQi De
YuanLi JiQi KaiFa YingYong

数字信号微处理器的原理及其开发应用

李 刚 主编

天津大学出版社

内 容 提 要

本书全面而详细地介绍了 TMS320C54x 系列数字信号处理器 DSP (Digital Signal Processor) 的硬件结构、工作原理、指令系统、应用设计和开发技术。本书可作为相关专业研究生和高年级本科生的教材,也可以作为从事 DSP 应用开发的科技人员的参考资料。

图书在版编目(CIP)数据

数字信号微处理器的原理及其开发应用/李刚主编.
—天津:天津大学出版社,2000.4 (2001.7 重印)
ISBN 7-5618-1295-7

I. 数... II. 李... III. 数字信号—微处理器
IV. TP332

中国版本图书馆 CIP 数据核字(2000)第 19820 号

出版发行 天津大学出版社
出 版 人 杨风和
地 址 天津市卫津路 92 号天津大学内(邮编:300072)
电 话 发行部:022-27403647 邮购部:022-27402742
印 刷 河北省昌黎县人民胶印厂
经 销 全国各地新华书店
开 本 787mm×1092mm 1/16
印 张 35.25
字 数 880 千
版 次 2000 年 4 月第 1 版
印 次 2001 年 7 月第 2 次
印 数 3 001—6 000
定 价 40.00 元

前 言

数字信号处理 DSP(Digital Signal Processing)是一门新兴的高科技技术,它广泛地用于雷达、语音、通信、图像处理、生物医学仪器、机器人等方面。以往采用通用的微处理器来完成大量数字信号处理运算,速度较慢,难以满足实际需要。而同时使用位片式微处理器和快速并联乘法器,曾经是实现数字信号处理的有效途径。但需器件较多,逻辑设计和程序设计复杂,耗电较大,价格昂贵。数字信号处理器 DSP(Digital Signal Processor)的出现很好地解决了上述问题。数字信号处理器的主要特点是把算术逻辑运算单元、并联乘法器、控制器和相当数量的数据储存器集成在一个单片上。它主要是为实现数字信号处理中的算法而进行设计的,但仍具有一般 CPU 的运算及控制功能。数字信号处理器的出现,为数字信号处理的实际应用开辟了一条简便而高效的途径。我们正在进入一个数字化的时代,数字信号处理技术正以前所未有的速度渗透到我们日常生活的每一个角落。如磁盘驱动器、调制解调器、数字成像系统、语音识别系统、网络计算机系统、电视会议系统、激光打印机、电信交换机、数字无绳电话、数字顶视盒、VCD/CD/DVD 系统、数码相机和摄像机、3D 游戏机、虚拟现实系统、超声波诊断装置、CT、机器人控制器、雷达、全球定位系统等。无数的产品都采用了 DSP。实际上,知识经济的主要支柱之一是微电子与计算机技术,微电子与计算机技术的主导领域是信号处理器及其应用。

世界上有许多重要的半导体生产厂商生产 DSP。如美国德州仪器公司(TI, Texas Instruments)、模拟器件公司(ADI, Analog Device Inc.)、Lucent Technologies Microelectronics 和西门子公司(Siemens)等等。TI 是全球最大的 DSP 制造商,占全球 DSP 市场的 45% 份额,其产品系列最全。在叙述 DSP 的发展和应用时,通常都以 TI 的 TMS320 系列为典型代表。因此,本书以 TI 的 TMS320C54x 系列为主线,介绍数字信号处理器的原理与开发技术。

本书共分 14 章,其中第 1、2、3 章由李刚教授编写;第 4、5 章由曹玉珍副教授编写;第 6、7、8 章由林凌老师编写;第 9、10 章由丁北生高工编写;第 11、12 章由张炳达副教授编写;第 13、14 章由曲兴华副教授编写。全书由李刚教授统稿审阅。研究生相韶霞、吴开杰、叶文宇和丁明石等也为本书的编写做了大量的工作。在此表示衷心的感谢。

由于作者水平所限,书中肯定会有不妥之处,欢迎提出批评和建议。

作者

2000 年 1 月于天津大学

目 录

第1章 概 论	(1)
1.1 DSP 的简介	(1)
1.2 DSP 的历史和发展	(1)
1.2.1 Intel2920 芯片	(2)
1.2.2 μ PD7720 芯片	(2)
1.2.3 TMS32010 芯片	(3)
1.3 TI 公司的 DSP	(4)
1.3.1 主要特点	(5)
1.3.2 典型应用	(7)
第2章 硬件结构	(8)
2.1 总线结构	(8)
2.2 内部存储器的组织	(9)
2.2.1 片内 ROM	(10)
2.2.2 片内双操作 RAM(DARAM)	(10)
2.2.3 片内单操作 RAM(SARAM)	(10)
2.2.4 片内存储器的安全	(10)
2.2.5 存储器映射寄存器	(10)
2.3 中央处理单元(CPU)	(10)
2.3.1 算术逻辑单元(ALU)	(10)
2.3.2 累加器	(11)
2.3.3 定标移位器	(11)
2.3.4 乘法/加法器单元	(11)
2.3.5 比较选择存储单元 CSSU	(11)
2.4 数据寻址	(11)
2.5 程序寻址	(12)
2.6 流水线操作	(12)
2.7 片内外设	(12)
2.7.1 通用 I/O 引脚	(12)
2.7.2 软件可编程等待状态发生器	(12)
2.7.3 可编程存储体转换逻辑	(13)
2.7.4 主机接口(HPI)	(13)
2.7.5 硬件定时器	(13)
2.7.6 时钟发生器	(13)
2.8 串行口	(13)
2.8.1 同步串行 I/O 口	(13)
2.8.2 缓冲串行口	(13)
2.8.3 分时复用串行口	(14)

2.9 外部总线接口	(14)
2.10 IEEE 标准 1149.1 扫描逻辑电路	(14)
第 3 章 存储器	(15)
3.1 存储器空间	(15)
3.2 程序存储器	(21)
3.2.1 程序存储器的组织	(21)
3.2.2 片内 ROM 的组织	(21)
3.2.3 程序存储器的地址和片内 ROM 的内容	(21)
3.2.4 片内 ROM 的代码内容和分布	(21)
3.3 数据存储器	(22)
3.3.1 数据存储器的配置	(22)
3.3.2 片内 RAM 的组织	(23)
3.3.3 数据存储器映像寄存器	(23)
3.3.4 CPU 存储器映像寄存器	(25)
3.4 I/O 存储器	(26)
3.5 程序和数据安全保护	(26)
第 4 章 中央处理单元	(28)
4.1 CPU 状态和控制寄存器	(28)
4.1.1 状态寄存器 (ST0 和 ST1)	(28)
4.1.2 处理器模式状态寄存器 (PMST)	(31)
4.2 算术逻辑单元 (ALU)	(33)
4.2.1 ALU 的输入	(33)
4.2.2 溢出处理	(34)
4.2.3 进位位 (C)	(35)
4.2.4 双 16 位算术模式	(35)
4.3 累加器 A 和 B	(35)
4.3.1 保存累加器的内容	(35)
4.3.2 累加器的移位和旋转操作	(36)
4.3.3 累加器存储中的饱和操作 (LP 器件)	(36)
4.3.4 专用指令	(37)
4.4 滚筒移位器	(37)
4.5 乘法/加法器单元	(38)
4.5.1 乘法器的输入	(39)
4.5.2 乘法/累加 (MAC) 指令	(40)
4.5.3 MAC 和 MAS 指令计算乘法时的饱和操作	(40)
4.6 比较选择和存储单元 (CSSU)	(41)
4.7 指数编码器	(42)
第 5 章 数据寻址方式	(44)
5.1 立即寻址	(44)
5.2 绝对寻址	(45)

5.2.1	数据存储器(dmad)寻址	(45)
5.2.2	程序存储器(pmad)寻址	(45)
5.2.3	口地址(PA)寻址	(45)
5.2.4	长立即数*(lk)寻址	(46)
5.3	累加器寻址	(46)
5.4	直接寻址	(46)
5.4.1	基于 DP 的直接寻址	(47)
5.4.2	基于 SP 的直接寻址	(47)
5.5	间接寻址	(48)
5.5.1	单操作数寻址	(48)
5.5.2	辅助寄存器算术单元 ARAU 和地址的产生	(49)
5.5.3	单操作数地址的修改方式	(49)
5.5.4	双操作数地址的修改方式	(53)
5.5.5	TMS320C2x/C2xx/C5x 的兼容(ARP)模式	(55)
5.6	存储器映像寄存器寻址	(56)
5.7	堆栈寻址	(57)
5.8	数据类型	(58)
第 6 章	程序存储器寻址	(60)
6.1	程序存储器地址的产生	(60)
6.2	程序计数器(PC)	(61)
6.3	跳转	(62)
6.3.1	无条件跳转	(62)
6.3.2	条件跳转	(62)
6.3.3	长跳转(用于 TMS320C548)	(63)
6.4	调用	(63)
6.4.1	无条件调用	(63)
6.4.2	条件调用	(64)
6.4.3	长调用(用于 TMS320C548)	(64)
6.5	返回	(64)
6.5.1	无条件返回	(65)
6.5.2	条件返回	(65)
6.5.3	长返回(用于 TMS320C548)	(66)
6.6	条件操作	(66)
6.6.1	使用多条件	(67)
6.6.2	条件执行(XC)指令	(67)
6.6.3	条件存储指令	(67)
6.7	单一指令的重复	(68)
6.8	块重复指令	(69)
6.9	复位	(70)
6.10	中断	(71)

6.10.1	中断标志寄存器(IFR)	(72)
6.10.2	中断屏蔽寄存器(IMR)	(72)
6.10.3	接受中断请求	(73)
6.10.4	响应中断	(73)
6.10.5	执行中断服务程序(ISR)	(74)
6.10.6	保护中断现场	(74)
6.10.7	中断延时	(75)
6.10.8	中断操作的总结	(75)
6.10.9	重新映像中断矢量地址	(75)
6.10.10	中断向量表	(77)
6.11	省电模式	(80)
6.11.1	闲置模式 1	(80)
6.11.2	闲置模式 2	(80)
6.11.3	闲置模式 3	(80)
6.11.4	保持模式	(81)
6.11.5	其它省电功能	(81)
第 7 章	流水线	(82)
7.1	流水线概述	(82)
7.1.1	流水线中的跳转指令	(84)
7.1.2	流水线中的调用指令	(86)
7.1.3	流水线中的返回指令	(88)
7.1.4	流水线中的条件执行指令	(91)
7.1.5	流水线中的条件调用和条件跳转指令	(92)
7.2	中断和流水线	(95)
7.3	双操作存储器和流水线	(96)
7.3.1	消除取指和操作数读之间的冲突	(98)
7.3.2	消除操作数写和双操作数读之间的冲突	(98)
7.3.3	消除操作数写、操作数写和双操作数读之间的冲突	(99)
7.4	单操作存储器和流水线	(100)
7.5	流水线延时	(101)
7.5.1	访问存储器映像寄存器的指令	(101)
7.5.2	更新 ARx、BK 或 SP 时消除冲突的方法	(103)
7.5.3	DAGEN 寄存器访问冲突的规律	(106)
7.5.4	ARx 和 BK 的延时	(106)
7.5.5	堆栈指针的延时	(110)
7.5.6	暂态寄存器的延时	(114)
7.5.7	访问状态寄存器的延时	(116)
7.5.8	块重复循环的延时	(123)
7.5.9	PMST 寄存器的延时	(126)
7.5.10	映像存储器访问累加器的延时	(128)

第 8 章 片内外设	(131)
8.1 外设存储器映像寄存器	(131)
8.2 通用 I/O 口	(135)
8.2.1 跳转控制输入引脚 $\overline{\text{BIO}}$	(135)
8.2.2 外部标志输出引脚 XF	(135)
8.3 定时器	(135)
8.3.1 定时寄存器	(135)
8.3.2 定时器操作	(136)
8.4 时钟发生器	(137)
8.4.1 硬件设置的锁相环电路 PLL	(138)
8.4.2 软件可编程 PLL(适用于 TMS320C545LP/546LP/548)	(138)
8.5 主机接口	(143)
8.5.1 主机接口的基本功能	(144)
8.5.2 HPI 的操作	(145)
8.5.3 主机读写 HPI	(148)
8.5.4 DSPINT 和 $\overline{\text{HINT}}$ 的操作	(151)
8.5.5 改变主机存储器访问模式(SAM/HOM)和使用省电模式(IDLE2/3)的考虑	(151)
8.5.6 复位时访问 HPI 存储器	(152)
第 9 章 串行接口	(153)
9.1 串行接口的简介	(153)
9.2 串行接口	(153)
9.2.1 串口寄存器	(154)
9.2.2 串口操作	(155)
9.2.3 串行接口的设置	(155)
9.2.4 猝发模式的发送和接收操作	(161)
9.2.5 连续模式的传送和接收操作	(167)
9.2.6 串口例外	(168)
9.2.7 串口操作举例	(171)
9.3 缓冲串行接口 BSP	(172)
9.3.1 在标准模式的缓冲串口的操作	(172)
9.3.2 自动缓冲单元的操作	(176)
9.3.3 BSP 操作的系统考虑	(181)
9.3.4 省电模式时的 BSP 操作	(184)
9.4 时分多路(TDM)串行接口	(184)
9.4.1 时分多路串行接口的基本操作	(184)
9.4.2 TDM 串口寄存器	(185)
9.4.3 TDM 串口操作	(185)
9.4.4 TDM 模式的发送和接收操作	(188)
9.4.5 TDM 串口的例外	(189)

9.4.6 TDM 串口操作举例	(189)
第 10 章 外部总线操作	(193)
10.1 外部总线接口	(193)
10.2 外部总线优先级	(193)
10.3 外部总线控制	(194)
10.3.1 等待状态发生器	(194)
10.3.2 存储器组切换逻辑	(195)
10.4 外部总线接口时序	(198)
10.4.1 存储器操作时序	(198)
10.4.2 I/O 操作时序	(199)
10.4.3 存储器操作及 I/O 操作时序	(200)
10.5 上电操作时序	(203)
10.5.1 复位	(203)
10.5.2 省电模式 3	(204)
10.6 保持模式	(205)
10.6.1 保持状态中的中断	(206)
10.6.2 保持和复位	(206)
第 11 章 汇编指令	(209)
11.1 指令系统的符号与缩写	(209)
11.2 指令说明	(214)
11.2.1 算术运算	(214)
11.2.2 逻辑运算	(217)
11.2.3 程序控制指令	(219)
11.2.4 加载和存储指令	(221)
11.2.5 重复执行单条指令	(224)
11.3 指令的类型和周期	(226)
11.4 汇编指令	(261)
第 12 章 代数指令	(383)
第 13 章 TMS320C54x 的硬件设计	(516)
13.1 复位电路	(517)
13.2 时钟电路	(517)
13.3 外部存储器与并行 I/O 接口电路	(518)
13.4 串行 I/O 接口电路	(518)
13.5 BOOT 设计	(520)
13.5.1 主机接口(HPI)引导模式	(521)
13.5.2 16 位/8 位并行存储器引导模式	(521)
13.5.3 16 位/8 位并行 I/O 口引导模式	(523)
13.5.4 串口引导模式	(525)
13.5.5 WARM 引导模式	(525)
13.6 主从应用系统的设计	(526)

13.6.1	主从系统中的串行通信接口	(526)
13.6.2	主从系统中的并行通信接口	(526)
13.6.3	主从系统中的共享存储器	(527)
第14章	开发工具及其应用	(530)
14.1	引言	(530)
14.2	共同目标文件格式 COFF	(531)
14.2.1	COFF 文件的类型	(531)
14.2.2	块(section)	(532)
14.2.3	汇编器对块的处理	(532)
14.2.4	链接器对块的处理	(534)
14.2.5	程序重定位	(535)
14.2.6	运行重定位	(536)
14.2.7	装入一个程序	(537)
14.2.8	COFF 文件中的符号	(537)
14.3	代码生成工具	(537)
14.3.1	汇编器	(538)
14.3.2	C 编译器	(539)
14.3.3	档案管理器	(540)
14.3.4	链接器	(541)
14.3.5	绝对列表器	(543)
14.3.6	交叉参照工具	(543)
14.3.7	Hex 转换工具	(544)
14.3.8	汇编一代数语言翻译工具	(544)
14.4	代码调试工具	(545)
14.4.1	C/汇编语言源码调试器	(545)
14.4.2	初学者工具 DSK	(547)
14.4.3	评估模块 EVM	(548)
14.4.4	软件开发系统 SWDS	(549)
14.4.5	仿真器 XDS	(549)

有自己的地址与数据总线。

4. 20 世纪 90 年代,先进的 DSP、流水线、并行指令、VLSI 的实现。

数字信号处理中用得最多的一类运算是

$$\sum (A(k))B(n-k)$$

而在所有的 DSP 中,上式中的乘、加运算可由一条指令完成,而且有重复指令可加快运算速度,节省了指令空间。

自从美国 Intel 公司在 20 世纪 70 年代推出世界上第一块 DSP 芯片以来,DSP 已经过几代开发并发展了几个系列的产品,下面介绍几种典型的 DSP 芯片。

1. 2. 1 Intel2920 芯片

这是 Intel 公司在 20 世纪 70 年代后期推出的,是第一块脱离了通用型微处理器结构的 DSP 芯片。其内部结构框图如图 1-3 所示。

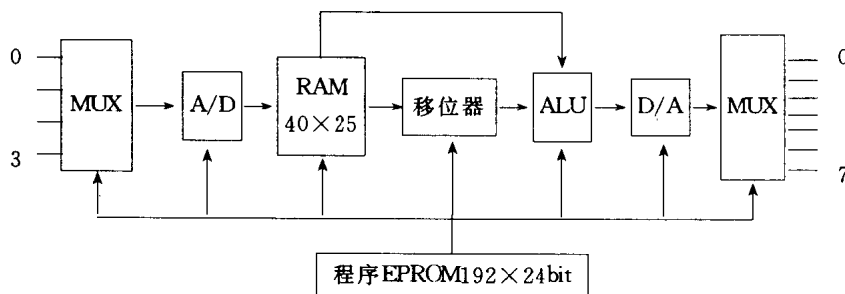


图1-3 Intel2920的内部结构框图

1. 2. 2 μPD7720 芯片

这是日本 NEC 公司在 1980 年推出的 DSP 芯片。具有专门的硬件乘法器,是第一块单片 DSP,外接 8 MHz 的时钟,指令周期为 250 ns,能在单周期内完成乘法运算。乘积为 31 bit,有两个 16 bit 的 ACC(累加器),可作复数或双精度的实数运算。μPD7720 的内部结构框图如图 1-4 所示。

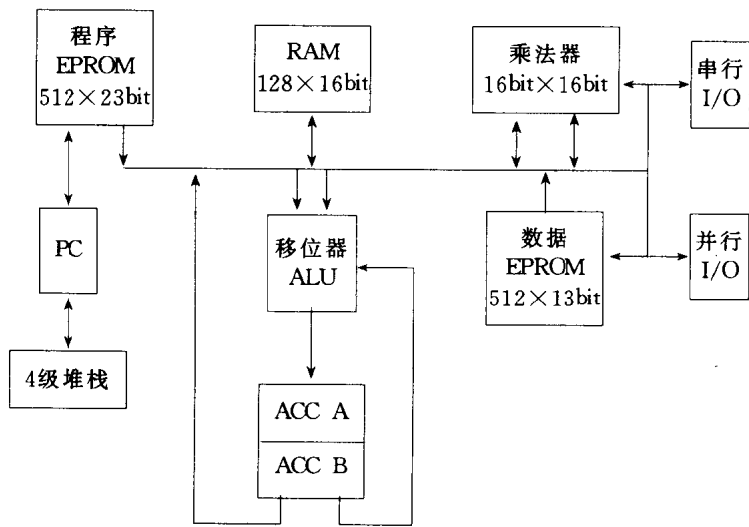


图1-4 μPD7720的内部结构框图

1.2.3 TMS32010 芯片

这是美国 TI 公司在 1983 年推出的 TMS320 系列的第一个产品,它标志着实时数字信号处理领域的重大突破。它采用改进的哈佛结构,允许数据在程序和数据存储空间之间传输,从而提高了运行速度和编程的灵活性。由于数据可以从程序存储器传送到数据存储器,也就不需要设置专门的系数 ROM。

TMS32010 的时钟频率为 20 MHz,指令周期为 200 ns。32 bit ALU 及 ACC、16×16 bit 乘法器、片内 144×16 bit 数据 ROM、1.5k×16 bit 程序 ROM、片外 RAM 可扩展到 4k×16 bit、数据总线传输速率为 40 M bit/s、8 个 I/O 口、2 个 16 bit 辅助寄存器、0~15 bit 筒形移位器、4×12 bit 堆栈,最多可接受 4 层嵌套子程序中中断。

TMS32010 的内部结构框图如图 1-5 所示。

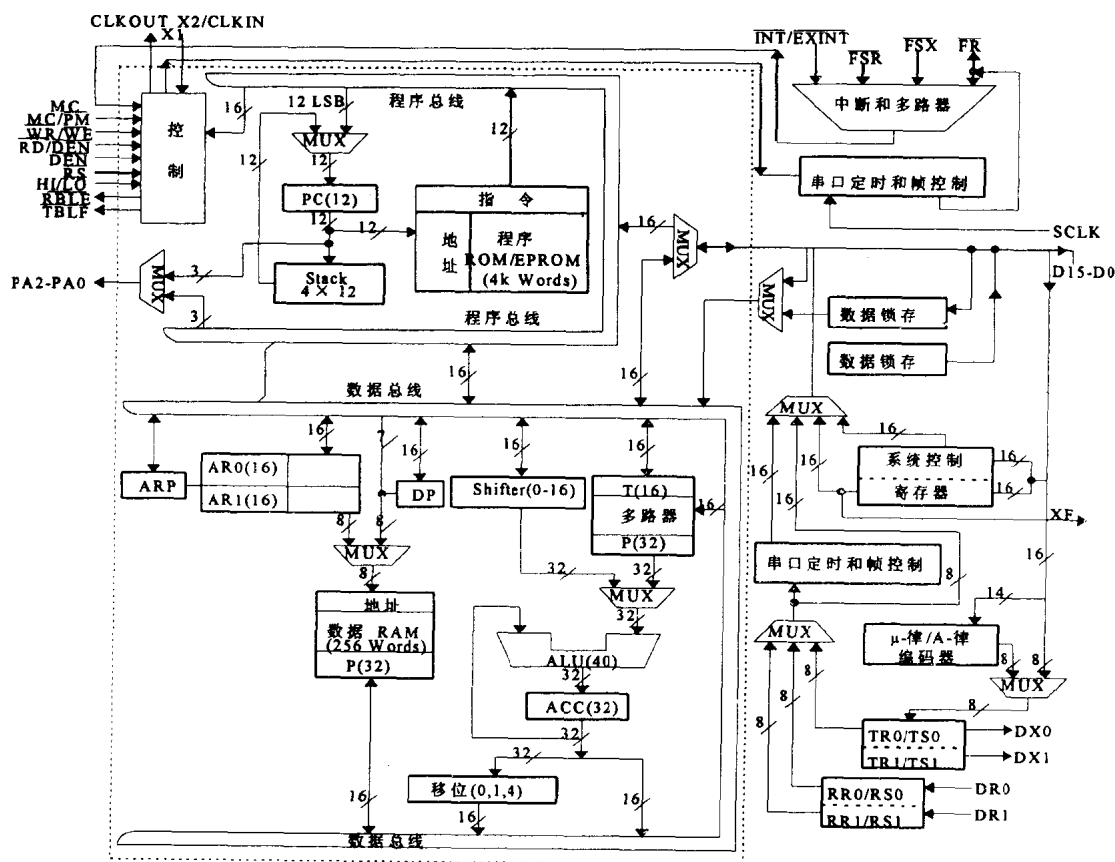


图 1-5 TMS32010 的内部结构框图

随着微电子技术的迅速发展,DSP 器件的性能已比第一代产品提高了几个数量级。最新的 DSP 具有如下特点:

1. 在单个指令周期内完成乘法/累加运算;
2. 速度达到 101~103 MIPS(Million Instruction Per Second)的定点运算;
3. 指令中有循环寻址位倒序等指令。单片 DSP 作 1 024 点复数所需时间已降到微秒量级;
4. 数据交换达到每秒数百兆字节的传输速率,主要是受片外存储器速度的限制;

5. 并行性,TI 公司的 TMS320C6x 带有 8 个功能单元,使用超长指令字 (VLIW, Very Long Instruction Word),这种 32 bit 定点运算 DSP 在每个周期内可以完成 8 个操作,运算速度

可达 2 000 MIPS,如果片外存储器能够支持,其 DMA 的数据传输能力可以达到 800 Mbyte;

6. 多处理器结构,TMS320C40 设置 6 个 8 bit 的通信口,既可以作级联,也可以作并行连接,每个口都有 DMA 能力;

7. DSP 在片上设置仿真模块或仿真调试接口,Motorola 的 DSP 设置 OnCE(On—Chip Emulation)功能块,用特定的电路和引脚使用户可以检查片内的寄存器、存储器及外设,用单步运行设置断点、跟踪等方式控制与调试程序,TI 则在其 TMS320 系列芯片上设置了符合 IEEE 1149 标准的 JTAG 标准测试接口及相应的控制器,不但能控制和观察多微处理器中每一个处理器的运行,测试每一块芯片,还可以用这个接口来装入程序,在 PC 机上插入一块调试插板,接通 JTAG 接口,就可以在 PC 上运行一个软件去控制它;

8. 低功耗,可应用到便携式计算机、移动通信设备和便携式测试仪器上;

9. 可将 DSP 的功能集成到专用集成电路中去,如磁盘/光盘驱动器、调制解调器、移动通信设备和个人数字助理;

10. 开发环境及支持软件的迅速发展和不断完善。

1.3 TI 公司的 DSP

美国 TI 公司的 DSP 产量最大,占全世界 DSP 器件总产量的 60%,品种也最多。TMS320 系列由定点型、浮点型和多处理器型数字信号处理器(DSP)组成。TMS320 的结构是为实现信号的实时处理而专门设计的。以下特性使该系列器件成为各应用领域的理想选择:

1. 灵活的指令系统;
2. 固有的操作灵活性;
3. 较高的执行速度;
4. 改进的并行结构;
5. 合理的性能价格比;
6. 友好的 C 语言结构。

1982 年德州仪器公司推出 TMS310~TMS320 系列中的第一个定点型 DSP。现在, TMS320 系列由以下产品组成:C1x、C2x、C2xx、C5x、C6x 定点型 DSP;C3x 和 C4x 浮点型 DSP;C8x 多处理器型 DSP。

TMS320 同一代产品有相同的 CPU 结构,但片内储存和片内外设配置不同。相应的衍生产品采用新的片内存储和外围组合,以满足世界电子市场的广泛需求。TMS320 器件通过将存储器和外围配置集成于单片之中,降低了生产成本并节省了电路板的空间。图 1—6 为 TI 公司 TMS320 系列的主要品种与发展示意图。

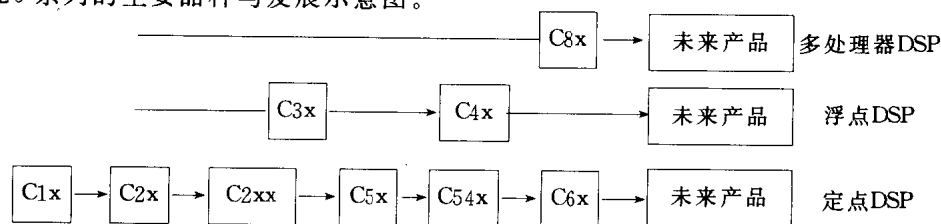


图 1—6 TI 公司 TMS320 系列的主要品种

TMS320 系列中的 TMS320C54x 系列是面向手持式无线通信产品的 DSP 器件。这一系列 DSP 的特有指令,可以高效地执行数字式便携电话中所采用的话音编码解码器的软件,不仅

器件为低功耗,而且在其内核电路中,已经将逻辑电路、模拟组件、大容量存储器以及 RISC(精简指令集计算)等集成化。该系列 DSP 器件不仅可用于手持式通信设备,在仪器仪表中也将得到广泛的应用。

1.3.1 主要特点

1.3.1.1 CPU

- 1. 采用先进的多总线结构,有 1 个程序总线,3 个数据总线,4 个地址总线;
- 2. 40 位的算术逻辑单元(ALU),包括一个 40 bit 的筒形移位器和两个独立的 40 bit 的累加器(ACC);
- 3. 一个 17×17 bit 并行乘法器,耦合至一个专用的加法器,作非流水的单周期乘法/累加运算(MAC);
- 4. 比较、选择、存储单元(CSSU),供 Viterbi 运算中作加法/比较选择运算;
- 5. 作为指数编码器,在单周期内计算一个 40 bit 累加器值的指数;
- 6. 有两个地址发生器,包括 8 个辅助寄存器和 2 个辅助寄存器算术单元。

1.3.1.2 存储器

- 1. 有 192k×16 bit 可寻址存储器空间(64k 的程序、64k 的数据、64k 的 I/O 口空间),C548 可扩展到 8M 字程序存储器空间;
- 2. C54x 系列有不同的片内存储器配置,表 1—1 为 TMS320C54x 系列的存储器的配置情况。

表 1—1 TMS320C54x 系列的存储器

器 件	程序 ROM	程序/数据 ROM	DARAM	SARAM
C541	20	8	5	0
C542	2	0	10	0
C543	2	0	10	0
C545	32	16	6	0
C546	32	16	6	0
C548	2	0	8	24

1.3.1.3 指令集

- 1. 有单指令循环和块循环操作;
- 2. 有块存储器搬移指令,更便于程序和数据管理;
- 3. 有 32 bit 长操作数指令;
- 4. 同时读取 2 操作数和 3 操作数指令;
- 5. 算术指令带并行存储和并行装卸;
- 6. 条件存储指令;
- 7. 快速中断返回。

1.3.1.4 片内外设

- 1. 软件可编程等待状态发生器;
- 2. 软件可编程存储器切换;
- 3. 片内锁相环(PLL)时钟发生器、内部振荡器或片外时钟;
- 4. 外部总线断开控制,以禁止外部数据总线、地址总线和控制信号;
- 5. 数据总线可以挂起;
- 6. 可编程定时器。

1.3.1.5 接口

表 1-2 为 TMS320C54x 系列的 I/O 接口配置情况。

表 1-2 TMS320C54X 系列的 I/O 接口配置情况

器件	主机接口	串 口		
		同步	缓冲	时分复用
C541	0	2	0	0
C542	1	0	1	1
C543	0	0	1	1
C545	1	1	1	0
C546	0	1	1	0
C548	1	0	2	1

1.3.1.6 电源

- 1. 有 3 种节电模式 IDLE1、IDLE2、IDLE3 ；
- 2. 可以禁止 CLKOUT 信号。

1.3.1.7 仿真

有 IEEE1149.1 标准边界扫描逻辑与片内扫描逻辑接口。该接口可在不占用任何用户资源的情况下,通过主机查询器件内部的状态,方便用户调试。

1.3.1.8 速度

单周期为 25/20/15/12.5/10 ns 执行时间,定点指令为 40/50/66/80 MIPS。

TMS32054x 的结构框图如图 1-7 所示。

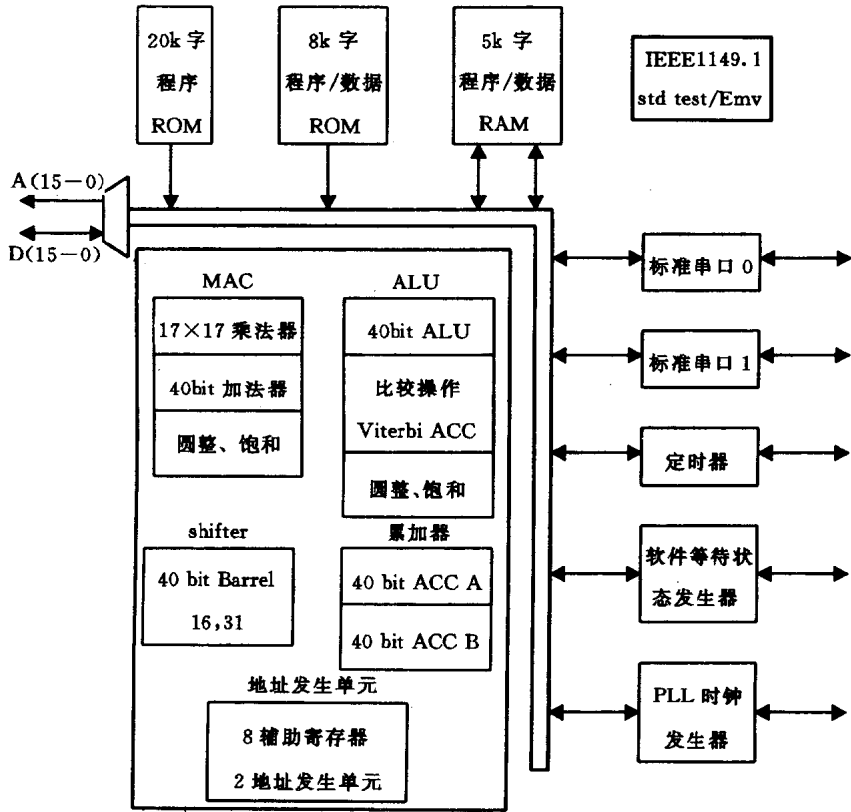


图 1-7 TMS32054x 的内部结构框图