

半导体器件的可靠性

第二集

科学技术文献出版社重庆分社

前 言

本集刊登的两篇文章选自《硅单块微电路可靠性手册》第一、二两篇 (Reliability Handbook For Silicon Monolithic Microcircuits, Vols 1 and 2, NASA CR-1346, CR-1347), 并略加删节。

第一篇《单块微电路的应用》主要讨论:

- 在几个族的数字微电路和线性微电路的某些应用和工作模式中遇到过的典型问题;
- 文中提出的每一种类型的电路的最可靠的和无故障的使用方法;
- 如何根据制造厂的数据表取得最充分的资料;
- 在实际使用中降低器件额定值的方法, 以及评定由于采取这种定额降低法而导致的电路性能和可靠性的增益 (或亏损) 的方法。

第二篇《单块微电路的失效机构》主要讨论:

- 失效形式和机构;
- 主要失效形式和机构的危害性;
- 主要失效形式和机构出现频次的比较估计;
- 涉及下列因素的失效形式和机构: 封装、管芯装配、金属化和互连系统、掩模对准、二氧化硅缺陷、扩散、电隔离和电路元件间的相互作用;
- 各种控制、检查或筛选考核的定义和辨别, 对筛选的目的讲, 这些考核在检查每种主要失效形式和机构时是行之有效的。

本文集第一篇由上海无线电十九厂和上海电子专科学校选题和翻译, 由中国科学技术情报研究所重庆分所校对; 第二篇先前已由上海无线电十九厂和上海电子专科学校出版单行本, 为便于读者阅览和使用, 在略加整理后汇编在一起。由于我们水平有限, 肯定有不少错误和不妥之处, 希望读者提出批评和意见以便今后改正。

编 者

目 录

单块微电路的应用..... (1)

- 第一部分 导论
- 第二部分 单块微电路的构造
- 第三部分 数字单块微电路
- 第四部分 线性单块微电路

单块微电路的失效机构..... (58)

- 第一部分 导论
- 第二部分 单块微电路制造过程中产生的缺陷
- 第三部分 失效机构的讨论
- 第四部分 筛选方法
- 第五部分 纠正措施

单块微电路的应用

第一部分 导 论

在过去十年中电路设计师通过使用半导体器件而取得了很大的灵活性，因而能在产品设计中增添一些特点。单块电路的情况尤其如此，它们意味着有可能达到以下各点：

- 使系统的总成本大大降低；
- 减少连接的数目；
- 减少设备；
- 增大系统的可靠性；
- 改进可维护性。

目前，降低系统成本，同时提高系统可靠性并缩小系统总尺寸的前景，在人们对产品设计中的集成电子学器件的考虑上正产生着巨大的影响。

集成电子学器件包括有许多类型的微电子器件，而目前在本工业范围内，主要的一种类型是单块微电路。单块微电路是在一块共同的固体或衬底内包含有几个有源元件和无源元件的完整的电子组件。

最初上市的微电路是在1960年生产的。从那时起，单块微电路就使半导体工业发生了重大的变革。这种小而复杂的器件的设计、生产和使用要求有许多熟练的专家参加。现将制造单块微电路的非常细致的过程概括如下，并在图1—1中加以说明（原图不清，略）：

- 生长单晶硅锭。
- 切割硅锭成硅片。
- 研磨和抛光硅片。
- 扩散单个元件和使单个元件连接成所要求的电路的多步骤工艺过程。
- 分割成单个电路小片。
- 将单块电路小片装入管壳。

单个微电路片是非常小的，测试和处理它们很不方便。因此，为了保护和便于处理这些片子，将它们封装在某种类型的管壳中。

单块微电路有两种类型——数字微电路和线性微电路。数字微电路又可分成若干族，例如：

- 电阻器-晶体管逻辑电路（RTL）；
- 电阻器-电容器-晶体管逻辑电路（RCTL）；
- 二极管-晶体管逻辑电路（DTL）；
- 晶体管-晶体管逻辑电路（TTL）；
- 发射极耦合逻辑电路（ECL）。

在线性单块微电路中，有运算放大器、差动放大器和差动比较器以及许多可能的高度专门化的器件。这里将讨论的仅仅是一些比较普通的放大器和比较器。

在单块微电路的典型应用中，总系统的很大一部分是由装上了封壳的微电路组成的。因此，这样的系统的制造者将非常熟悉用单块微电路进行成功的设计所要求的基本技术。这种熟悉加上他自己的独特方法和改进，将使他能够大大降低设计成本和制造成本并缩短检核时间。

本文将叙述的是：

- 单块微电路的制造方法。
- 现有的单块微电路类型。

在这里还将介绍应用方面的情况和选择指导。

第二部分

单块微电路的构造

一、概述

这一部分叙述单块微电路的制造技术，还扼要地讨论基本的单块微电路结构（即三重扩散、四重扩散和双外延）以及叙述在外延层下的逐步扩散过程。然后讨论单块微电路元件的特性和能力。

二、制造

制造任何一种半导体器件的起点是制造单晶材料。对单块微电路来说，则是用卓克劳斯基法生长硅晶体。将高纯度的硅放入石英坩埚，并用射频感应加热法来熔解。然后将特制的小籽晶放下到熔解硅中，并慢慢旋转和向上拉提。在严密控制的条件下，在籽晶上就生长出大的圆柱形晶体。

可以在生长单晶的时候将杂质掺入单晶的有序结构中，这个过程也可以在生长单晶之后用高温固-气反应（扩散）来进行。用金钢锯将晶体切割成许多薄片，每片的厚度为千分之几吋。每个晶体可切成10—100个薄片。每一薄片可再分割成100—600个面积为40—60密耳²的单个电路。然后将薄片（即切片）用极细的砂磨料来磨平，接下来用化学方法腐蚀成表面极端光滑的完工的薄片。

制造单块微电路的最普遍采用的基本过程是平面氧化物掩蔽扩散。现将这过程的各个步骤分述如下：

1. 氧化

在前述的硅片上生长一层惰性的、稳定的二氧化硅层（ SiO_2 ）。这是通过将硅片放置在高温氧化气氛中来完成的。这个氧化物层是由硅衬底的原子和氧化介质的氧原子构成，它对清洁的本体硅起着保护层的作用。由于半导体可靠性的基本要求之一是要有一个无沾污的硅表面，氧化过程就是制造单块微电路的一个很重要的部份。在这过程中包括有许多清洁工序来保持硅片的清洁。

2. 氧化物去除

因为 SiO_2 能防止各种原子扩散到硅中去，所以有必要开拓一条穿过氧化层的通路来使扩散得以进行。用光刻法在氧化层中挖出具有一定图形的“窗”或沟，通到硅衬底。用一种光敏性的塑料状的材料均匀地涂在氧化了的硅片上。通过载有所要求的图形的黑白照相掩模进行曝光，在光敏材料上形成各种图形。照相掩模透光区域下面的一部分材料被硬化了，而掩模不透光区域下面准备蚀去的那一部分材料则未反应因而易于为溶剂所侵蚀。在显影液中洗涤以除去未反应的塑料状材料，留下以光敏化合物硬化区域为界限的 SiO_2 图形。将薄片浸入氢氟酸溶液中，使 SiO_2 从图形区域溶解掉。在涂层下面的 SiO_2 则没有改变。用适当的溶剂除掉保护层就得到在氧化层中有一些通到硅衬底的分立的开口的硅片。在硅单块微电路的制造过程中，这程序要重复几次，叫做“第一次氧化物去除”、“第二次氧化物去除”、如此等等。

3. 扩散

在 SiO_2 中开出了图形区域以后，就可以为各个元件进行不同的N区或P区扩散。例如，为了在P型衬底上进行N型区扩散，将硅片放在充有含磷的氧化气氛的高温炉中。磷原子在 SiO_2 层的开口处扩散到硅片中，而硅片受到 SiO_2 层掩盖的区域则不受影响。这个程序也用于在硅片中形成P型区。在这情况下，

硅片是放在充有含硼的氧化气氛的高温炉中。因为扩散是在氧化气氛中进行的，所以在整个硅片表面上又生长出一层新的氧化物层，掩盖了先前的开口区。每次扩散后又在硅片上放置掩模，进行腐蚀，以便为下一次扩散提供开口区。在拟定任何一个扩散步骤时，必须考虑到下一道工序，因为下一次扩散所要求的温度和时间会引起上几道工序的进一步扩散。向硅中的扩散既在垂直方向上发生也在水平方向上发生，因而总是使实际的PN结或NP结为氧化物所掩蔽。正是这个氧化物保护层保证了无沾污的、由氧化物稳定的结。

4. 外延

气相反应，即所谓“外延”，能使硅淀积到露出的硅单晶表面上。在适当的控制下，这个新的淀积层在取向上也将是单晶的，甚至可在生长时掺杂。因为气相反应比扩散发生得快，所以先前的掺杂区实际上不会受到干扰，因而运用外延工艺能产生“陡峭”结。

外延晶体生长过程基本上是一个在高温下在硅片表面上增添硅原子的过程，通常是由化学反应实现的。这些硅原子在硅片表面徘徊，直到找到适当的成核点为止，这时，它们就按照衬底晶格而取向。这样，就生长出具有与衬底相同取向的单晶薄膜。

在标准外延过程中，硅片在有氢和四氯化硅的高温反应管中加热。反应发生后，硅片上就淀积出与衬底相同取向的硅单晶层。若在四氯化硅中加入某种杂质，这种杂质就被掺入到外延膜中，于是通过加入或多或少的不同类型的杂质，就可形成具有不同电阻率的P型和N型层。

5. 隔离技术

隔离是用来在单块结构中对各个电路元件进行电分隔的一个基本概念。反向偏置的PN结是实现隔离的最普通的一种方法，但这个方法对于结电容变得重要的高频电路来说却有点不适当。PN结还有发生交流效应的倾向，例如结漏电、反型层、以及不需要的晶体管效应和PNPN效应，等等。

在三重扩散法中，杂质被有选择地从一侧引入，这样来形成一个隔离晶体管的集电极。在电路工作时，集电极-衬底PN结始终受到反向偏置，借此与其它元件隔离。

用于以外延方法制造的电路的隔离方法有几种。这些方法都是用与衬底同型的杂质通过外延层扩散到衬底。虽然扩散隔离法使用得很广泛，但它并不能提供完全的隔离。目前有很多新的隔离工艺在研究中，

但其中大多数尚未能在大量生产中实际使用。

图1—2所示是将要讨论的一种新的隔离方法。这种电介质隔离法使用一个 SiO_2 薄层来使元件与衬底隔离。将高浓度的N型杂质扩散到N型起始材料中去，形成一个 N^+ 层。这个 N^+ 区最终是用于降低完工器件的饱和电压。然后，在硅片上蚀出一些沟槽以形成由 N^+ 复盖着的一些N型区。其次，在整个硅表面上生长一层氧化物，跟着淀积一个多晶硅厚层。将这个厚的（10密耳）多晶层进行研磨，以除去任何表面不规则性和为研磨另一侧（即原始单晶材料）提供光滑的基准平面。单晶侧的精密地控制的研磨将使原始材料形成一些小岛，它们的高导电层完全由氧化物互相隔离。多晶材料仅用作这些岛的载体。

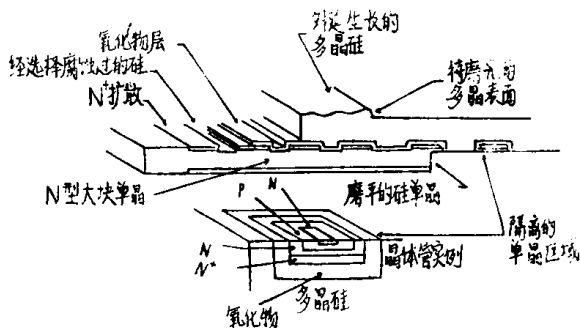


图1—2 微电路的电介质隔离。

然而，电介质隔离法有其实际的限制，特别是在为了充分消除先前提到的外扩散效应而要求于研磨工艺的巧妙程度方面。要制成可靠的电路，电路设计师就必须认识到所有工序中的困难，从而能在性能与合格率之间取得合理的折衷，这一点是很重要的。

6. 光刻掩模

要在单块微电路中产生的那种电路功能开始于一组照相底片（光刻掩模）的设计和描绘。这些底片的制作是高性能单块微电路制造中十分重要的部分。据估计，在总合格率的损失中有很大的一个百分数是直接或间接地与光刻剂中的缺陷有关的。

现将产生一个掩模所需的工序示于图1—3。原始工件是通过在市售的、由不透明和半透明材料制成的薄膜上划线而精确地制成的。切割之后，去掉不透明的部分就留下最终图形的摹制品。这个工件是按最终尺寸的150倍制备的，以便将可能的描图误差和切割偏差减小到最低限度。缩小到最终尺寸是通过几个摄影缩小工序来完成的。使用精确的分步重复机在整个硅片上描绘许多完全相同的图形。

总的说来，单块微电路的制造包括两个不同的部分。其一涉及深度和垂直于表面的垂向尺寸的控制——即外延层和扩散等电路过程。另一部分涉及光刻

掩模的描绘和设计，以及决定水平尺寸的氧化物去除过程，各个不同的重要工序就是通过这个程序来完成的。制造程序的这两部分之间的关系示于图1—4。

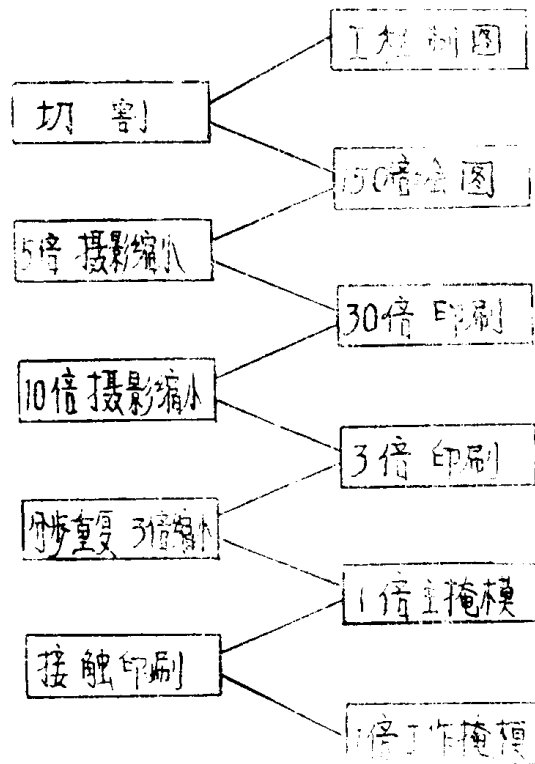


图1—3 摄影缩小工艺流程。

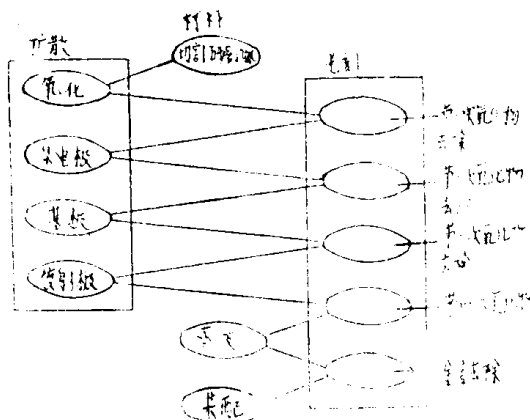


图1—4 单块微电路制造工艺流程。

三、结构

1. 概述

用于制造单块微电路的有几种基本的结构类型。它们包括从比较简单的三重扩散结构到比较复杂的外延结构。本节论述五种主要的结构类型，并将它们的某些优、缺点加以比较。

2. 三重扩散

三重扩散结构曾是用来制造微电路的第一种平面结构。这个过程由三个相继的扩散循环组成。第一个循环是在P型衬底上生长一层二氧化硅层。对二氧化硅层进行选择性腐蚀以提供集电极扩散用的开口。然后，对片子进行N型扩散以形成晶体管的集电区，以及电阻器、二极管和电容器的隔离区。在这次扩散的过程中，整个片子上又生长了一层新的二氧化硅层。在第二次扩散循环之前，有选择地将新的二氧化硅层开口以便进行P型基区扩散。然后对片子进行P型扩散。新生长的SiO₂层又再次开口以便进行发射区扩散，并将扩散过程重复一遍以形成N型发射极。然后，再一次在SiO₂层蚀出开口以提供将各个元件连接在一起的接触区域。然后，用真空蒸发器在整个硅片上涂上一层金属薄膜。用与去除氧化物时所用者类似的光刻技术将不需要的金属除掉，留下金属互连图案。

图1-5示出一个NPN晶体管和一个PNP晶体管。在三重扩散结构中，共集电极（衬底）的PNP晶体管是由分别为PNP的基极和发射极进行的头二次N和P扩散形成的。

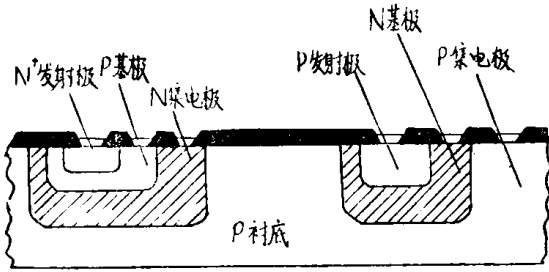


图1-5 三重扩散结构。

3. 四重扩散

四重扩散技术与三重扩散技术很相似，只是前者另外增添一次扩散循环。从N型衬底开始，四重扩散技术能制造出隔离的NPN和隔离的PNP两种晶体管（图1-6）。

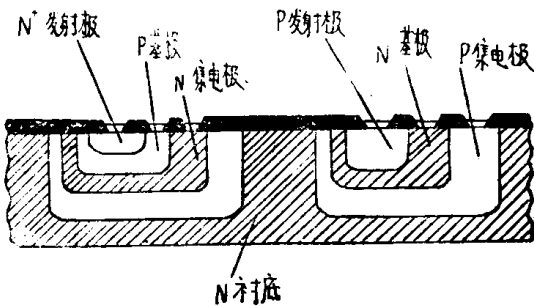


图1-6 四重扩散结构。

4. 单外延膜

最简单的外延晶体管结构是单外延膜。形成隔离的NPN晶体管过程是，先在P型衬底上生长一个N型外延膜，然后通过这N型外延膜扩散一个深的P型环来隔离晶体管，再相继进行P型基区和N型发射区两次扩散（图1-7）。用这个工艺过程构成的晶体管的R_{cs}较之用三重扩散工艺过程构成的要低得多。这是因为外延集电极在其全深度上有相当恒定的N掺杂剂浓度，而三重扩散的集电极在表面上有相当高的N掺杂剂浓度而在基极-集电极结处N掺杂剂浓度则相当低。

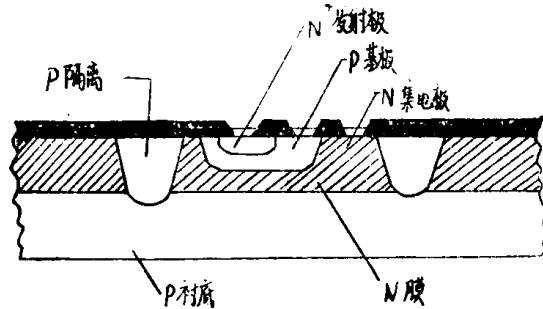


图1-7 单外延结构。

5. 双外延膜

双外延结构与单外延结构很相似，不同之处在于它是在P型衬底上生长一层N⁺膜，然后在N⁺层上生长一个N型层（图1-8）。元件的隔离是由穿过N和N⁺膜深扩散一个P型环到P衬底上来完成的。然后相继将P型基区和N⁺发射极扩散到隔离的集电区中去。在集电极接触区还扩散一个N⁺区，它贯穿上面的N型膜与N⁺膜相接触。双外延工艺制造的晶体管，其R_{cs}要比单外延工艺制造的低。然而，双外延方法需要进行很深的、通过两个外延层的P隔离扩散。这是很费时间的，并且由于隔离区宽阔，就增大了所需硅锭的尺寸。

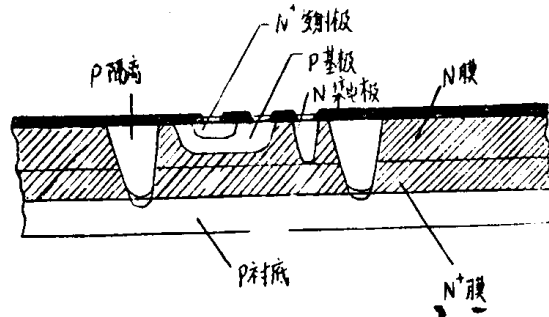


图1-8 双外延结构。

6. 外延膜下扩散

(一) 概述

外延膜下扩散法实质上与双外延法相同，所不同的是在各个已受影响的区域中扩散 N^+ 区，而不是生长一个 N^+ 外延层。外延膜下扩散法正在日益广泛地被应用于单块微电路的大规模生产。为了说明硅单块微电路的制造，在下文中我们将讨论图1—9所示、以外延膜下扩散法为基本结构类型的简单电路的制造过程。

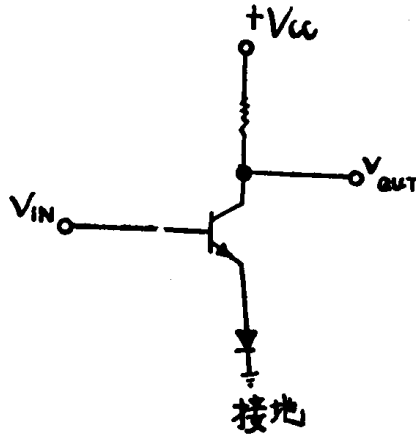


图1—9 为了说明用外延膜下扩散法进行设计和制造而提出的简单电路。

(二) 简单电路的制造

在所需要的电路设计完成之后，就要为每一必要的生产工序制备一个光刻掩模。图1—10所示是制造图1—9的电路所需的一套掩模。（实际上，这些掩模须为硅片上的每一电路复制一次。）阴影部份表示的是将要用化学方法去除的氧化物区或金属区，而空白部份将仍然为光致抗蚀剂所复盖，因而在腐蚀过程中它下面的材料就不会被去掉。

制造过程从硅晶体的一个切片开始。基本硅片是电阻率为5—15欧姆·厘米的P型材料。整个片子复盖上一层 SiO_2 。（参阅本部分第二章。）使用第一次氧化物去除掩模并用化学方法在 SiO_2 中蚀出窗口，以便进行埋层扩散；见图1—11（A）。将硅片放在含有N型掺杂剂的氧化气氛中。这时， N^+ 区就扩散到P衬底的直接位于未来晶体管集电极区下面的部分中去，使成为电阻率很低的材料，见图1—11（B）。接下来，用氢氟酸蚀去硅片上的整个 SiO_2 层。

将硅片放在充有氢和四氯化硅以及N型杂质的高温反应管中，在P衬底和 N^+ 区上面生长一层N型外延层。在外延层生长以后，就和先前一样在硅片表面上生长一层 SiO_2 ，以形成供以后各制造工序用的保护

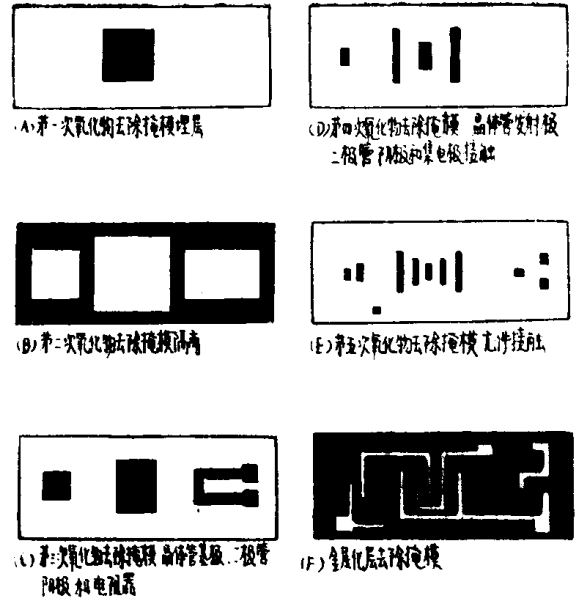


图1—10 一组光刻掩模。

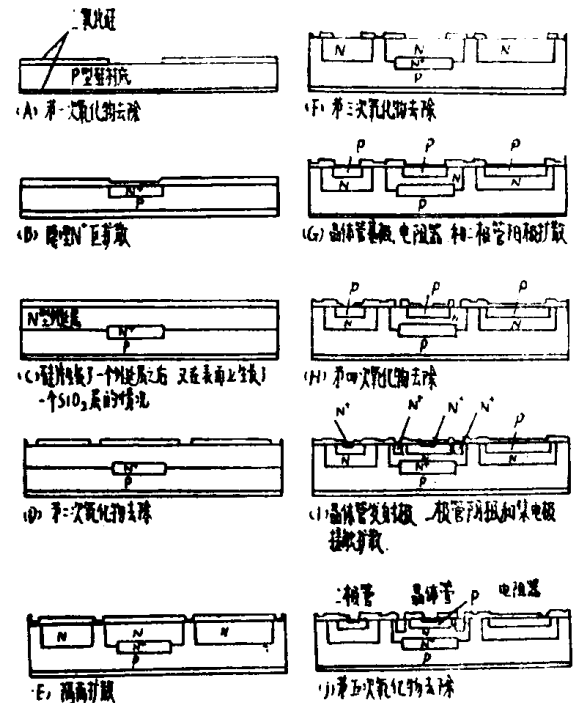


图1—11 外延膜下扩散的生产工艺过程。

层；见图1—11（C）。

以后各个制造工序与单外延工序和双外延工序相同。使用第二次氧化物去除掩模，并用化学方法在 SiO_2 层中蚀出一些区域，以便进行隔离扩散；见图1—11（D）。接下来，将硅片放置在充有含P型掺杂剂的氧化气氛的高温炉中。这个隔离扩散是这个工艺过程中深度最大、时间最长的一次扩散，因为它必须贯穿N型外延层。用硼作掺杂剂的典型的P型隔离扩散需要在1200℃左右的温度下进行约20小时。与双

外延法相较，外延膜下扩散法的优点之一是隔离扩散无需穿过N₁层。如图1—11(E)所示，隔离扩散形成一个N型隔离区，它一方面是晶体管的集电极，另一方面也对其它元件起着电隔离作用。和在其它扩散工序中一样，高温炉内的氧气氛使片子表面上的各个开口区域再次氧化，并将它们封闭使之不受污染。用第三次去除掩膜再次对硅片进行选择掩蔽，然后用化学方法在SiO₂层上蚀出一些开口，供下一步扩散之用；见图1—11(F)。

下一步扩散使用硼源，除了温度较低外，其进行方式与隔离扩散相似。在这一个扩散工序中，是制造晶体管的基极、二极管的阳极和电阻器；见图1—11(G)。基极扩散较之前一次扩散要求精确得多的过程控制，因为它的扩散深度和表面浓度很重要。为了得到较好的过程控制，基极扩散过程总是一个双工序过程。这个过程先是预淀积杂质到开口区域中去，然后在下一工序中再将杂质“驱入”。基极扩散提供的薄层电阻率约为100—200欧姆/方。在这个扩散工序进行期间，在硅片上也同时生长出另一层SiO₂。然后用第四次氧化物去除掩模为下一次扩散在SiO₂上准备适当的场所；见图1—11(H)。

在晶体管发射极扩散时，也制成了二极管阴极和增强的集电极接触；见图1—11(I)。必要时，也可以在交叉点上制造低值扩散电阻器。这些交叉点用来内连接大电路和阵列的各个元件，我们把它们叫作“隧道”。对扩散区重掺N型杂质以提供2—3欧姆/方的低电阻率。这个工序的扩散深度也必须非常精确。使用磷杂质的、典型的发射极扩散是在1000℃和1100℃之间的温度下进行的。

在发射极扩散以后，在硅片上生长一个完整的SiO₂层，以提供足够的氧化物厚度来保护表面。这样，电路中各个元件的制造过程就完成了。接着就要把这些元件内连接起来成为一个所要求的电路。用最后一次或第五次氧化物去除掩模，在SiO₂层上为每一个元件以及隔离或衬底开通接触面积；见图1—11(J)。然后将硅片放到装有金属蒸发器的高真空箱内。蒸发的金属均匀地淀积在硅片的整个表面上。这个过程最常用的金属是铝，但是其它金属也曾用过而且目前也还在用，例如，铬，金，银和镍。对蒸发的金属进行选择腐蚀，其方法与用于氧化物腐蚀的方法相类似；经过腐蚀就留下了电路元件之间内连接的图形。图1—12所示是已经作了内连接、可以装入管壳、并与管壳引线连接的、已完工的电路。

单块微电路的制造过程，到这一步为止还只涉及单个电路的最后成本的一小部分。余下的各个制造工序和测试要求则要占电路总成本的大部分。因此，要

用自动多点探针法对各个元件进行广泛的电测试。这种自动测试器是计算机控制的，并且能在几分钟内进行数百次电测试。不能满足电测试要求的电路都自动地被敲上标记并被弃掷。

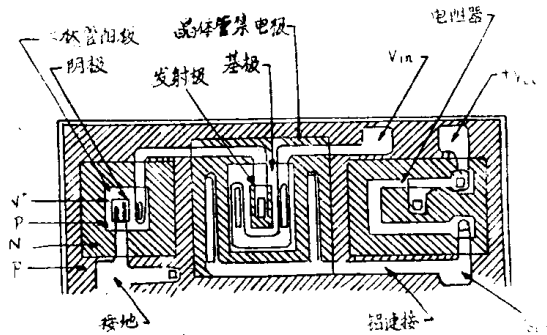


图1—12 已完工的电路。

前面我们讨论了制造单块微电路的基本工序。还有很多其它必不可少的工序。为了提供一个具有所要求的特性的可靠的电路，要进行很多次过程控制和质量保证试验。现将每一种基本单块微电路结构的典型特性摘录在表1—1中。为了对不同的工艺过程进行比较，表中还列入了基本材料的相对成本；但是，材料成本只占器件总成本的一小部分。供三重和四重扩散结构用的基本硅片要比供外延结构用的基本硅片更易于从半导体材料制造厂购得。

四、单块微电路的元件

1. 概述

单块微电路的单个元件与分立元件有些不同。这些元件是由反向偏置隔离二极管来连接在一起的。这些二极管限制着能够施加于元件的最大电压，而且限制着电路的频率响应。除隔离二极管外，有源元件，二极管和晶体管，都与分立式器件相类似。但是，单块微电路的电阻器和电容器则与分立的电阻器和电容器很不相同。工业上使用的单块元件种类繁多，其工艺也日新月异。在下文中将提出少数几种单块元件。所作的讨论将以它们的解剖构形和等效电路为基础。

2. 电阻器

单块电阻器是一种正温度系数半导体电阻器。单块电阻器是用硅制造的，而分立的电阻器则是用碳、金属薄膜或金属线之类的材料制造的。单块电阻器可以在基极扩散过程中制造，也可以在发射极—基极扩散过程或发射极扩散过程中制造。通常，这些电阻器是在基极扩散工序中用扩散一层薄的P型层到隔离的

表1-1

几种基本类型的单块微电路的结构特性

结 构	材料的相对成本	晶体管 R_{cs} (Ω)	其他器件特性
三重扩散	\times	<100	• 对衬底的寄生PNP管的 $\beta > 1$.
四重扩散	\times	<100	• 相互隔离的PNP和NPN晶体管在同一单片上。
单外延	$5 \times$	<50	• 集电极具有均匀的浓度, R_{cs} 比三重扩散的低。 • 对衬底的寄生PNP管的 $\beta > 1$
外延膜下扩散	$10 \times$	<10	• 高击穿电压。 • 对衬底的寄生PNP管的 $\beta \ll 1$.
双外延	$10 \times$	<10	• 击穿电压比外延膜下扩散的低。 • 对衬底的寄生PNP管的 $\beta \ll 1$.

N型区域中去的方法制造的。使用发射极扩散工序是为了得到低值的电阻器。

因为电阻器的扩散过程就是晶体管的基极扩散过程, 所以有必要在所要求的晶体管特性和必要的薄层电阻率之间作一个有点受到限制的折衷。在某些情况下, 有必要将工艺过程调整一下以取得所要求的晶体管特性, 然后对电阻器的解剖构形图再作另外的布局。有些制造厂将基极扩散和电阻器扩散分开进行。这样就有可能保持晶体管特性, 同时改变电阻器的值以取得不同的电阻器功率晶体管开关时间关系。现将典型的P型扩散电阻器示于图1-13。

P型基极扩散电阻器的薄层电阻率约为100—200欧姆/方。电阻用欧姆/方表示, 因为这是说明一给定的电阻的最有用的方法。这个测量单位意味着, 在两个对边之间测量时, 一块正方形的材料具有一定的电阻而与该正方形的大小无关。

如图1-13所示*, 单块电阻器的模型是一个复杂的等效电路。电阻器与衬底之间有一个大的电容, 并且从电阻器经过隔离区到衬底有一个寄生分布晶体管。寄生晶体管产生从电阻器到衬底的漏电流。在高频时, 考虑电阻器的分布电容效应就变得重要了。截面比较小(0.5密耳)的电阻器所呈现的电容量较之相同阻值的较宽的电阻器所呈现的要小得多。这个电容量的变化范围是: 从0.5密耳电阻器的0.75微微法到阻值相等的1密耳电阻器的3.0微微法。

扩散电阻器通常没有精确的数值。虽然任何一个线条上的电阻比通常都在2%以内, 但它们的绝对值仍然有20%的典型变化, 甚至可以高达50%。温度系

数的典型值为 $1200-1600 \times 10^{-6}/^{\circ}\text{C}$, 但是在 100°C 的温度范围内这个2%的电阻比能够保持不变。温度系数是薄层电阻的函数, 如图1-13所示。

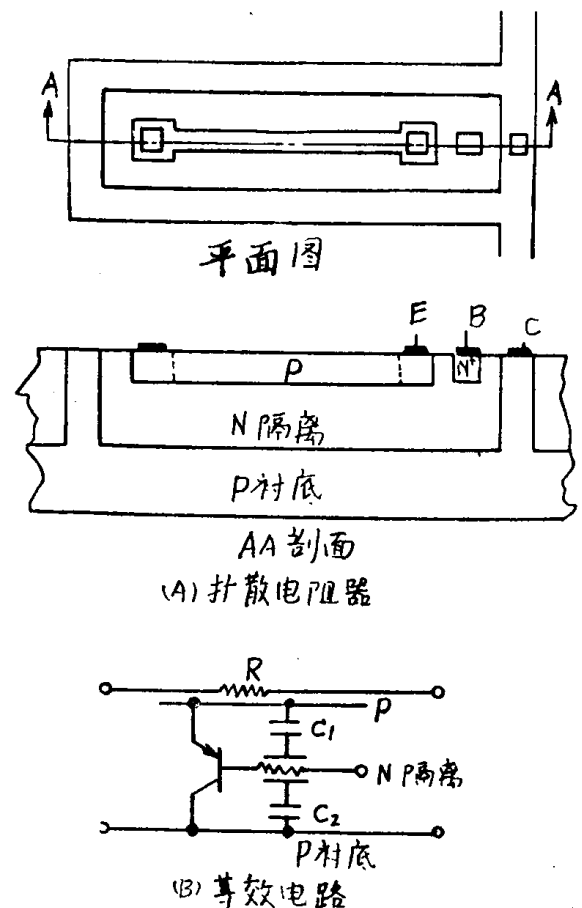


图1-13 典型的单块P型扩散电阻器及其主要特性(其一)。

*原文为图1-12。校注。

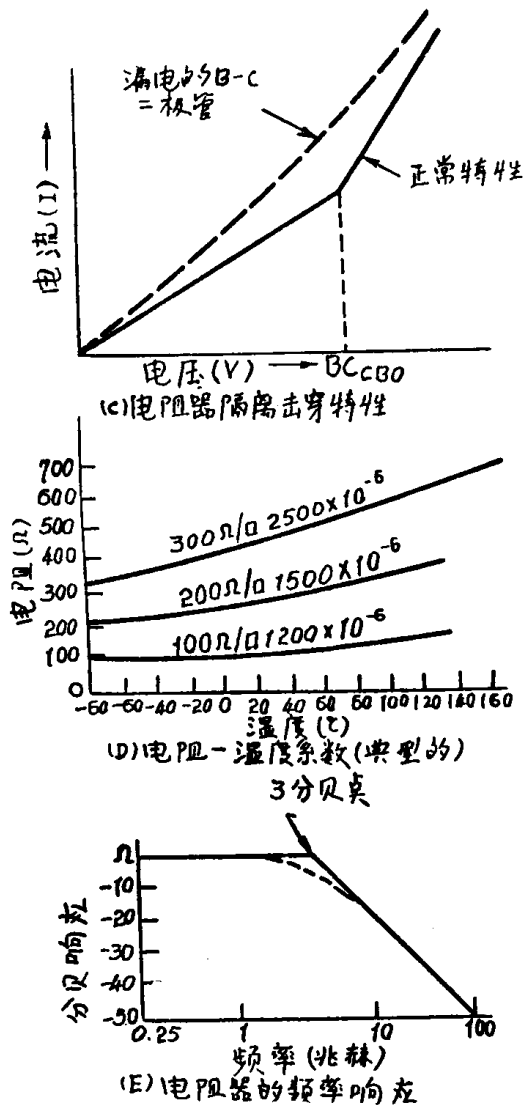


图1-13 典型的单块P型扩散电阻器及其主要特性 (其二)。

3. 电容器

单块微电路用的电容器与分立式元件中的电容器有很大的不同。用于单块微电路的电容器有两种基本类型。一种类型是反向偏置的PN结，它的单位面积的电容高，而且不要求额外的工序。另一种形式是金属-氧化物-半导体 (MOS) 电容器，它的特性比较接近于分立式电容器的特性。

制造扩散电容器的最简单的方法是以基极-集电极扩散来制取一个PN结 (图1-14)。这种类型的电容器是极化的，而且耗尽区实际上起着两个极板之间的电介质的作用。耗尽区的宽度是结上的反向偏置的函数，因而这种电容器是对电压敏感的。在零偏压下耗尽区是极其狭窄的，从而产生较高的电容。

PN结电容器的等效电路示于图1-14。它是由一个串联电阻器和一个分路寄生电容器 (C_1) 组成

的。C与 C_1 之间的比值介于5比1与2比1之间。能得到的电容量约为0.2—0.6微微法/密耳²。用发射区扩散法能使电容量增大到约1微微法/密耳²。这种类型的PN结电容器表示在图1-15中，其等效电路则与图1-14所示的相似。

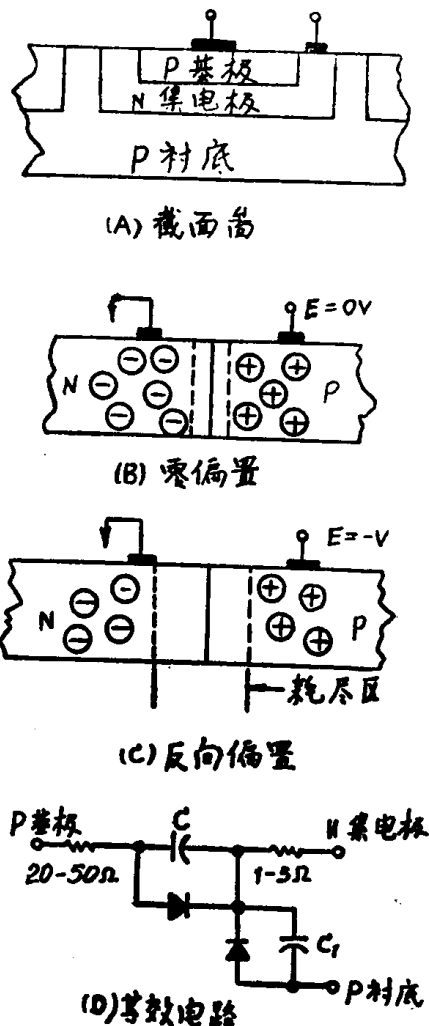


图1-14 PN扩散结电容器。

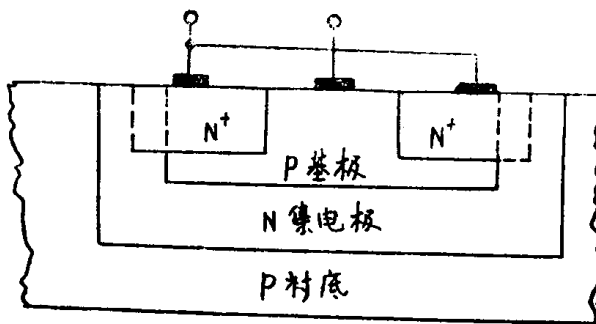


图1-15 PN结电容器。

这个电容器由一个P型极板和二个外极板构成，前者是基极扩散，后者又以N集电区作下极板，以N⁺发射区作上极板。这两个外极板在扩散过程中短接在一起，从而形成两个并联的、反向偏置的结，

其电容量约为一个结的两倍。集电极-基极电容器具有较高的击穿电压(约50伏),而另一种PN结电容器的击穿电压约为9伏。

用于单块微电路的另一种类型的电容器,金属-氧化物-半导体(MOS)电容器,以二氧化硅作为电介质。它的两个极板由低电阻率的发射极扩散区和内连接金属化层(一般用铝)组成。图1-16所示的是MOS电容器的截面图和等效电路。

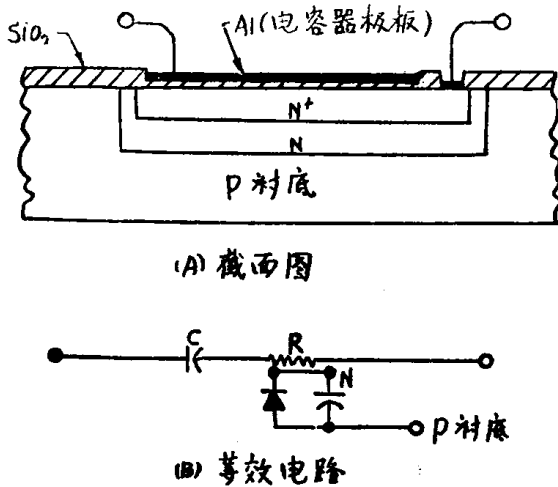


图1-16 MOS电容器。

MOS电容器是一种非极性器件,因而对电压不敏感。它的最大工作电压约为20伏,电容量约为0.3微法/密耳²金属化面积。

它对衬底的分路电容比PN结电容器的小。MOS电容器通常要求有一个额外的工艺过程来控制电介质厚度,并且对某一给定的电容来说要求更大的芯片面积。

4. 晶体管

目前有很多种类型的单块晶体管。现将单块晶体管的几种布局示于图1-17。其所以有这样多的类型部份地是由于电路功能方面的要求名目繁多,以及解剖构形和工艺设计变化多端所致。

制造单块晶体管不比制造其它元件来得贵,有时反而便宜些;因为这种晶体管有较好的电路功能、较低的功率耗散和极好的驱动特性。试举一例来说明以单块晶体管代替电容器的优点:一个单块触发电路可以包含多达30个的晶体管,所提供的功能是不能从分立式元件为基础的设计中得到的。这种优越的功能得自同一芯片上各个单块晶体管之间的晶体管特性的固有匹配。在与单块电阻器相结合时,晶体管特性匹配的最大精确度在5%以内,并且在所规定的温度范

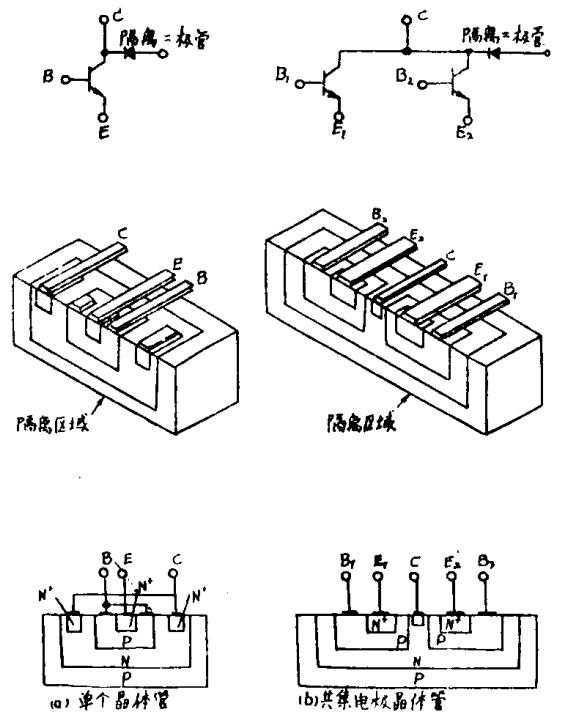


图1-17 单块晶体管的典型布局(其一)。

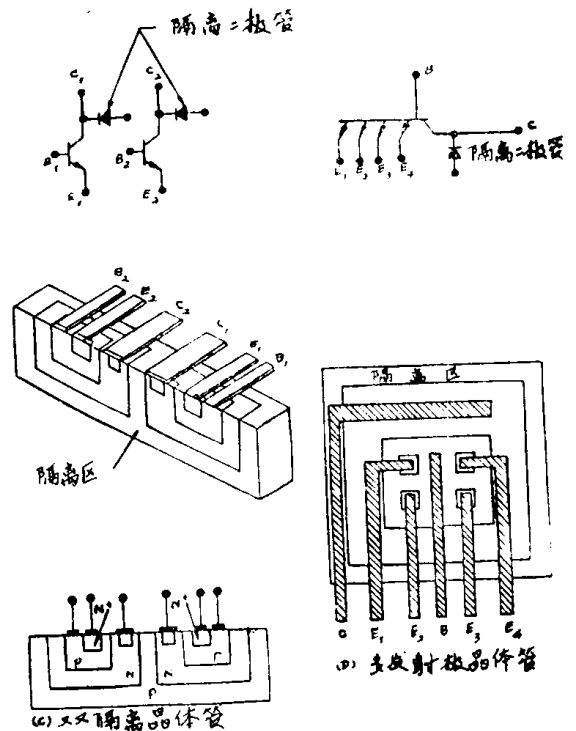


图1-17 单块晶体管的典型布局(其二)。

围内都能保持这个容限。

单块晶体管也有一些缺点,但是新概念已经把些缺点压缩到能用的水平了。例如,由集电极-衬底PN结产生的、集电极的寄生电容限制了电路的频率

响应。使用新的隔离技术和较小的几何图形制成的电路，其频率响应则大于100兆赫。另一个缺点是集电极饱和电阻高。单块晶体管具有的饱和电阻是10—100欧姆，而分立式晶体管的饱和电阻则为5—20欧姆。

大多数单块晶体管是NPN型的，但是在某些电路（例如，线性电路）中，人们希望有PNP晶体管。在三重扩散和外延结构中，可以用衬底作为集电极的方法来得到PNP晶体管；但是，这限制了其用途，因为衬底是接在最低电位上的。这种类型的PNP晶体管只能用于发射极输出器电路上。四重扩散结构提供的是隔离PNP晶体管，它能用于几种线性电路。在这两情况下，所得到的PNP晶体管都具有低的 β 。

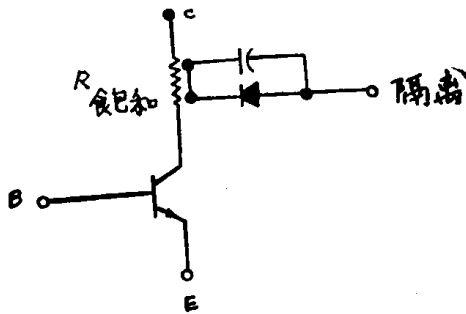


图1—18 单块晶体管的典型等效电路。

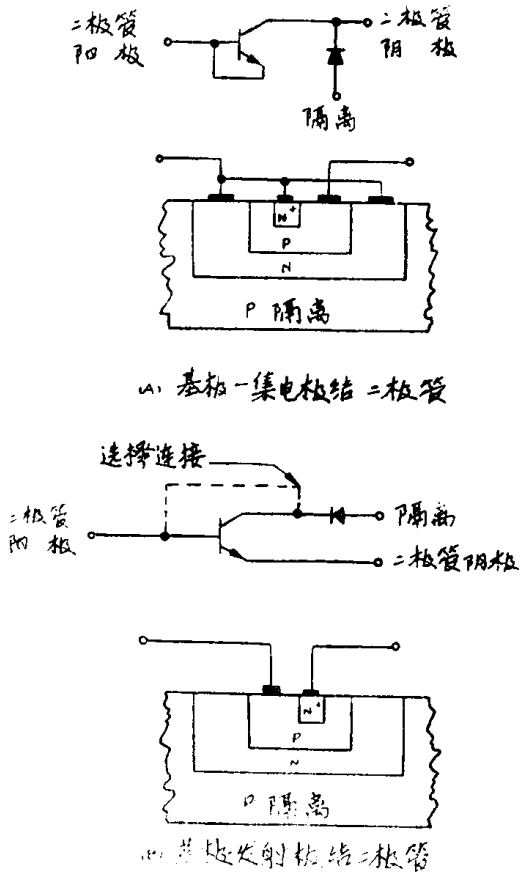


图1—19 单块二极管。

图1—18所示的是单块晶体管的典型等效电路。

5. 二极管

在制造晶体管的扩散工序中，同时制成二极管和其他元件是最经济的。所以，制造二极管不是用基极-集电极就是用基极-发射极PN结的方法。

用基极-集电极构成的二极管具有高击穿电压（约50伏）和高到十分之几微秒的存储时间。这种类型的二极管示于图1—19（A）。发射极可以与基极短接，也可以在工艺过程中不进行发射极扩散。

基极-发射极二极管具有比较低的击穿电压（5—6伏），但却是一种高速、低电导的二极管。现将基极-发射极二极管示于图1—19（B），其中集电极区未连接。

任何单块二极管的电导都低于普通二极管的正常电导，因为集电极的上接触的体电阻较高，或者是由于用于构成二极管的扩散程序不是最佳化的。

一种多二极管阵列表示在图1—20，这种阵列一般用来提供DTL门输入。集电极和发射极在扩散过

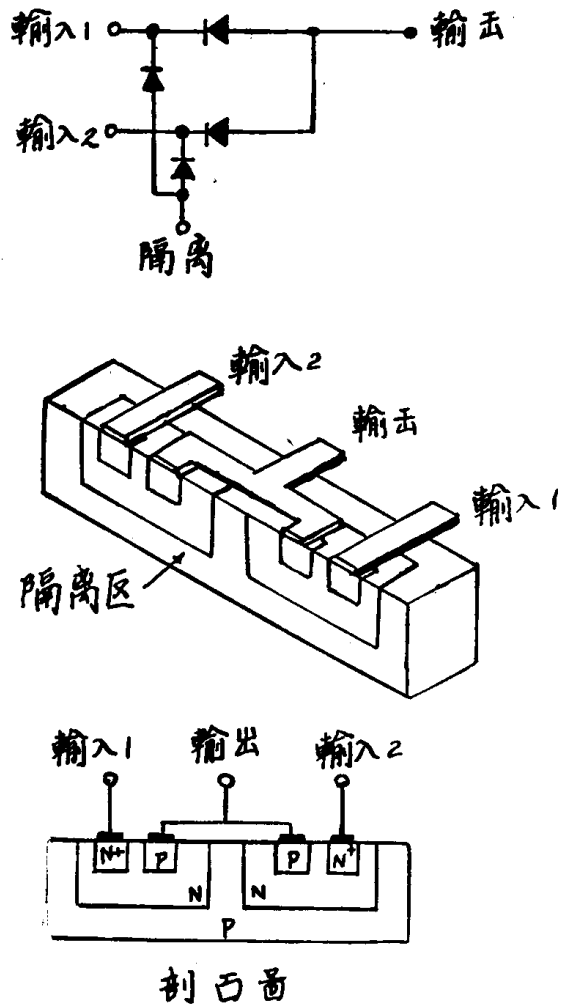


图1—20 输入二极管阵列。

程中短接在一起。各个二极管的阳极由金属化层短接在一起。通过将基极与集电极短接，多发射极晶体管可以用作二极管阵列。

第三部分 数字单块微电路

一、逻辑电路族

1. 概述

基本逻辑功能可以用“或”、“与”、和“非”电路的不同组合来实现，见图 1—21。用这些电路作系统设计是令人厌烦的，因为对每一级别均须作独特的设计。为了使用一种标准的设计方法（这对于单块微电路来说是十分迫切的），每一个门必须接上一个转换器，这样，电路就变成“非与”或“非或”门。

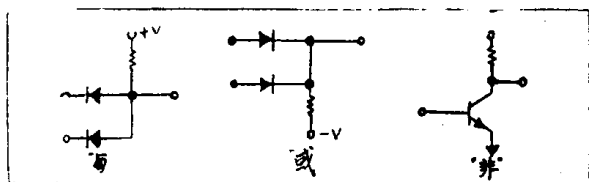


图 1—21 基本的逻辑电路。

已经发展了许多逻辑族，它们利用有源元件和无源元件的不同组合来完成逻辑功能。早期的单块微电路是严格地按照熟知的分立元件方案生产的。早期电路中的元件总数很少，并且，由于晶体管比较贵，因而它们的使用被减少到最低限度。随着单块微电路技术的进展，人们发现晶体管的制造较之其它元件的制造来得便宜，因而最新的电路就按照这种方案生产。

本部份只讨论单块微电路所用的最普通的类型的逻辑电路族。这些电路族所采用的方案包括“逐个取代分立式元件”方案、几个修改过的方案、直到采纳了“晶体管是便宜的”这样的理论之后提出的方案，以及多发射极晶体管方案。这些例子是基本逻辑电路族的典型代表，但远没有罗列出现有单块微电路的全部名目。将要讨论的单块微电路族是：

- 1) 直接耦合晶体管逻辑电路 (DCTL)；
- 2) 电阻器-晶体管逻辑电路 (RTL)；
- 3) 电阻器-电容器-晶体管逻辑电路 (RC TL)；
- 4) 二极管-晶体管逻辑电路 (DTL)；

- 5) 晶体管-晶体管逻辑电路 (TTL)；
- 6) 发射极耦合逻辑电路 (ECL)。

2. 直接耦合晶体管逻辑电路 (DCTL)

直接耦合晶体管逻辑电路 (DCTL) 是最早的实用单块逻辑电路之一。这个基本电路如图 1—22 所示。对单块电路工艺来说，DCTL 是理想的，因为它在一个公共隔离区中包含许多晶体管。通过减小集电极负载电阻，它能提供较高的开关速度。DCTL 的主要缺点是输入基极电流错乱*，这个情况是由于一个共同输出节点上的各个输出门之间存在极小的 V_{BE} 失配造成的。具有最低阈值的输入将吸收过多的电流，因而对其他的输入驱动不足。电流错乱限制了 DCTL 的输出端数与速度特性，因此，这种逻辑电路的系统应用非常有限。

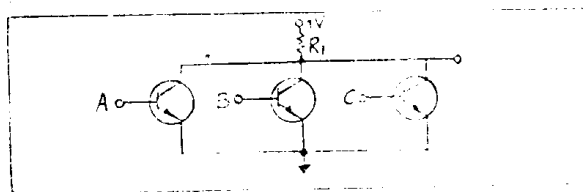


图 1—22 DCTL 门。

3. 电阻器-晶体管逻辑电路 (RTL)

基本的电阻器-晶体管逻辑 (RTL) 门的构形如图 1—23 所示。这个构形除了附加一个输入电阻器 R_2 外，与 DCTL 电路的构形相同。 R_2 的附加迫使一部分电压出现在 R_2 上，因而基极电流就在并联的各个输入之间有较均匀的分配。增大 R_2 ，就可得到高输出端数而不致产生电流错乱；然而，当 R_2 增大时，却降低了电路的开关速度。因此，使用 RTL 电路时，在设计上必须在高输出端数与高开关速度之间作一折衷。

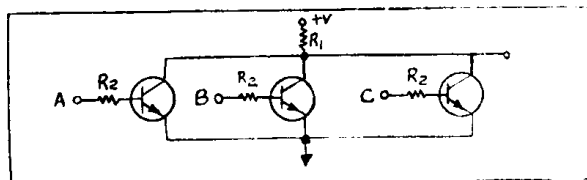


图 1—23 RTL 门。

4. 电阻器-电容器-晶体管逻辑电路 (RC TL)

DCTL 电路族的电流错乱的缺点在 RTL 电路中已减小到最低程度。可以用一个电容器对输入电阻器分流来增大 RTL 电路的开关速度。这就是电阻器-电

* “错乱”一词原文为“hogging”，其含意见下文一校注。

容器-晶体管逻辑电路 (RCTL) 构形, 如图 1-24 所示。

R_2 的数值范围从 RTL 电路的大约 450 欧姆到 RCTL 系的 20 千欧姆。增大 R_2 的值, 不仅增大了输出端数, 而且也提供了一种低功率电路。虽然 R_2 的附加增大了所需的静态电压摆动, 但旁路电容器 C 却以动态的方式把输出集电极钳在输入级的基极上。因此, 只需要一小部份静态摆动就能以动态的方式开关负载。RCTL 结构中的 RC 耦合网络使电路能够在低电流备用电平下工作, 但却会让开关期间发生的小的电压摆动产生高动态电流。

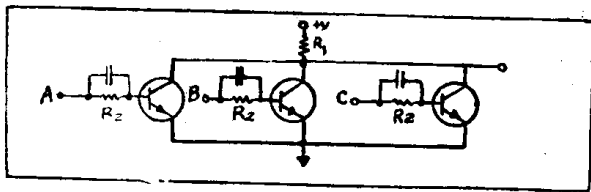


图 1-24 RCTL 门。

因此, RCTL 比 RTL 对接通噪声更灵敏, 与 DCTL 则大体相同。如果在 DCTL、RTL 和 RCTL 设计中极限的静态基极电流相同, 那末, 在其它因素都相等的情况下, DCTL 与 RCTL 的断开抗扰性也将相同, RTL 的则稍好一点。由于 RC 网络的高通特性, 在低频噪声应用中, RCTL 将具有最好的噪声性能。

虽然 RCTL 在许多低功率、中等速度的应用中已经使用, 但这种电路对单块的制作来说却有一个缺点——在电阻器和晶体管的同一衬底上制造电容器。

5. 二极管-晶体管逻辑电路 (DTL)

基本的二极管-晶体管逻辑电路 (DTL) 构形如图 1-25 (A) 所示。这里再一次采用了分立式元件的理论。DTL 电路曾经是人们熟知的分立元件设计的逻辑电路; 因此, 已普遍采用微电路来修改带有分立元件 DTL 的那些系统。基本的 DTL 电路的优点是它有较好的功率-速度折衷和良好的直流噪声容限。基本的 DTL 电路也有二个缺点。第一个缺点是它要求有一个紧公差的电阻器, 而为了满足这个要求就会降低成品率并增加买主费用。第二个缺点是为了获得高开关速度, 就必须使耦合和输入二极管具有不同的特性 (这一点在单块电路中很难实现), 否则就必须采用单独的电源来关断等效电路中的晶体管 Q_1 (这是一种很明显的缺点)。为了消除在基本 DTL 单块微电路中所存在的某些问题, 尝试了几种改革。其中大多数都利用了单块电路结构中关于“晶体管是便宜的”的理论。

图 1-25 (B) 示出了一种经过修改的 DTL 电路, 它是用一个中间晶体管增益级来代替一个补偿二极管而得到的。在附加了发射极输出器级 (Q_1) 之后, 就比基本的 DTL 电路具有以下优点:

- 它排除了在带有快输入二极管的同一单块芯片上制造低速、高存储电荷二极管的必要性。
- 它排除了负电源的必要性。
- 它提供了更快的开关时间。 Q_1 的集电极与一个抽头电阻器 (R_1 与 R_2) 相连接, 这就防止了晶体管进入饱和状态。当输入处于低状态时, 无须高输入电流发射极输出器就能对输出晶体管 Q_2 提供附加的驱动电流。对输出晶体管的额外驱动导致使用较小的基极电阻器 R_3 , 并放宽了对输出晶体管 β 的要求。

从直流的观点来说, 输出集电极电阻器 R_4 之所以需要, 仅仅是为了对输入二极管漏泄电流和噪声提供防御; 因此, R_4 应当尽可能地大以便把集电极的饱和电流减小到最低程度。然而, 要获得较好的开关时间, R_4 却应当低到足以对输出负载电容提供必要的充电电流, 而输出负载电容是由电路输出电容、系统布线电容以及由输出端数倍增了的输入门电容组成的。这个电容驱动问题要求在功率与输出端数或速度之间进行通常的设计折衷。

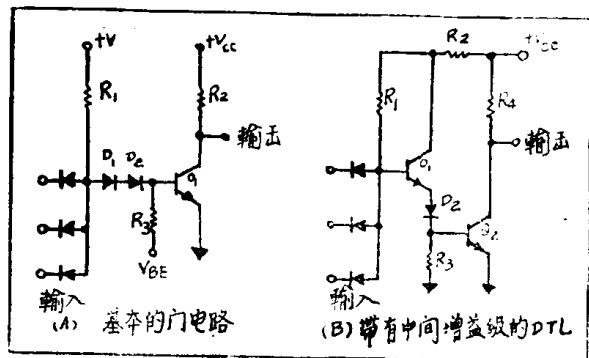


图 1-25 DTL 门电路。

6. 晶体管-晶体管逻辑电路 (TTL)

晶体管-晶体管逻辑电路 (TTL) 如图 1-26 (A) 所示, 这种电路在某些方面与 DTL 电路相似。在发展 TTL 时, 利用了以晶体管代替二极管这个经济上的可能性, 同时也解决了电容负载问题。输入晶体管在开关时间方面与 DTL 的二极管输入相比较有着重大的优点。分相驱动器和推挽缓冲输出电路的附加对电容负载提供了良好的噪声抑制和驱动性能。

如图 1-26 (B) 所示, 输入端 A 或 B 上的低压将使电流流过与低输入有关的二极管, 因而没有驱动电流通过二极管 D_3 。当输入 A 和 B 升到高压时, 驱动电流就将通过二极管 D_3 。

如图1-26 (C) 所示, TTL电路的多发射极晶体管起着和DTL电路中的二极管相同的作用。但是, 多发射极晶体管的晶体管作用能导致晶体管 Q_1 更迅速地关断, 这样, 就提供了比DTL电路更好的固有开关时间。

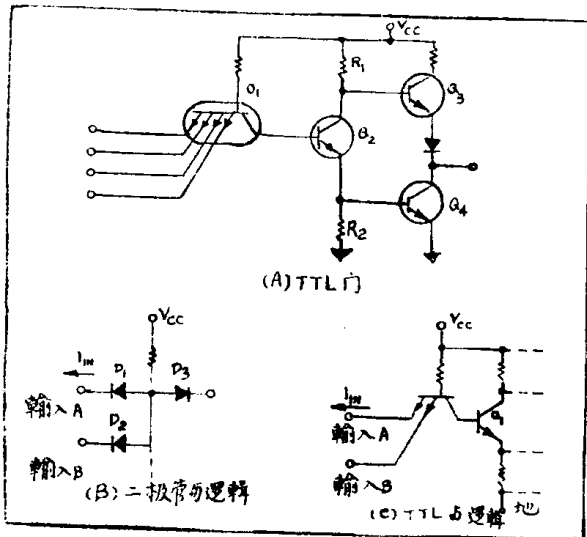


图1-26 TTL电路。

当TTL电路的输入高时, 在输入晶体管的发射极与集电极之间有一个反向晶体管作用。如果每一个发射极与电位稍有差异的不同驱动源相连接, 那末漏泄电流就增大并从基极驱动转到其它类似的门上去。这与DCTL电路中的电流错乱问题相类似。但不同于DCTL电路中的电流错乱, TTL构造工艺过程能对这个效应提供独立的控制。通过采用特殊的几何图形技术和最佳化的扩散程序, 反向 β 可保持在小于1的数值, 于是, 输入漏泄电流就降低到一个可以接受的数值。对比一下, TTL的最大输入漏泄电流大约为10微安, 而DTL则是5微安。

虽然多发射极晶体管不是一种普通的分立元件, 但它却确实是一种在经济上划得来的单块电路元件。先扩散一个共集电极槽, 又在集电极中扩散一个共基极, 然后把发射极扩散到基极中去。其优点之一是在单位面积中可获得较多的电路, 从而, 每个芯片上将会有较多的电路。同时, 较小的几何图形又导致了另一个技术上的优点——面积较小则电容较低, 从而速度较快。

参见图1-26 (A), TTL构形使用了这样一种电路, 这种电路具有非常低的输出阻抗, 以获得大容量驱动能力、高输出端数和良好的抗扰性。当电路的各个输入高时, Q_2 和 Q_4 就被“接通”成接地的发射极放大器。晶体管 Q_3 及其发射极二极管都受到轻微的正向偏置, 但只传导极微量的电流。当其中一个

输入低时, Q_2 和 Q_4 都被切断, Q_3 就以发射极输出器的方式导电。于是, 通过晶体管的“接通”, 输出就被推挽。

如同在其它逻辑构形中那样, 在这里也制定了几个功率-速度折衷方案。选择特殊的 R_1 数值以便给出尽可能低的功率耗散, 而对 R_2 则选择适当的数值以使输出晶体管 Q_3 具有良好的关断开关时间特性。多发射极晶体管 Q_1 的用途是在输入电压减弱时把 Q_2 的基极的存储电荷引出来。

7. 发射极耦合逻辑电路 (ECL)

一种对高速度应用有效的非饱和型逻辑电路就是发射极耦合逻辑电路, 见图1-27。如果令晶体管在有源区中工作并防止它们进入饱和态, 那末它们的开关时间就能够大大缩短。典型的ECL电路设计有一个差动输入放大器, 并在一侧有并联的晶体管门。在另一侧上的基准输入电压(V_{REF})限定了电路的逻辑电平。差动输入电路之后接有发射极输出器, 提供互补输出。

当输入A和B的电压低于基准电压时, 输出C处于“低”逻辑电平, 而 \bar{C} 处于“高”逻辑电平。当A或B的电压超过 V_{REF} 时, 输出C就变到“高”逻辑电平, 而 \bar{C} 则变到“低”逻辑电平。用限定的信号摆动使晶体管保持在非饱和状态就可获得高速度, 而噪声抗扰性则取决于输出电压范围以及“1”和“0”电平相对于基准电压的对称性。

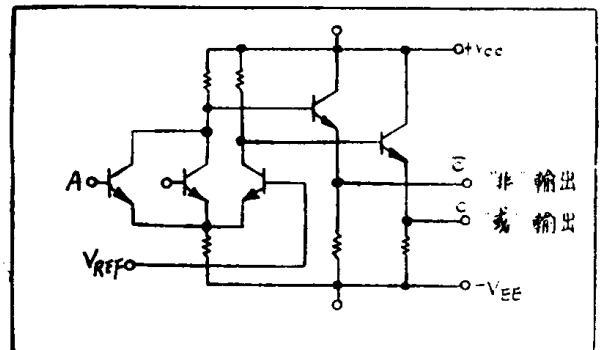


图1-27 ECL门。

发射极输出器的各个输出用于提供高输出端数以便恢复直流电平和驱动接在终端上的或恒定阻抗匹配的线。这是对以2毫微秒量级的传播速率操作的一个明确的要求。

传播延迟在1—2毫微秒范围的ECL型单块电路已为人们所知悉, 最大传播延迟为3—10毫微秒的电路现在也有了。由于必须考虑许多相关联的变量, 所以ECL电路的实际设计比饱和电路的设计要复杂一些。同其它的逻辑电路族一样, 当开关速度减小

时，功率要求就增大。各个族的电参数的范围将在后面介绍。

二、数字电路参数的定义

1. 概述

在选择一个单块微电路之前，必须了解几个参数。当使用微电路时，设计工程师实际上是用一组辅助系统进行工作，并且将采用略为不同于用分立元件进行设计时所用的参数。本章只对用来表征数字微电路的各个参数下定义，而不涉及逻辑设计的原则。

目前，在微电路特性、参数和符号等方面几乎还谈不上什么标准化。电子工业协会（EIA）制定了一个半导体微电路逻辑门电路的对照表。这是单块微电路规格标准化的初次尝试。他们发现不可能对所有的逻辑族得到一个通用的规格。因此，他们为微电路数据表列举了必要的参数，并对 DCTL、RTL 和 RCTL 族提出了推荐的测试条件。以此对照表作为参考，本章将讨论放宽用于选择单块微电路的某些参数的定义的问题。

2. 逻辑元件

用来执行逻辑功能的基本逻辑元件是“与”门、“或”门、和“非”门。“非”门通常和“与”门或“或”门一起使用，从而形成“非与”元件和“非或”元件。另一种用于逻辑设计的元件就是称为双稳态多谐振荡器或触发电路的存储元件（或记忆元件）。基本逻辑元件的符号如图 1—28 所示。

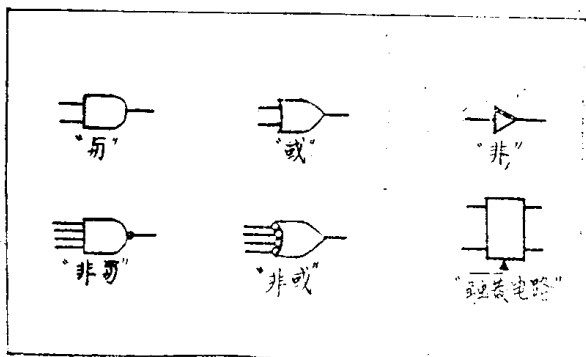


图 1—28 逻辑元件。

3. 逻辑定义

有二种可能的逻辑指定，即正逻辑或负逻辑，可以用来执行布耳（Boolean）函数。对正逻辑而言，逻辑“1”由“高”电压电平表示，逻辑“0”由“低”电压电平表示。负逻辑的表示方法则与此相反。下面是逻辑指定表。

逻辑指定	二进制电压电平	
	“0”	“1”
正	低	高
负	高	低

4. 输出端数

输出端数就是可以由一个单的输出驱动的负载的数目。一般地说，最大输出端数在制造厂的数据表中以符号“N”表示。在系统设计中，有必要根据一个单的输出所能供给或耗散的输出电流来更好地规定电路的输出端数。例如，一个典型的 TTL 门的最大输出端数可用 $N=10$ 来表示。这个输出端数反映了一个单的输出在逻辑“0”电压电平下对 10 个相同的门耗散电流和在逻辑“1”电压电平下对 10 个相同的门供给电流的能力。在典型的 TTL 族中，这意味着一个单的门能够耗散 16 毫安的负载电流和供给 100 毫安的负载电流。当二个不同的族（DTL 与 TTL）对接时，根据电流来规定输出端数是非常重要的。

总之，一个单的输出端数取决于被驱动的负载或电路对输入电流的要求，并且用可以和一个单的输出相连接的等效器件来表示。

5. 输入端数

输入端数就是对一个逻辑门元件的输入的数目。一些器件由于具备附加扩展电路的条件而有增大了的输入端数；输入端数也可以通过组合逻辑电路来增大。在使用大多数的单块微电路时，出于对噪声的考虑，不提倡用“引线接通”或“扩展输入”来增大器件的输入端数。

6. 级联数目

级联数目就是可以用于时钟触发电路之间的串联门的最大数目。级联参数不是用来表征电路特性的，但在系统设计中是一个重要的规定。这个参数并不列在数据表中；而是用传播延迟时间这个参数来确定给定频率下所要求的串联门的数目。图 1—29 示出了说明最大级联数目的典型曲线。

7. 传播延迟

传播延迟就是在确定数字电路的操作速度中应用最广泛的一个参数。虽然某些电路的速度是用延迟和转移时间来表征的，但传播延迟却正在成为一个更可接受的定义。传播延迟时间是输出端数和输出所驱动