

超大规模集成电路

——系统和电路的设计原理

高德远 康继昌 编著

西北工业大学出版社

内 容 简 介

本书系统地介绍了超大规模集成电路专用芯片(VLSI ASIC)系统设计原理。内容有器件及电路的性能和工艺技术、电路版图布局、设计工具、设计方法学等,以nMOS和CMOS为主,配有实例研究和图形说明。较详细地介绍了美国大学流行的VLSI-CAD Tools的Magic系统。

本书可作为高等院校有关专业高年及学生或研究生自专业或选修课教材及参考书。也可供从事计算机、电子、微电子等有关行业的科研及工程技术人员参考。

超 大 规 模 集 成 电 路

——系统和电路的设计原理

编 著 高德远 康继昌

责任编辑 王俊轩

责任校对 樊 力

西北工业大学出版社出版发行

(西安市友谊西路127号)

陕西省新华书店经销

空军导弹学院印刷厂印装

ISBN 7-5612-0267-9/TP·44

开本787×1092毫米1/16 18.5印张 443千字

1989年12月第1版 1989年12月第1次印刷

印数: 1—1000册 定价: 9.50元

前 言

自从1958年美国TI公司试制成第一块集成电路(IC——Integrated Circuit)以来,30年中IC发展之迅速令人瞠目。从小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)以至发展到现在的超大规模集成电路(VLSI)。IC的生产已发展成为新兴的支柱工业,并且继续保持着发展的势头。首先,集成度迅猛增长,70年代,集成度每年增长100%,80年代每年增长率为50~60%。目前已经能够在一片芯片上集成几百万个元件,美国、日本、西德已经研制成4M位、16M位的DRAM。尽管现有工艺日渐逼近物理极限;但预计,90年代集成度增长仍可达到25~30%。因此,国外预测到2000年将可在一片芯片上集成10亿个晶体管。其次,IC产量和产值急剧增长。IC产品已在各行各业、各个部门得到了广泛的应用。据国外发表的统计,1986年IC销售额已突破200亿美元。而1987年全世界半导体集成电路的销量达320亿美元,比1986年增长22%。IC工业格局也在发生巨大的变化,已形成了大批量生产的传统IC和半定制性质多品种小批量生产的ASIC两大产品阵营。ASIC是英文Application Specific Integrated Circuit的缩写,称为专用集成电路。自70年代末80年代初出现以来,ASIC在产量、产值、集成度和价格上飞速发展。目前已成为一种十分重要的IC。不少人预言未来的超大规模集成电路的市场将属于ASIC。随着ASIC的广泛应用,芯片设计已经不再是集成电路行业单独所能包揽胜任的了。由于芯片内电路的规模越来越大,线路越来越复杂,已能够实现将一个电子系统集成在一片芯片之中。集成电路专家很难应付各种用户的要求。ASIC技术的特点是提倡用户自行设计IC。国外IC界人士普遍认为,自行设计ASIC是电子、信息业发展的方向。国外许多集成电路工厂向用户开放,接受用户自行设计的芯片版图进行专用芯片的加工。过去电子专家只能利用传统通用集成电路来设计制造他们的电子产品。现在只要掌握了VLSI设计技术,他们就可以设计自己的专用芯片;原来安装在一块印刷电路板上的电路,现在可以做在一块芯片里。从而大大缩小整机的体积、降低功耗、增加可靠性与保密性,还可节省装配成本。在芯片内部,电路的连线很短,分布电容很小,驱动功率可以很小,因而电路可以做的很小。电路小意味着电子惯性小,工作速度随之提高。一句话,现代电子产品要提高性能,降低价格,更新换代,很重要的一条、就是要依靠VLSI技术,要求电子产品设计师自己设计ASIC芯片。

读者不禁要问:VLSI这样复杂的高技术,能很快掌握吗?回答是肯定的。这是因为:美国的Mead和Conway^[1]在1980年提出了VLSI的设计和生产的分离原则,指出VLSI设计者可以不必详细了解半导体生产工艺,就可以设计自己所需的电路版图。其次,近年来已经开发了不少性能良好的VLSI计算机辅助设计(CAD)软件包,国外称为设计工具包(Design Tools)。这些软件包为各种电子行业的工作者设计VLSI提供了极大的方便。

然而,VLSI设计毕竟是相当复杂的技术,涉及电子学、数字逻辑、计算机系统结构、程序设计语言、计算机图形学、半导体工艺等多门课程,需要广泛的知识。本书试图向读者介绍设计VLSI所必需的各种基本知识、基本原理;在此基础上,介绍一些实用的VLSI

CAD软件包。希望读者配合必要的实际操作练习，即能较快地学会使用CAD软件包，去设计自己的各种专用芯片。

本书主要是为计算机专业高年级学生或研究生编写的。读者应该已经掌握了电子学、数字电路、计算机原理、计算机语言等方面的知识。其他电子专业的本科生、研究生，只要具备上述课程的基本知识，也可选用本教材。此外，本书也可供各种电子行业的设计师、工程技术人员参考。

目 录

1. 绪论	1
1.1 集成电路的发展和意义	1
1.2 超大规模集成电路的优点	3
1.2.1 降低生产成本	3
1.2.2 提高工作速度	3
1.2.3 降低功耗	4
1.2.4 简化逻辑电子线路	4
1.2.5 优越的可靠性	4
1.2.6 体积小重量轻	4
1.2.7 缩短电子产品的设计和组装周期	4
1.3 集成电路工艺分类	5
1.4 集成电路的规模	6
1.5 ASIC技术的发展	7
参考文献	8
2. MOS器件和电路	9
2.1 MOS晶体管	9
2.1.1 增强型nMOS晶体管的基本工作原理	10
2.1.2 nMOS晶体管的伏安特性	12
2.1.3 阈值电压	14
2.1.4 pMOS晶体管	15
2.1.5 MOS晶体管的工作速度	15
2.2 nMOS基本电路	16
2.2.1 nMOS反相器	16
2.2.2 超驱动器	20
2.2.3 传输门	21
2.2.4 传输门后的反相器设计	22
2.3 CMOS基本电路	24
2.3.1 MOS开关	24
2.3.2 MOS开关的组合逻辑	25
2.3.3 CMOS反相器	26
2.3.4 CMOS组合逻辑门电路	29
2.3.5 CMOS多路开关	31
3. 集成电路的制造	32

3.1 概述	32
3.2 集成电路制造的基本工艺	32
3.2.1 掺杂工艺	32
3.2.2 氧化工艺	35
3.2.3 淀积工艺	36
3.2.4 光刻工艺	36
3.2.5 清洗技术	38
3.2.6 纯化技术	39
3.3 nMOS 集成电路加工过程	39
3.4 CMOS 加工过程	41
3.4.1 p阱CMOS 工艺	41
3.4.2 n阱CMOS 工艺	43
3.4.3 CMOS工艺中的衬底接触	44
3.5 成品率	44
3.6 集成电路经济分析	45
参考文献	48
4. MOS 电路基本特性和性能分析	49
4.1 电阻估算	49
4.1.1 方块电阻 $R_{\square}$	49
4.1.2 非矩形导体电阻计算	50
4.1.3 MOS管沟道电阻计算	51
4.2 MOS器件的电容	51
4.2.1 导电层的面电容(Area Capacitance)	51
4.2.2 互连线电容	54
4.3 延迟时间 τ	55
4.4 反相器延迟	56
4.4.1 nMOS反相器延迟	56
4.4.2 CMOS反相器延迟	56
4.5 多晶硅长线的影响	58
4.6 导电层的选用	59
4.7 大电容负载的驱动	60
4.8 噪声容限	62
4.9 电源功耗	63
4.10 体硅 CMOS 的可控硅门锁效应	64
4.10.1 门锁效应的起因	61
4.10.2 门锁效应的控制	66
4.11 CMOS和 nMOS 的比较	67
4.12 MOS 电路的按比例缩小原理	69
4.12.1 按比例缩小的 CE 理论	69

4.12.2 按比例缩小CE 理论的局限性	71
参考文献	74
5. MOS电路设计过程	76
5.1 MOS 电路掩模层的表示方法	76
5.2 条形图	77
5.2.1 nMOS 设计	78
5.2.2 CMOS设计	79
5.3 设计规则	80
5.3.1 基于 λ 的设计规则	81
5.3.2 双层金属 MOS 工艺规则	83
5.3.3 基于 λ 的 CMOS工艺设计规则	84
5.4 条形图到版图的转换	86
5.5 电源(V_{DD})和(V_{SS})地线的电流限制	87
5.6 简单 MOS 电路版图布局	87
5.6.1 反相器版图	87
5.6.2 二输入与非门布局图	91
5.6.3 二输入或非门版图	92
5.6.4 传输门版图设计	94
5.6.5 CMOS逻辑门电路的版图设计	95
5.6.6 布线策略	97
5.7 局部版图设计应注意的若干问题	97
参考文献	100
6. 电路设计及优化	101
6.1 CMOS逻辑结构	101
6.1.1 全互补型静态CMOS逻辑	101
6.1.2 伪nMOS逻辑	102
6.1.3 动态CMOS逻辑	104
6.1.4 时钟CMOS逻辑	106
6.1.5 多米诺CMOS逻辑	107
6.1.6 级联电压开关逻辑	108
6.1.7 CMOS 逻辑结构比较	110
6.2 时钟策略	111
6.2.1 总线的预充电	111
6.2.2 nMOS动态电路	112
6.2.3 CMOS伪二相时钟电路	114
6.2.4 CMOS二相时钟电路	119
6.3 压焊块输入输出电路(I/O Pad)结构	123
6.3.1 输出压焊块(output pad)电路结构	125
6.3.2 输入压焊块(input pad)电路结构	125

6.3.3 三态和双向压焊块电路结构	128
6.4 设计优化	129
6.4.1 逻辑门电路的优化	129
6.4.2 晶体管的串、并联影响	130
6.4.3 体效应(body effect)	132
6.4.4 源-漏电容	134
6.4.5 电荷再分配问题	135
6.5 版图设计的优化	136
参考文献	140
7. 设计方法学和设计风格	141
7.1 VLSI 系统设计策略	141
7.2 设计风格	142
7.2.1 概述	142
7.2.2 三种设计风格的比较	143
7.3 门阵列	144
7.4 标准单元	147
7.5 手工布图设计法	149
7.6 符号布图设计法	149
7.6.1 固定网格符号布图法	150
7.6.2 栅阵列布图方式	150
7.7 可编程逻辑阵列——PLA设计方式	153
7.7.1 PLA 基本结构	153
7.7.2 nMOS PLA电路结构	154
7.7.3 CMOS PLA电路结构	156
7.7.4 PLA 的化简优化	157
7.8 可编程阵列逻辑——PAL	160
7.8.1 PAL 的基本结构	160
7.8.2 PAL 的逻辑电路结构	163
7.8.3 PAL 的设计编程	165
参考文献	166
8. 超大规模集成电路计算机辅助设计工具与环境	168
8.1 概述	168
8.2 VLSI 设计工具包	169
8.3 VLSI 设计环境	170
8.4 一个 VLSI CAD 系统实例	171
8.4.1 CAD 系统概述	172
8.4.2 CAD 系统功能介绍	173
8.5 集成电路通用分析程序——SPICE	176

8.5.1 SPICE 的功能	176
8.5.2 SPICE 中的 MOSFET 模型	177
8.5.3 SPICE 运用实例	179
8.6 CIF 语言	185
8.6.1 CIF 的用途	185
8.6.2 CIF 基本命令	186
8.6.3 CIF 应用实例	189
参考文献	191
9. Magic——交互式 VLSI 版图编辑系统	193
9.1 概述	193
9.2 Magic 的新特性	193
9.2.1 设计规则检查	193
9.2.2 自动布线	194
9.2.3 推犁功能	195
9.2.4 电路提取	196
9.2.5 良好的用户界面	197
9.2.6 工艺独立	197
9.3 Magic 的数据结构与设计方式	198
9.3.1 Magic 的数据结构	199
9.3.2 版图的逻辑掩模层表示法	200
9.4 Magic 的操作命令	201
9.4.1 基本着色和选择命令组	202
9.4.2 高级着色命令组	206
9.4.3 层次式单元操作命令组	209
9.4.4 多窗口显示命令组	212
9.4.5 设计规则检查命令组	214
9.4.6 连网连线命令组	215
9.4.7 电路提取命令组	221
9.4.8 CIF 和 Calma 格式转换命令	224
参考文献	226
10. 实例研究	227
10.1 加法器	227
10.1.1 组合逻辑加法器	227
10.1.2 传输门加法器	230
10.1.3 先行进位加法器	231
10.2 二进制计数器	235
10.3 乘法器	236
10.3.1 阵列式乘法器	236
10.3.2 流水线乘法器	238

10.4 除法器.....	242
10.5 四位二进制数比较器.....	244
参考文献.....	247
11. VLSI 的新发展.....	248
11.1 砷化镓(GaAs)VLSI 工艺.....	248
11.1.1 新一代半导体材料的崛起.....	248
11.1.2 GaAs 器件.....	250
11.1.3 GaAs 电路设计方法.....	255
11.1.4 GaAs MESFET 微米设计规则.....	257
11.1.5 GaAs 器件模型和性能分析.....	259
11.1.6 GaAs 逻辑电路形式.....	262
11.2 集成电路 制造工艺的发展.....	264
11.2.1 立体结构.....	264
11.2.2 绝缘衬底上的硅技术(SOI).....	267
11.2.3 壕沟隔离(trench isolation).....	269
11.3 系统集成和整片集成.....	270
11.3.1 系统集成.....	270
11.3.2 超高速集成电路计划.....	271
11.3.3 硅的整片集成(WSI: Wafer Scale Integration).....	272
参考文献.....	273
附录.....	275

1. 绪 论

1.1 集成电路的发展和意义

当今电子手表、袖珍计算器等电子产品已是普通的日常生活用品了。人们对集成电路(简称IC)已不感生疏。可是,当他们了解到,在几个平方毫米面积的芯片上集成了成千上万个晶体三极管,莫不对其加工的精细感到惊奇。

现在已能做到:在几十个平方毫米面积的芯片上,集成上百万个三极管,而且这仅仅是在30年间、特别是近20年间发展起来的。

集成电路所以能如此迅速地发展,盖由于其巨大的经济效益。在美国和日本,已经形成了每年数十亿美元的微电子市场^[2]。为了竞争市场,许多工业发达国家争相投资,对微电子这项高技术进行开发。大批专家在围绕仅仅几克重的芯片进行研究,以进一步挖掘其惊人的潜力。

读者不禁要问:巨大的微电子产业是怎样发展起来的?

1958年前后,美国Robert Noyce和Jack Kelby两人几乎不约而同地发明了集成电路技术。这说明集成电路的发明有其必然性,是半导体技术进一步发展的必然结果。

平面加工技术本来用于制造晶体三极管。在一块硅片(Wafer)的表面上,按照设计要求,反复地进行氧化、光刻、扩散……等工艺加工,称为平面加工技术。硅片的面积从最初的直径为2in(50mm)、3in(75mm),发展到5in(125mm)、6in(150mm),目前已能生产直径为8in(200mm)的单晶硅片。早期制造三极管是在基极的两边做上发射极和集电极,三极管只能一个一个地做,生产效率很低。采用平面加工技术后,加工总是在硅片表面进行,成千上万个三极管可以一起加工出来,实现了大规模生产。三极管做好以后,硅片分割成许多小片,每片包含一个三极管,用外壳封装好,即成为分离式的三极管元件。

集成电路的发明在于:硅片内的电路不再以三极管为单位,而是以功能电路为单位。若干个三极管为一组,互连成门电路、触发器等功能电路,这就是集成电路(见图1-1)。互连线的加工方法和三极管是类似的,几乎是在加工三极管时附带完成的。电路加工好以后,硅片按组(功能电路)分割,每块芯片内含有一个功能电路。封装好以后就成为集成电路组件。相对于后来的大规模集成电路,早期的集成电路都是小规模。但集成电路的发

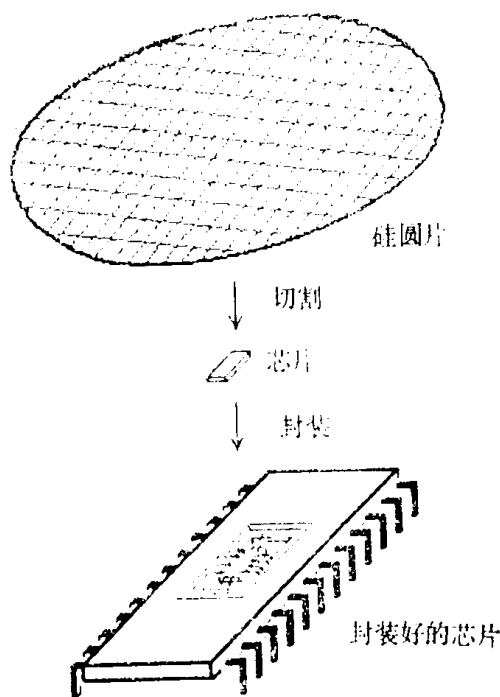


图 1-1 芯片的切割、封装

明意义重大，它是微电子技术发展史上一次重大的突破。

集成电路的发展并不是一帆风顺的。初期集成电路的合格率较低，生产成本较高，尚难和分离式元件竞争。经过10年左右的改进，才开始有较大规模的集成电路出现。但是一旦技术成熟，集成电路的规模就迅速发展起来。

表1-1 给出了微处理器的发展情况。

表 1-1 微处理器的发展情况

年 份	型 号	说 明
1971	INTEL 4004	4位微处理器
1972	INTEL 8008	8位微处理器
1978	INTEL 8086	16位微处理器
1980	INTEL 80186	16位微处理器
1983	INTEL 80286	16位微处理器
1985	INTEL 80386	32位微处理器
1989~90	INTEL 80486	面向人工智能的微处理器

最早的微处理器是INTEL公司1971年推出的pMOS工艺的4位微处理器4004。次年又推出8位微处理器8008。1978年推出的16位微处理器 INTEL8086用 nMOS 工艺制成，至今仍在广泛应用。现在已经有了32/64位浮点运算的高速微处理器以及面向人工智能的微处理器了。

表1-2给出了半导体存贮器的发展情况。

早期的半导体存贮器生产成本高，价格比磁心存贮器贵，发展缓慢。自1975年以后，半导体存贮器的规模几乎每隔2年翻二番，而价格迅速下降，很快就压倒了磁心存贮器。现在的计算机几乎毫无例外地采用半导体存贮器。过去计算机的内存贮器容量只有几十K字节，现在已做到高达几十M字节，上百M字节。

图1-2中的两条曲线分别表示微处理器和半导体存贮器每块芯片中所含三极管的数目。由图可见，在过去的20年内，计算机随着微电子技术一起突飞猛进地发展。可以说，计算机的体积成万倍地缩

小，成本成万倍地下降，可靠性成万倍地提高，功耗成万倍地减小。美国1946年制成的世界上第一台计算机ENIAC有18000个真空管，占地300m²；而1978年推出的Z8000微处理器有17500个三极管，仅占芯片面积3.9mm²。

微处理器的体积如此之小，价格又如此便宜，工作又极为可靠，这就扩大了它的应用

表 1-2 半导体存贮器的发展情况

年 份	每片信息量(位)
1975	1K
1977	4K
1979	16K
1981	64K
1983	256K
1985	1M
1987	4M
1989	16M

范围。除了科学计算之外，在过程控制、机器人、自动化智能仪表，办公自动化设备、以至钟表、玩具、照相机、洗衣机等家庭用具之中，都有微处理器的用武之地。微处理器新的应用还不断涌现。

微处理器的广泛应用，使它的产量大增。集成电路的产量越大，它的成本就越低，促使微处理器更加广泛的应用。

在复杂的电子产品中，如通讯、导航、雷达等设备中，也都在利用VLSI技术，使产品更新换代；体积、功耗减小，性能、可靠性提高。

计算机和电子专业的学生为什么要学习“VLSI设计”这门课程呢？我们早已熟悉了各种型号的集成电路组件，例如Z80-CPU，INTEL 8086-CPU等，但不一定想到要去设计它们，似乎那是集成电路工厂的事。现在情况已经有了很大的变化。

随着ASIC的兴起、发展和广泛使用，半导体厂提倡用户自己设计芯片，接受用户委托的VLSI加工任务。这就使计算机专业人员有了新的用武之地。在美国，许多计算机公司为了计算机更新换代，雇用了大批VLSI设计工程师，自己设计新的组件。据DEC公司的估计，自己设计可节省20%的时间。计算机的生产过程正在发生变化。采用VLSI技术以后，计算机的装配生产线可以压缩。也就是说，VLSI设计工程师可以取代生产线上的工人。于是，现在美国大学的计算机专业和电子专业，普遍开设“VLSI系统设计”课程，以满足社会上的需要。在我国，随着微电子工业的发展，对VLSI设计工程师的需求也会越来越迫切。这就是学习本课程的目的。

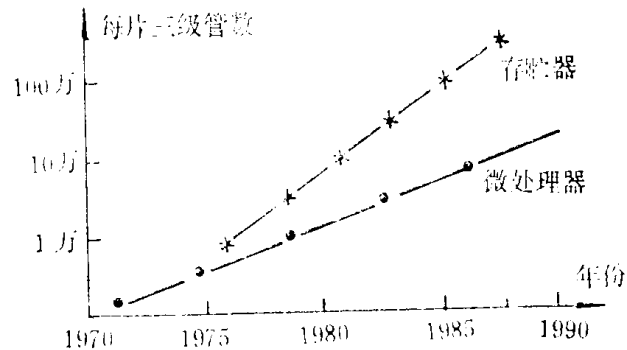


图 1-2 VLSI的发展

1.2 超大规模集成电路的优点

1.2.1 降低生产成本

用VLSI来组装电子产品可以大幅度地减少印刷电路和接插件，减小体积重量，降低装配和调试费用。台式计算器发展成为目前的单片LSI袖珍式计算器，既便于携带使用，价格又降低了一二个数量级，达到了价廉和物美双重的效果，充分说明了VLSI的巨大经济效益。价廉物美的电子手表是LSI造福于人类生活的又一生动例子。在航空、航天领域内，电子设备的体积重量更具有重要意义；VLSI还能对降低雷达、导航、计算机、飞行控制等各种电子设备的成本作出贡献。

1.2.2 提高工作速度

VLSI能够提高电路的工作速度。通常数字电路提高速度要以增加功耗为代价。VLSI则不然，由于芯片内部连线很短，从而缩短了延迟时间。更重要的原因是由于电路在芯片内部，不易受外部干扰的影响，三极管的负载极轻，其体积可以做的很小。连线的

分布电容和三极管的极间电容都减小了。电路工作速度的提高是依靠减小尺寸取得的。对于数字电路来说,我们需要的是它所表示的信息,而并不需要它的功率。从原理上讲,数字电路可以做得越小越好。现在VLSI加工的技术越来越精细。线条的宽度从5微米、3微米,逐步降低到1微米,目前,国外的半导体工艺加工技术已达亚微米。其目的—是为了提高芯片的规模,而更重要的是为了达到更高的工作速度。

1.2.3 降低功耗

芯片内部电路尺寸很小,连线短、分布电容小,驱动电路所需的功率也就随之下降。芯片内部的电路受外界干扰较小,就可以采用较低的电压,这也可以降低功耗。降低功耗的目的不仅是为了节省电能,更重要的目的是为了提髙芯片的规模。这是因为芯片的规模往往受功耗的限制,过高的功耗会使芯片发热而损坏。芯片的规模提高,可以使整个电子系统做在一块芯片内。这比分成几块较小规模的芯片来说,速度要快的多。

1.2.4 简化逻辑电子线路

芯片内部的电路的干扰很小,电路就可以简化。例如,单个的三极管在VLSI芯片中可以当作一个开关来利用,而在分离元件电路中一般较难实现。又如,对于分离式电路,门电路要有输入放大级才能和别的电路相连;而在VLSI芯片内部,门电路之间往往可以直接互连,节省了放大电路。而且,除金属线外,多晶硅、扩散层(P型硅或N型硅)都可以用来连接电路。

1.2.5 优越的可靠性

大量分离式元件装配在印刷电路板上,往往发生虚焊或接触松动而造成故障。这种故障往往难以发现,给维护工作带来极大困难。整个电子系统的可靠性通常和分离元件的总数成反比。采用VLSI后,元件数目和外部的接触点都大为减少,因而可靠性可得到很大提高。当然芯片内部互连线路同样会发生故障。但是芯片是大规模生产的,在封装前后都要经过严格测试,发现不合格的立即淘汰,只有测试合格的才能出厂。封装好的芯片内部连线的故障率是非常低的。采用VLSI后,计算机的可靠性提高了好几个数量级。这对计算机,特别是微型计算机的推广应用也起了很大的作用。

1.2.6 体积小重量轻

芯片通常只有几克重,用它做成的电子产品当然也就又轻又小。这个优点不但对航空、航天领域内的应用极端重要,即使对日常生活用品也是非常宝贵的。电子手表、袖珍计算器、自动照相机等,无不利用了VLSI的这个优点。

1.2.7 缩短电子产品的设计和组装周期

利用现成的VLSI组件来设计电子产品,当然比利用分立元件要方便的多,设计时间也可以节省。过去设计计算机中的一个运算部件,要化费许多人工,现在只要选用现成的VLSI组件就可以了。一片VLSI组件可以代替大量的元、器件,组装工作量极大地节省。许多组装生产线正在被淘汰,或者被压缩,生产的速度加快了。

在当今科学技术革命的时代里,电子产品更新换代极为迅速,计算机行业尤其是如

此。美国和日本的许多计算机工厂，都配有VLSI设计人员，自己设计新的高性能VLSI芯片，希望在竞争的市场中取胜。谁先推出新产品，谁就可以取得优势。因此，缩短设计和组装周期有着很重要的作用。

1.3 集成电路工艺分类

集成电路的工艺有很多种类，最主要的有：

MOS (Metal-Oxide-Semiconductor) 金属氧化物半导体

TTL (Transistor-Transistor-Logic) 晶体管-晶体管逻辑

ECL (Emitter-Coupled-Logic) 发射极耦合逻辑

MOS工艺最为简单，功耗低，占芯片面积小(按单个门电路计)，可以做成较大的集成规模。可是缺点是工作速度较慢。

TTL，尤其是ECL工艺，可以做到较高的工作速度，可是工艺较复杂，占芯片面积较大，功耗也大，规模不易做到MOS工艺那么大。

MOS工艺有一个发展过程，主要有以下三种：

pMOS p沟道MOS

nMOS n沟道MOS

CMOS 互补型MOS

pMOS在MOS工艺中又是最为简单，所以最早得到应用。nMOS三极管中利用电子导电，由于电子的迁移率比空穴大二倍多，在同样的条件下，nMOS工艺可以比pMOS做到更高的工作速度。此外，nMOS中所用的N扩散层比pMOS中所用的P扩散层导电性能好的多，用作芯片内部连线时，同样的电阻值，其长度更长一些，因而更适宜于制作规模较大的芯片。随着技术的进步，pMOS工艺很快被nMOS所取代。

技术进一步发展出现了CMOS工艺。它兼收nMOS和pMOS两种工艺之长，包含了两种工艺，因此工艺最为复杂。通常在CMOS电路中成对地使用nMOS和pMOS三极管。静态时二种器件仅有一种处于导通状态，CMOS电路的功耗比nMOS电路小得多。输出电压摆幅可达到全部电源范围，抗干扰能力强，可以工作的电源电压范围和温度范围宽。现在CMOS工艺已得到广泛的应用。如电子手表、袖珍计算器普遍采用CMOS工艺。装一次电池可以使用一年以上，避免频繁更换电池之不便。

各种工艺的比较可参见表1-3。

表 1-3 各种工艺比较

	nMOS	CMOS	TTL
每门占用芯片面积(μ^2)	1000	1500	30000
每门时延(nS)	1	0.7	0.2
每门静态功耗(mW)	0.5	0.001	10
掩模数	6	8	7~8
扩散和离子注入次数	3	4~6	5

各种工艺加工的方法大同小异，都是在硅片表面进行光刻、氧化、扩散、离子注入等处理。每次处理往往要用一个掩模。例如，光刻用的掩模就是在硅片表面按一定的几何图形将不需要的部分刻掉而留下需要的部分。硅片加工的成本主要决定于加工所需掩模的数目和扩散、离子注入等加工的次数。由表1-3可见，各种工艺所需的掩模数最少是6，最多是8；扩散和离子注入的次数最少是3，最多是6。因此，不论是什么工艺，加工一个硅片所需的成本不是特别大。据资料介绍，一片3英寸硅片的加工费用大至是100美元。本书主要介绍MOS电路的设计方法。

1.4 集成电路的规模

集成电路根据不同的规模分类如下：

(1) 小规模集成电路SSI(Small Scale Integration)每片含有门电路在10~20个以下。

(2) 中规模集成电路MSI(Medium Scale Integration)每片含有门电路为10~100个或20~100个。

(3) 大规模集成电路LSI(Large Scale Integration)每片含有门电路为100~1000个或100~100,000个。

(4) 超大规模集成电路VLSI(Very Large Scale Integration)每片含有门电路在1000个或100,000个以上。

由上可见，集成电路的规模没有严格的定义。特别是VLSI的定义更含糊。往往一个芯片含有1000个以上门电路就称为VLSI。有时一个芯片含有10万个以上的门电路才能称为VLSI。这是因为10万个门电路以下的芯片，采用一般的工艺就可以了；超过10万门电路时，必须采用亚微米的新工艺。

有的作者认为，对不同的工艺应采用不同的标准。例如，对双极型(包括TTL和ECL)工艺，100个以上门电路称为LSI；而对MOS工艺，要求300个以上门电路才称为LSI。

上面都是以门电路的数目来定义。有时也可以用三极管的数目来定义。通常一个门电路相当于3~5个三极管。所以，上述门电路的数目乘以3~5，就可以用三极管的数目来定义了。

芯片的规模主要受合格率和发热的限制。一般来说，芯片的规模越大，合格率就越低，芯片的价格就越贵。另外，芯片内三极管太多，特别是双极型三极管太多，芯片将过热。标准的集成电路的封装所采用的管壳，对集成电路的功耗有一定的限制。例如塑料双列直插式管壳最大允许功耗 $P_{\max}$ 为1W；陶瓷双列直插式管壳最大允许功耗为2W。显然，芯片集成度的提高受到管壳最大允许功耗的限制。电子系统要求集成电路的工作速度尽可能高；但随之而来的是动态功耗的升高；因此，速度与功耗的性能必须最佳化。衡量集成电路优质指标的参数即为每门延迟时间(代表速度指标)与每门动态功耗(代表功耗指标)的乘积(Speed-Power Product)。

集成电路本来是作为元、器件来看待的。可是到了VLSI的规模，往往整个电子系统可以集成在一块芯片内。VLSI与其说是元、器件，倒不如说是系统或整机。因此，国外称本课程为VLSI系统设计。这意味着，本课程将涉及总体设计的技术，包括系统结构，

总体布局, 系统仿真以及经济因素分析等内容。

1.5 ASIC 技术的发展

集成电路的发展历史从应用的角度来看, 经历了标准逻辑电路(小规模到大规模集成)及通用集成电路(大规模到超大规模集成, 品种少、批量大)的阶段。70年代末80年代初美日开始发展ASIC。从1985年起, 已进入到 ASIC 阶段。意为面向特定应用的集成电路, 通称为专用集成电路或专用芯片。其特点是品种多而批量小的超大规模集成电路。ASIC的年增长率为20~30%, 目前集成电路市场的两大产品阵营中, 虽然传统 IC 的产量占80%, 但ASIC的产值却近似占50%。对于这两大类产品强弱盛衰的发展趋势, 人们预言未来的超大规模集成电路市场将属于ASIC。

随着VLSI技术的发展, 在一块芯片上已可集成一个子系统乃至全系统。用户希望能生产出他们自己设计的专为他们使用的专用集成电路, 用户已不再希望沿用传统的设计方法: 用户被动地去选用通用的集成电路芯片, 然后将它们组合在印刷电路板上, 这种方法费用高, 设计周期长, 电路性能差。如能将一个系统集成在一个VLSI芯片上, 就可克服上述缺点。当然这种芯片不再具有通用性, 而成为特殊的功能极强的专用集成电路。

ASIC面向某一特定应用或某一用户的特殊要求, 品种多、批量小、功能强, 它的出现是由集成电路的特点所决定的。集成电路技术的特点之一是与各行各业的相关度高, 几乎接近100%; 其次, 超大规模集成技术表示的是一种能力, 它的不断发展主要是取决于应用。ASIC的价格不仅由竞争决定, 而且由其所替代的电子系统的价值(包括设计思想、电路系统速度、功耗及可靠性、保密性等)所决定。因此, ASIC的发展具有广阔的前景和应用市场。

70年代末, 美国学者Mead和Conway在“Introduction to VLSI Systems”一书中提出了一个观点, 就是: 现代集成电路加工过程最重要最有用的特征是它的图案独立性(Pattern Independent), 也就是说芯片掩模版图的设计和芯片的加工过程有一条明确的分界线。两者之间只要遵守根据工艺条件约定的协议——“设计规则”就可以分开进行。设计规则与制备集成电路的特定工艺线相适应, 它给出了该工艺所具有的图形精度和分辨率, 同时还给出了设计电路时应遵守的一组所能允许的最小几何关系。有了这组设计规则, 电路设计者不需要了解具体的工艺制备细节, 就可以设计出各种各样的集成电路版图图形; 而工艺制备者不需要了解所制备电路的具体细节, 即可成功地制备出该种电路来。由此, 逐步形成了用户自行设计ASIC的发展方向。可以说Mead和Conway是用户自行设计ASIC的倡导者。

80年代初美日公司上马发展ASIC, 目前已发展成为一种十分重要的IC。ASIC的发展将引起半导体产业的深刻变革, 传统的大生产采用的单一优化工艺将改变为多功能兼容工艺。集成电路制备工厂将逐步演变成“硅片印刷厂”, 犹如印刷工厂印刷出版各种书稿一样, 提供ASIC生产服务。而大部分书稿——电路系统设计、ASIC芯片版图设计, 可由各行各业用户完成。

集成电路工业正在出现崭新的工业格局, 产品结构以及设计制造和销售手段正在发生巨大变化。传统IC公司具有丰富的设计和生产制备经验, 但公司机构重迭, 轻易不愿调