

全国电子类技工学校试用教材

# 半导体器件制造工艺

605

本书是技工学校半导体器件专业的教材，重点阐述常规半导体器件的生产工艺原理、操作要求及出现的问题，另外也适当地介绍了一些新工艺。全书共分十一章，包括工艺基础、材料制备、外延、氧化、光刻、扩散、介质膜淀积、电极制备及引线、封装、制版、超净和可靠性等内容。

本书也可作为半导体器件工厂工人考工及职业中学、职工业余学校有关专业的参考用书。

本书由白淑英、王冰如、哈长富同志主审。

全国电子类技工学校试用教材

### 半导体器件制造工艺

北京市高延仲 主编  
半导体器件二厂

\*

天津科学技术出版社出版

天津市赤峰道124号

天津新华印刷一厂印刷

天津市新华书店发行

\*

开本 787×1092 毫米 1/16 印张 14 1/2 字数 353,000

一九八二年十一月第一版

一九八二年十一月第一次印刷

印数：1—8,500

统一书号：15212·69 定价：1.22元

## 前 言

为了适应技工学校电子类专业的教学需要，不断提高技工学校的培训质量，加速实现我国的四个现代化，国家劳动总局、第四机械工业部委托北京、天津、上海三市和四川、广东两省的劳动局、电子工业主管部门，组织编写了技工学校电子类三个专业（无线电技术、半导体器件、电子计算机）的部分技术基础课和专业课十二种教材。计有：电工基础、电子电路基础、电子测量与仪器、无线电接收设备、电视机原理调试与维修、无线电整机装配工艺基础、半导体器件制造工艺、半导体工艺化学、晶体管原理、制图与钳工知识、半导体集成电路、电子计算机原理。

这套材料对于二年制（招收高中毕业生）和三年制（招收初中毕业生）的技工学校均适用。这些专业的普通课教材没有另行编写，建议采用国家劳动总局和第一机械工业部委托上海市劳动局、上海市第一机电工业局一九七九年组织编写的全国技工学校机械类通用教材中的普通课教材。我们在组织这套教材的编写时，注意到了这两套教材在内容上的衔接。

根据技工学校的培养目标和教学计划的要求，这套教材在强调加强生产实习教学的同时，注意了加强基本理论知识和对新技术、新工艺的吸收。由于技工学校在教学范围内还有许多问题需要探讨，加之这套教材还没有通过教学实践的检验，故先作为试用教材出版发行。

因为时间仓促，编写经验不足，这套教材难免存在一些问题，恳切希望广大读者批评指正，以便作进一步修改。

国家劳动总局培训司

第四机械工业部教育局

一九八一年十二月

# 目 录

第一章 半导体器件工艺概述 .....	(1)
§ 1-1 半导体器件工艺的发展及现况简介 .....	(1)
§ 1-2 半导体器件制造的工艺流程 .....	(3)
第二章 半导体材料的特点和加工 .....	(11)
§ 2-1 半导体材料的特点与加工要求 .....	(11)
§ 2-2 切片工艺 .....	(16)
§ 2-3 磨片工艺 .....	(21)
§ 2-4 抛光工艺 .....	(25)
§ 2-5 材料的损耗及提高材料利用率的途径 .....	(28)
第三章 外延工艺 .....	(31)
§ 3-1 外延生长的基本知识 .....	(31)
§ 3-2 外延生长工艺 .....	(32)
§ 3-3 硅外延生长装置 .....	(41)
§ 3-4 外延层的参数测量 .....	(43)
§ 3-5 外延层质量的讨论 .....	(47)
第四章 氧化工艺 .....	(50)
§ 4-1 二氧化硅的物理及化学性质 .....	(50)
§ 4-2 二氧化硅在器件中的作用 .....	(53)
§ 4-3 二氧化硅层的制备原理及操作实例 .....	(57)
§ 4-4 二氧化硅质量检验及工艺问题讨论 .....	(66)
第五章 光刻工艺 .....	(72)
§ 5-1 光刻工艺流程 .....	(72)
§ 5-2 光刻胶的性质 .....	(73)
§ 5-3 光刻工艺操作 .....	(77)
§ 5-4 光刻中常见问题的讨论 .....	(84)
§ 5-5 光刻新工艺 .....	(86)
第六章 扩散工艺 .....	(91)
§ 6-1 扩散原理 .....	(91)
§ 6-2 扩散条件的选择 .....	(96)
§ 6-3 扩散工艺 .....	(99)

§ 6-4 扩散参数的测量 .....	(112)
§ 6-5 扩散中常见问题的简单分析 .....	(118)
§ 6-6 离子注入技术 .....	(121)
<b>第七章 介质膜淀积工艺</b> .....	(124)
§ 7-1 常用介质膜的性质和作用 .....	(124)
§ 7-2 介质膜的制造工艺 .....	(129)
§ 7-3 介质膜的检测 .....	(140)
<b>第八章 电极制备及引线、封装工艺</b> .....	(145)
§ 8-1 蒸发工艺 .....	(145)
§ 8-2 合金及划片工艺 .....	(155)
§ 8-3 键合工艺 .....	(158)
§ 8-4 封装工艺 .....	(161)
<b>第九章 制版工艺</b> .....	(166)
§ 9-1 透镜成像的基本规律 .....	(166)
§ 9-2 对掩膜版的要求及工艺流程 .....	(170)
§ 9-3 制图与照相 .....	(171)
§ 9-4 超微粒干版、铬版、氧化铁版的制备 .....	(180)
§ 9-5 光刻掩膜版的识别 .....	(187)
<b>第十章 半导体器件的可靠性</b> .....	(190)
§ 10-1 可靠性的概念及简单计算 .....	(190)
§ 10-2 可靠性试验 .....	(193)
§ 10-3 半导体器件失效分析 .....	(199)
§ 10-4 提高器件可靠性的措施 .....	(204)
<b>第十一章 超净知识</b> .....	(209)
§ 11-1 净化标准与测量 .....	(209)
§ 11-2 过滤器与净化台 .....	(213)
§ 11-3 超净室 .....	(217)
<b>附录一 室温(300K)下锗、硅的物理性质</b> .....	(221)
<b>附录二 常用金属的主要物理性质</b> .....	(222)
<b>附录三 常用金属和合金的腐蚀剂</b> .....	(223)
<b>附录四 气体的安全使用常识</b> .....	(224)
<b>附录五 有机溶剂及酸、碱的安全使用常识</b> .....	(226)

# 第一章 半导体器件工艺概述

## §1-1 半导体器件工艺的发展及现况简介

半导体器件制造工艺有一个发展过程，当前各个工厂广泛采用的平面工艺就是从前几代的工艺中逐步演变过来的，发展过程中主要采用过下面三种方法：

**生长法** 在本世纪三十到四十年代，由于微波技术的发展，促使人们利用晶体二极管代替真空二极管，于是对半导体材料的性质及特点进行了各种研究。经过人们不断地实践和探索，开始利用硅、锗晶体的性质，采用生长法制造PN结。

这种制造PN结的方法比较原始，它是在拉制硅、锗单晶的过程中进行的。以锗单晶为例，由于熔化的晶体熔液导电类型是N型（或P型），在拉制过程中，某一时刻突然改变掺杂浓度，例如放入一定数量的受主杂质，这样已拉制好的单晶上部是N型，而下部就变成了P型，然后再将锗单晶（含有PN结的一定范围内）切成小片，制成晶体二极管，如图1-1（a）所示。

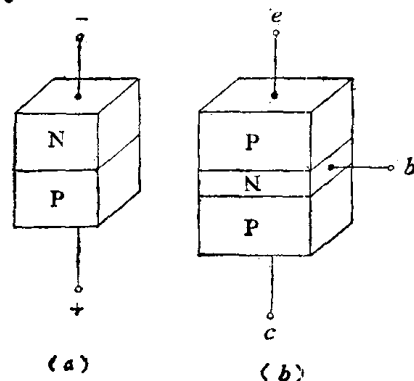


图 1-1 生长法制备PN结和晶体管

同样如将PN结的另一端也生长上掺有一定杂质的P型锗单晶，就形成了如图1-1（b）所示的PNP晶体管结构。在生长过程中，只要将N区控制得较薄，便可制成具有放大作用的晶体三极管。

**合金法** 五十年代，随着半导体材料加工工艺的发展，人们开始采用一种新的方法——合金法制造半导体器件。所谓合金法，是将一个含有受主杂质或施主杂质的小球（以受主杂质为例），放在一块N型的锗晶片上，然后将它们一起放在高温下加热，使小球熔化以合金的形式渗入锗晶片上，当整个晶片冷却以后，小球的下面就形成了P型的再结晶区，这样就得到了一个PN结，这种方法称为合金法。晶片的另一面也同样制一个PN结，于是就得到一个晶体管，如图1-2所示。

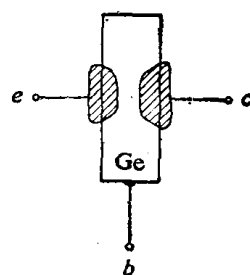


图 1-2 合金结型晶体管

合金法虽然在五十年代初期就开始采用了，但由于它有独特的好处，所以至今有些管子（如锗低频管）仍用这种方法制造。

**扩散法** 由于半导体器件应用越来越广泛，因此对其性能要求也就越来越高，上述两种制造方法有一定的局限性，例如，这两种方法都很难精确控制两个PN结的距离（基区宽度），而这个数值将直接影响晶体管的特性，于是，人们又探索另一种能够精确控制PN结位置的方法，即出现了扩散法。

用扩散法能制出基区宽度很窄的晶体管，而且基区的电阻率是不均匀的，这种非均匀基区晶体管比用合金法形成均匀基区的晶体管有更好的电特性。应用扩散法制成的台面晶体管结构如图1-3(a)所示。衬底采用N型硅片，经腐蚀后，通过扩散形成三个区，并且发射区、基区位于集电区之上。采用台面结构提高了晶体管的特性，尤其对大功率晶体管更有一定的优越性。

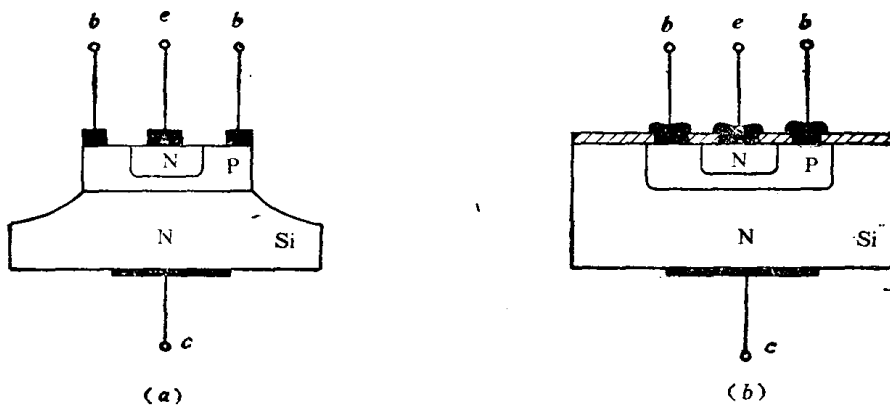


图 1-3 台面型晶体管和平面型晶体管的结构示意图

随着外延工艺和氧化工艺的出现，人们把扩散法同这两个工艺结合在一起，形成了当前比较完善的平面工艺。用平面工艺制成的管子叫平面型晶体管，如图1-3(b)所示。采用这种工艺不仅大幅度地提高了晶体管的频率和功率特性，而且也使晶体管的稳定性和可靠性有了保证。二十多年来，采用平面工艺生产的晶体管一直占主导地位，并且近些年来，超高频大功率晶体管、超高频低噪声晶体管、高反压大功率晶体管等都先后出现，使晶体管在数量、品种、质量上都达到了一定水平。

一九五九年，人们开始采用硅平面工艺生产集成电路，随后短短几年时间，中规模集成电路、大规模集成电路相继出现。近几年来，人们一方面继续向高集成化、微型化进军，同时也力求高速度、低功耗。例如，现在许多工厂正在研制各种大规模、超大规模集成电路、砷化镓器件等，同时也在研究和试制集成注入逻辑(I<sup>2</sup>L)、电荷耦合器件(CCD)等，因此，使集成电路的品种越来越多，性能也越来越完善。

集成电路的出现和发展，不仅使电子设备体积大幅度缩小，重量大幅度减轻（这对军用是很重要的），而且在性能及可靠性方面也提到了新的高度。由于大量的晶体管和各种集成电路都是采用平面工艺制造的，因此，可以说是由于平面工艺的出现，才导致了当代电子工业的高速发展。随着人们长期的实践和大量的科研，使这种工艺逐步完善，现在它不仅能适应工厂中大量生产，而且制出的器件在参数上也能满足各方面的要求。

与其它工业中的加工工艺相比，半导体器件平面工艺大致有以下三个特点：

(1) 清洁 在半导体器件制造过程中，清洁是一个极为重要的问题，它不仅关系到器件的成品率，而且还影响器件的稳定性及可靠性。因此，生产中各道工序都采取各种措施来防止灰尘的沾污，同时各工厂广泛采用超净厂房及各种超净设备来达到净化的目的。

(2) 微型 随着器件集成度的逐步提高，使得管芯的图形尺寸越来越小，目前加工的精度已达微米或亚微米的水平。因此，在制造过程中，有些工序是靠显微镜放大后加工完成的，并且加工时要求精度高，各种参数准确。

(3) 严格 半导体器件的制造是有严格的科学性的，有些工序操作很简单，但原理比

较复杂，因此，生产中要求严格按照操作工艺进行，同时还要随时进行质量检查，根据器件参数的具体数值，适当调整工艺条件以保证生产正常进行。

结合以上三点，本书对平面工艺的主要工序的原理、操作方法及出现的各种问题进行讨论，使学员全面了解和掌握半导体器件制造的工艺原理和基本操作技能，为今后的实践打下良好的基础。

## §1-2 半导体器件制造的工艺流程

不同的器件有不同的制造方法，这里讨论的是采用平面工艺制造四种典型硅器件的工艺流程：即硅平面晶体管、双极型集成电路、MOS晶体管和MOS集成电路和硅栅MOS集成电路。

### 一、硅平面晶体管工艺流程

采用平面工艺制造硅晶体管的工序过程称硅平面晶体管的工艺流程，它包括许多道工序，这里以3DK2为例，介绍一下硅外延平面晶体管的工艺流程，其操作顺序如图1-4所示（图中省略了化学清洗步骤）。

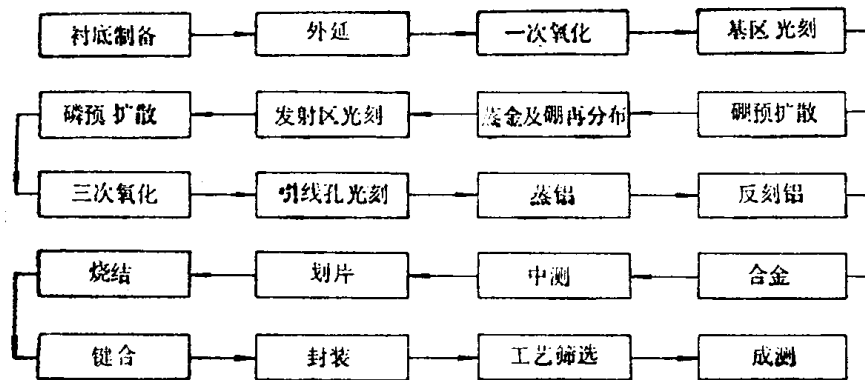


图 1-4 硅外延平面晶体管的工艺流程图

下面按各步加以说明：

(1) 衬底制备 选用电阻率 $\rho$ 为 $10^{-3}\Omega\cdot\text{cm}$ ，位错密度 $\leq 3 \times 10^3$ 个/ $\text{cm}^2$ 的 $\text{N}^+$ 型硅单晶，通过切、磨、抛获得表面光亮、平整、无伤痕、并厚度符合要求的硅片。

(2) 外延 在衬底上生长一层 $\text{N}$ 型硅单晶层，称为外延层。对不同器件外延层参数要求不同，对于3DK2开关管来说，外延层电阻率为 $0.8\sim 1\Omega\cdot\text{cm}$ ，厚度为 $7\sim 10\mu$ 。

(3) 一次氧化 将硅片在高温下氧化，使其表面生成一层厚度约为 $0.5\sim 0.7\mu$ 的 $\text{SiO}_2$ 层。

(4) 基区光刻 在 $\text{SiO}_2$ 层上用光刻的方法开出基区扩散窗口，使硼杂质通过这个窗口进入硅中。

(5) 硼预扩散 硼扩散的目的是形成基区，通常分预扩散与主扩散两步进行。预扩散是在开出的窗口内沉积上足够的硼杂质，为下步的主扩散做好准备。预扩散后一般要求方块电阻为 $70\sim 80\Omega/\square$ 。

(6) 蒸金及硼再分布 开关管需要在硅片背面蒸金，金扩散与硼主扩散同时进行。高



温下硼杂质进行再分布，同时金也均匀扩散到硅晶体中。主扩后，硼区的方块电阻要求 $180\sim 200\Omega/\square$ ，结深 $2\sim 2.5\mu$ ， $\text{SiO}_2$ 层厚度应在 $5000\text{\AA}$ 左右。

(7) 发射区光刻 刻出发射极窗口，使磷杂质沿此窗口向硅中扩散。

(8)、(9) 磷预扩散及三次氧化 磷预扩散是在开出的窗口内沉积上足够的磷原子，应具有一定的深度和浓度。三次氧化使沉积的磷杂质在高温下进行再分布，形成发射结。主扩散后测试样管，其击穿电压和直流放大倍数应符合工艺要求，例如 $\beta > 30$ 、 $BV_{cbo} > 30\text{V}$ 、 $BV_{ceo} > 20\text{V}$ 、 $BV_{ebo} > 6\text{V}$ 。

(10) 引线孔光刻 刻出基区和发射区的电极引线接触窗口。

(11) 蒸铝 采用真空蒸发方法将铝蒸在硅片上，铝层应光亮、细致、厚度符合要求。

(12)、(13) 反刻铝及合金 将电极以外的铝层刻蚀掉，刻蚀后的硅片除去胶膜，目前有些工厂将这步工艺与合金(为形成欧姆接触)同时进行，即将刻铝后的硅片放在 $520^\circ\text{C}$ 的炉内，通入氧气(或含磷蒸气的氧气)进行合金。

(14) 中测 对制好的管芯进行初步测量，将不合格的作上记号。

(15) 划片 用划片机将硅片分成小片，每片一个管芯。

(16) 烧结 烧结是利用银浆在高温下还原成金属银的方法将管芯固定在管座上，也可采用金锑合金将管芯烧结在管座上。

(17) 键合 采用硅铝丝通过超声压焊使管芯各电极与管座相连。

(18) 封装 将管芯密封在适当的管壳中，管壳的形状将根据器件的性能及要求具体选用。

(19) 工艺筛选 将封装好的管子进行高温老化、功率老化、温度试验、高低温循环试验等，从产品中除去不合格的管子。

(20) 成测 对晶体管的各种参数进行全面测量，并根据规定进行分类。最后根据不同型号进行分类打印，然后包装入库。

图1-5给出了硅平面晶体管工艺的剖面图(13~20略去)。

## 二、双极型集成电路制造工艺流程

集成电路是在平面晶体管的基础上发展起来的，发展的速度很快。集成电路大体上可以分为三类：即半导体集成电路、混和集成电路及薄膜集成电路。在半导体集成电路中又可分为：双极型集成电路和金属-氧化物-半导体(MOS)集成电路。本节以双极型集成电路为例，介绍一下它的工艺特殊性及其生产工艺流程。

### 1. 双极型集成电路工艺的特殊性

集成电路是将晶体管、二极管、电阻等元件组成的电路做在同一硅片上，和晶体管制造工艺相比，它要增加隔离扩散和埋层扩散两道工序。

(1) 隔离扩散 当许多元件做在同一N型外延层上，并且它们所处的电位又不一样时，就存在着相互绝缘的问题。在双极型集成电路的生产中最广泛采用的一种绝缘方法就是“PN结隔离”，即利用PN结的反向高阻特性来实现各元件之间的隔离。方法是把P型杂质扩入外延层，形成穿透N型外延层的P<sup>+</sup>型隔离墙，从而把外延层分成若干个彼此独立的隔离岛。电路中相互绝缘的各个元件分别做在不同的隔离岛中，其结构如图1-6所示。

图中P<sup>+</sup>型隔离墙与P型衬底是相通的，一般电路中都把隔离墙接上最低电位，这样形成PN结反向偏置，达到把各个N型岛彼此隔开的作用。

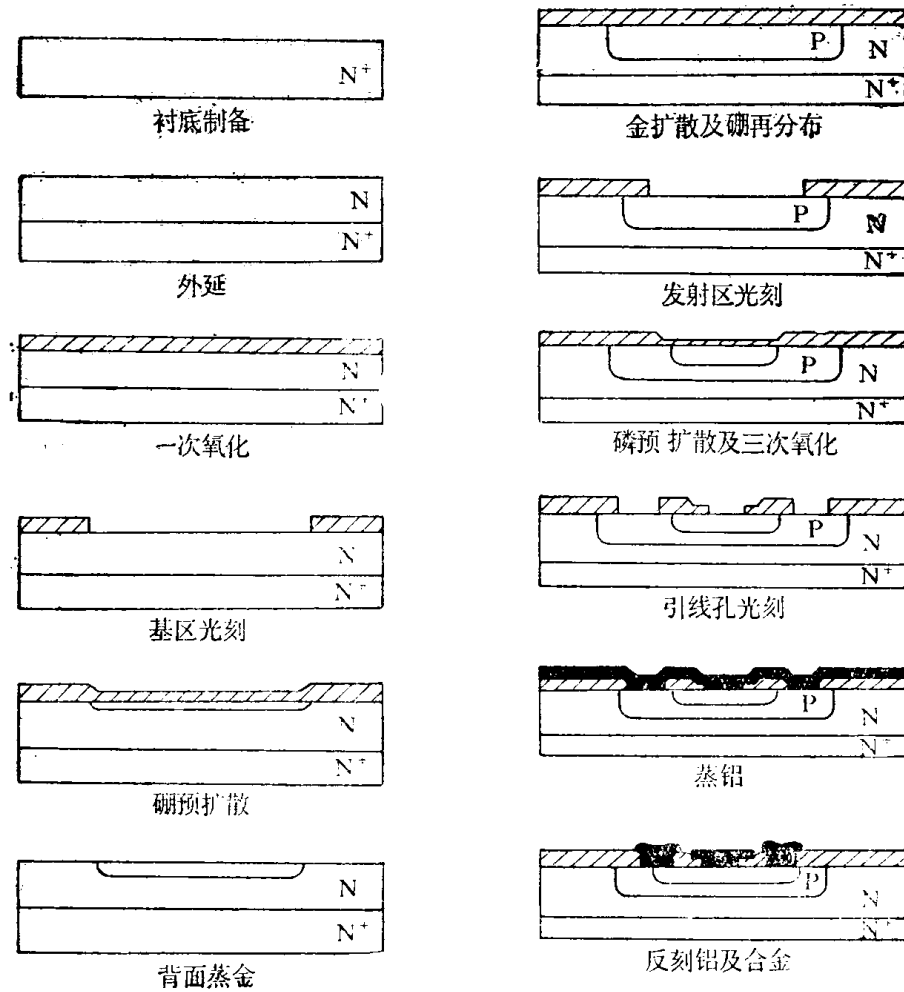


图 1-5 硅外延平面晶体管生产的工艺流程剖面图

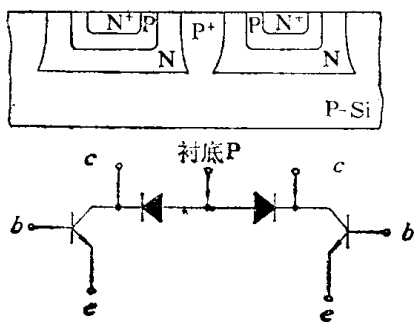


图 1-6 PN结隔离

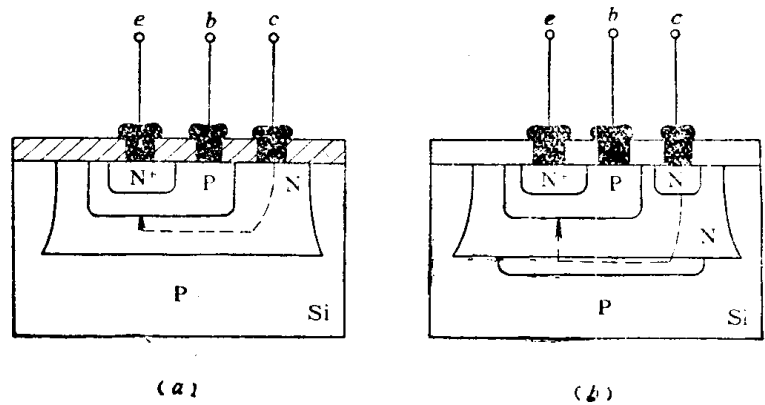


图 1-7 埋层扩散示意图

(2) 埋层扩散 集成电路中引出集电极的方法与晶体管不一样,晶体管是由衬底 $N^+$ 层引出,由于衬底是高浓度掺杂,串联电阻可以做得很小。但集成电路的衬底是P型高阻区,而且元件间要相互连线,因此集电极必须从外延层上面引出,如图1-7所示。由于外延层电阻率较高,因而相当于在晶体管的集电极上串联一个大电阻,增大了晶体管的饱和压降,电路的输出低电平( $V_{OL}$ )升高,使得负载能力及抗干扰能力降低。为了解决这个矛盾,在集成

电路工艺中，增加了埋层扩散工艺。

在外延生长之前，先在P型衬底上扩散一个低阻的N<sup>+</sup>区域。在硅中扩散系数较小、固态溶解度较大的N型杂质都可以做为扩散源，例如锑（Sb）、砷（As）等。

另外一个特殊的地方是在集电极的接触窗口处，扩散发射区的同时也一起扩入N型杂质，形成N<sup>+</sup>区，使铝与硅形成良好的欧姆接触。加入埋层之后，集电极电流主要沿图中虚线所示的路线流到发射区，从而大大降低集电极串联电阻。

## 2. 双极型集成电路生产工艺流程

与单管生产工艺相比，集成电路的生产工艺增加两次扩散和两次光刻，其余的大致相同，它的工艺流程顺序如图1-8所示，封装以后的工序略去。

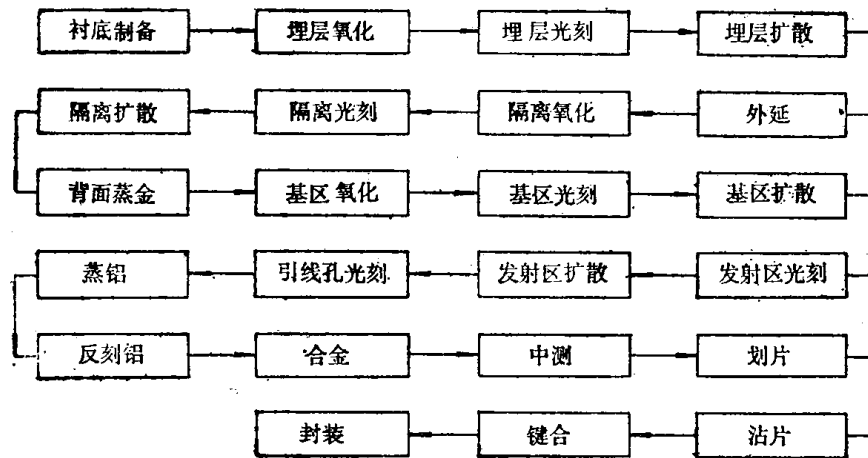


图 1-8 双极型集成电路工艺流程顺序图

下面结合图1-9简述各步工艺（18~23略去）的作用及要求：

（1）衬底制备 选用电阻率为  $8 \sim 13 \Omega \cdot \text{cm}$ 、晶向为  $\langle 111 \rangle$  的P型硅单晶，经一系列加工，制成  $360 \mu$  厚、表面无损伤的镜面片。

（2）埋层氧化 在硅片表面生长一层  $0.8 \sim 1.2 \mu$  厚的氧化层，作为埋层扩散的掩蔽膜。

（3）埋层光刻 刻出埋层扩散的窗口。

（4）埋层扩散 从刻出的窗口扩入高浓度的N型杂质，形成N<sup>+</sup>区，其方块电阻一般要  $< 20 \Omega / \square$ 。

（5）外延 去掉氧化层，然后生长一层N型外延层，电阻率为  $0.2 \Omega \cdot \text{cm}$ ，厚度在  $7 \mu$  左右。

（6）隔离氧化 在硅片表面生长一层  $0.7 \sim 0.8 \mu$  厚的氧化层，作为隔离扩散的掩蔽膜。

（7）隔离光刻 开出隔离扩散窗口。

（8）隔离扩散 进行浓硼扩散，将外延层分成隔离岛，方块电阻一般控制在  $20 \sim 50 \Omega / \square$ 。

（9）蒸金 泡掉所有氧化层后进行背面蒸金。

（10）基区氧化 在硅片表面生长一层  $0.5 \sim 0.8 \mu$  厚的氧化层，作为隔离扩散的掩蔽膜，同时也进行了金扩散。

（11）基区光刻 开出基区扩散窗口。

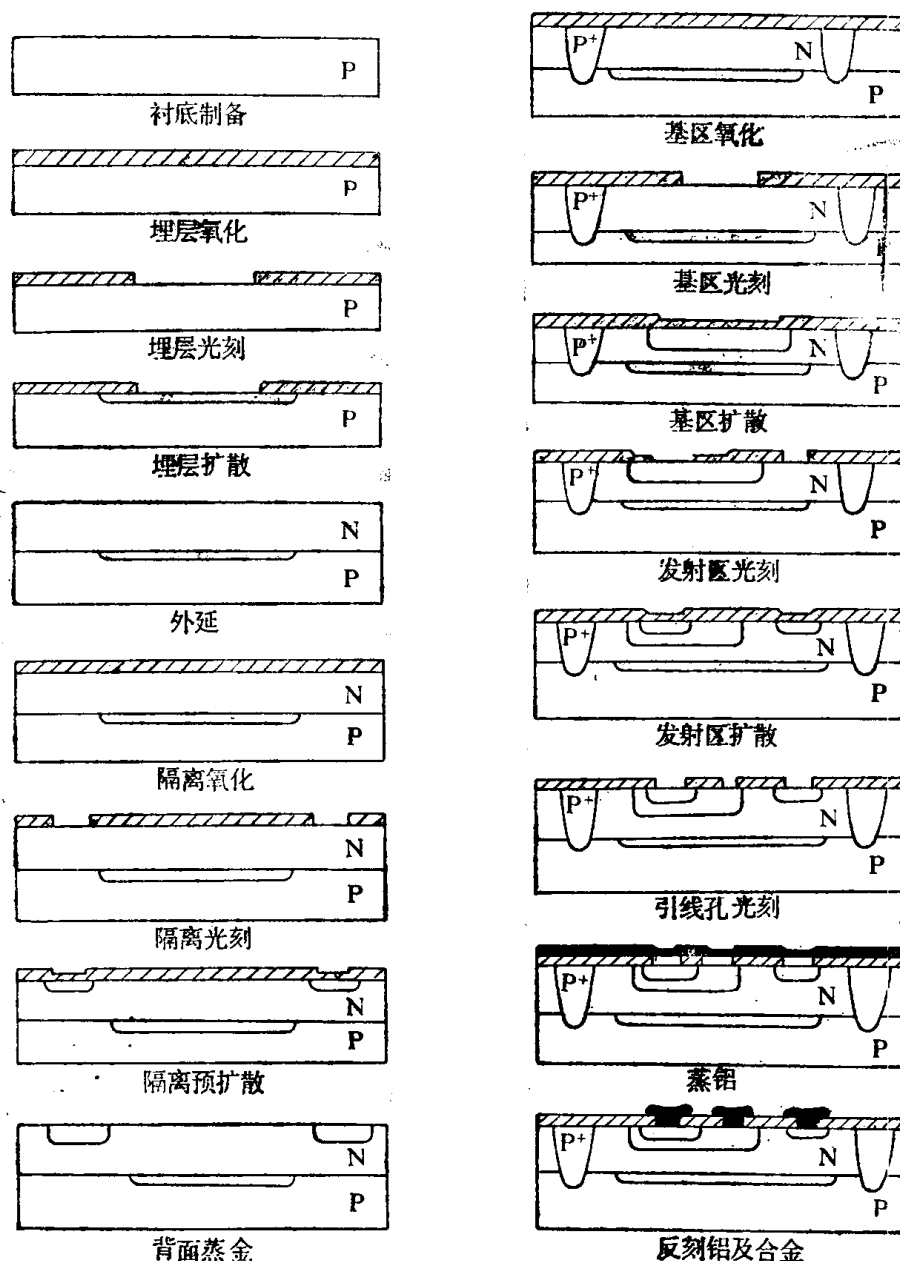


图 1-9 双极型集成电路生产的工艺流程

- (12) 基区扩散 扩入硼杂质形成晶体管的基区和电阻，并生长一定厚度的氧化层。
- (13) 发射区光刻 开出发射区扩散窗口及集电极引线窗口。
- (14) 发射区扩散 扩入磷杂质形成晶体管的发射区，并在集电极接触窗口形成 $N^+$ 区。
- (15) 引线孔光刻 开出各元件的电极接触窗口。
- (16) 蒸铝 采用蒸发方法，蒸一层高纯铝层。
- (17) 反刻铝 刻蚀掉不需要的铝层，同时在这道工序的除胶中一起完成硅铝的合金。

下面工序与单管工序基本相同，所以略去。

### 三、MOS晶体管与MOS集成电路工艺流程

MOS晶体管与MOS集成电路的工艺大体相同，只是在后道工序有所区别，因此结合图 1-10简单介绍一下管芯生产的工艺流程。

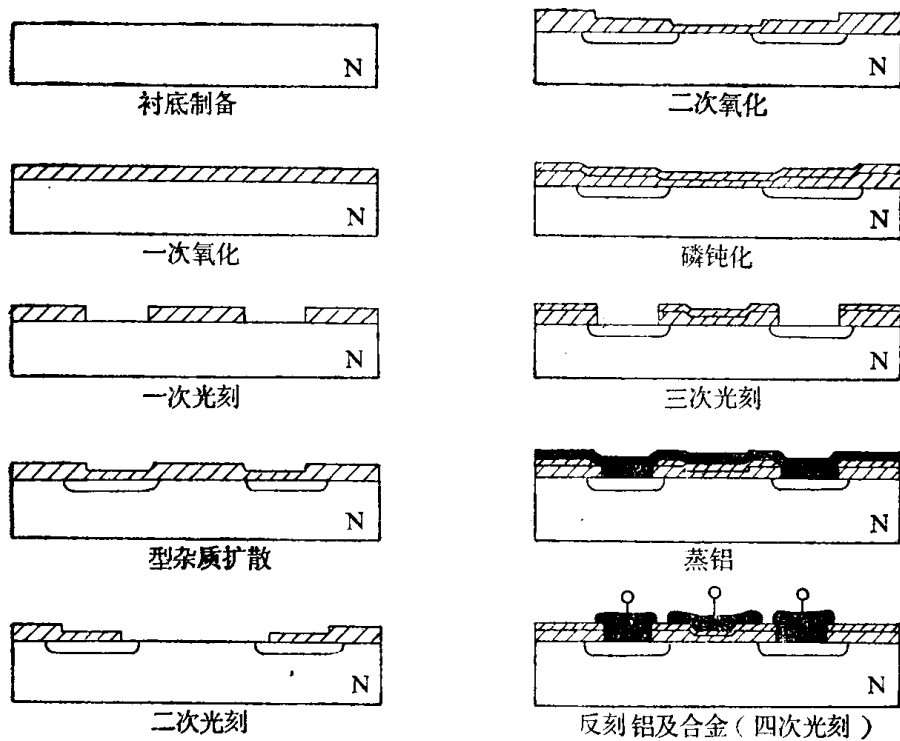


图 1-10 MOS晶体管和MOS集成电路的生产工艺流程

(1) 衬底制备 与平面管相同，但晶面可以是 (100) 面或 (111) 面。

(2) 一次氧化 用于掩蔽源区和漏区的扩散，一般单管的氧化层应大于  $5000 \text{ \AA}$ ，集成电路的氧化层应大于  $10000 \text{ \AA}$ 。

(3) 一次光刻 按一定图形刻出源区和漏区，以便进行杂质扩散。

(4) 扩散 若做N型沟道的MOS晶体管，应扩入磷杂质；做P型沟道的MOS晶体管，应扩入硼杂质，分别形成  $N^+$  区和  $P^+$  区。

(5) 二次光刻 刻掉沟道上的氧化层，原来生长的氧化层太厚，将其去掉再重新生长一层厚度合适的氧化层。

(6) 二次氧化 在光刻的窗口上生长一层  $1000 \sim 2000 \text{ \AA}$  的薄氧化层，这层氧化层质量是关键，它不仅决定管子的开启电压，而且还决定管子的可靠性和稳定性。

(7) 磷钝化 目的是改善氧化层的质量，将硅片放在一定温度的炉中，通入磷蒸气使硅片表面生长一层磷硅玻璃，形成钝化保护层。

(8) 三次光刻 刻出源、漏区的接触窗口。

(9) 蒸铝 在硅片表面蒸发上合格的铝层。

(10) 四次光刻 刻掉多余的铝层，留下源、栅、漏三个电极。

(11) 合金 为减少铝电极的接触电阻，将硅片放在  $520^\circ\text{C}$  左右进行合金。

到此，管芯生产基本完成，下面的测试、切片、烧结、键合、封装等与硅平面工艺一样，故略去。

#### 四、硅栅MOS集成电路工艺流程

上面谈到的生产工艺中，由于制版和光刻精度的限制，栅极的两侧必有一部分盖在源、漏扩散区上，这样就会产生寄生的栅电容。当MOS晶体管或集成电路工作时，这些电容的

充电和放电会限制电路的开关速度。另外对光刻的质量要求比较严格，因为随着集成度的提高，线条尺寸越来越小，相应地光刻越来越困难，为了使栅极尽量少覆盖在源区、漏区上，目前采用硅栅自对准工艺。工艺流程（见图1-11）如下：

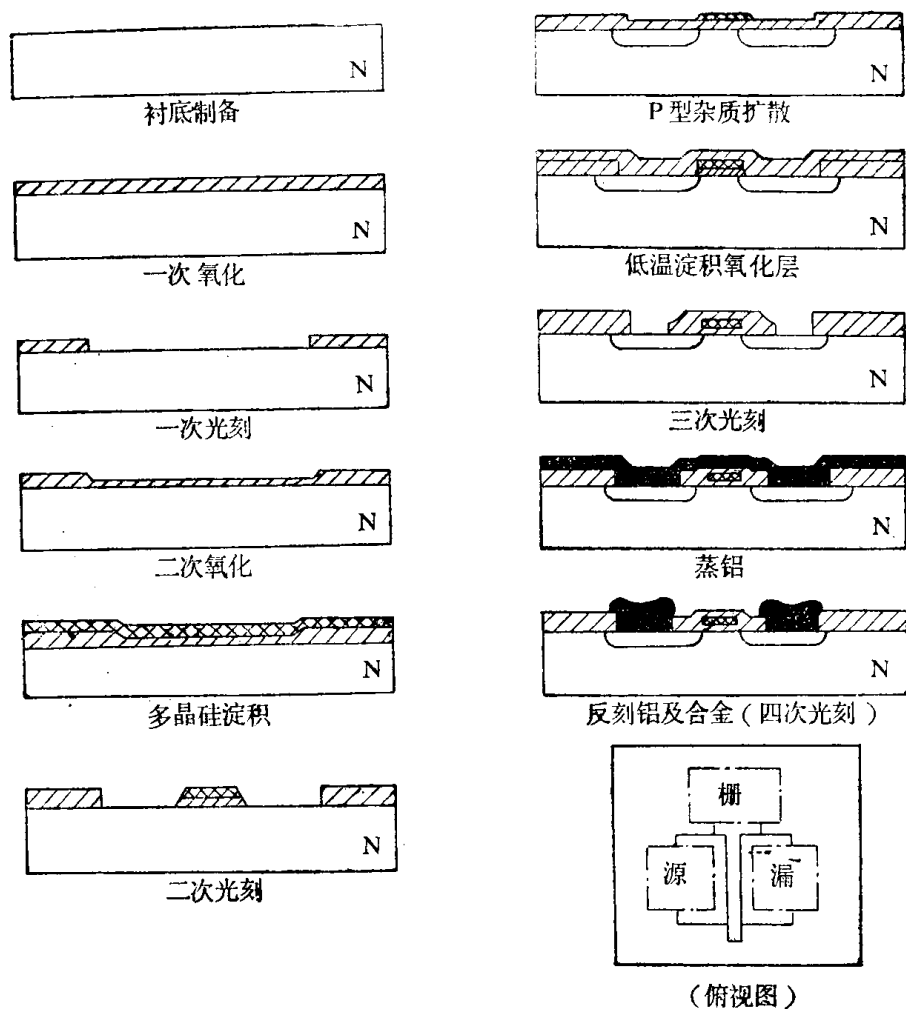


图 1-11 硅栅MOS集成电路管芯生产的工艺流程

(1) 一次氧化 将抛光好的硅片进行一次氧化，厚度在  $1\mu$  左右，如做 P 沟道管子就采用 N 型硅衬底。

(2) 一次光刻 一次刻出源、漏、栅区。

(3) 二次氧化 在硅片表面再生长一层  $1000\sim 2000\text{ \AA}$  的氧化层。

(4) 多晶硅淀积 氧化后在硅表面淀积一层多晶硅，厚度为  $0.5\sim 1\mu$ 。

(5) 二次光刻 将不要的硅层和氧化层一起刻蚀掉，留下的硅层成为管子的栅极，因此称硅栅工艺。

(6) 扩散 由于硅栅以外的氧化层都被腐蚀掉，硅栅起着掩蔽作用，在高温下杂质只从窗口扩入硅中，这样硅栅与源区和漏区就自动对准了。可以看出，此工艺对一、二次光刻要求的精度不高，另外，在高温下，杂质扩入多晶硅中还能使硅层的导电性能改善。

(7) 低温淀积氧化层 在硅片上低温生长一层氧化层，覆盖住多晶硅与扩散区的表面。

- (8) 三次光刻 在源、漏、硅栅上分别刻出接触孔。
  - (9) 蒸铝 在硅片表面蒸铝用来引出电极。
  - (10) 四次光刻 刻掉多余的铝层，留下源、栅、漏电极。
- 其余工艺和铝栅MOS工艺基本相同，故略去。

## 第二章 半导体材料的特点和加工

### §2-1 半导体材料的特点与加工要求

#### 一、晶体的特点

自然界中存在着各种各样的固体材料，一般可以把它们分为两大类：晶体和非晶体。其区别主要有以下几个方面：

首先，晶体由液态变为固态后会呈现出自己特有的形状，即出现固定的平面和棱角，而非晶体不具有这种性质，它的形状完全由外部条件决定。晶体的结晶是需要一定的条件的，它可以通过天然形成，也可以由人工制造。例如人工生长的硅单晶有三条对称的棱，天然结晶或人工生长可以得到呈立方形、八面体形的氯化钠晶体，常见的石英晶体的形状也各有不同，但外形很规则，具有一定平面和棱。非晶体由液体变为固体时，无论在什么条件下都不能形成象晶体那样的规则形状，它的形状是由加工条件决定。例如玻璃是一种非晶体，凝固后的形状取决于当时的加工条件，放在平面上就是平的，放在容器中凝固，形状就如容器，利用这一特点，玻璃可制成各种形状。

其次，晶体在不同方向上物理性质不同，称为晶体的各向异性。例如光的反射系数、折射系数等，沿晶体的不同方向而异。又如常用的硅单晶，有的方向易裂，有的方向就不易裂。对于非晶体来讲，各个方向的性质都是相同的。

另外晶体由固体变为液体或由液体变为固体的过程中，在固、液二相共存的情况下，保持一定温度，即具有一定的熔点，或称凝固点。例如硅的熔点为 $1417^{\circ}\text{C}$ ，而非晶体则没有固定的熔点，它是随温度升高而逐步变软熔化的。

晶体又分为单晶和多晶两种，在半导体器件生产中，所用的材料绝大部分都是单晶。单晶和多晶的主要区别在于它们的内部结构不同，如图2-1所示。单晶是由许多小的晶胞（组成晶体的最小微粒）平行紧密地结合而成为晶体，也可以说组成晶体的原子周期地彼此紧密地排列在一起。而多晶是无数个小晶胞无规则地排列在一起而组成的晶体。

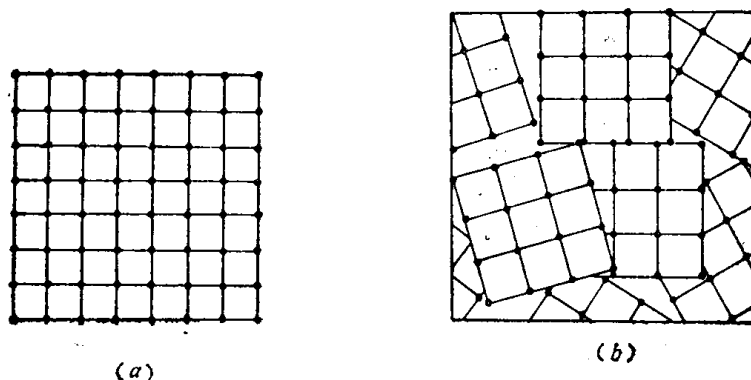


图 2-1 单晶与多晶的原子排列示意图

在多晶体中的每个小晶胞内，原子还是按一定规则周期性排列的，但是在一个晶胞与另



一个晶胞的交界面上，原子周期性的排列规则遭到了破坏，出现混乱。目前大量使用的硅、锗材料都有多晶和单晶之分，单晶体一般是由多晶体进一步加工制备出来的。

## 二、晶体的晶向和晶面

在晶体内部，虽然原子都是规则地、周期性地排列着，但是并不是所有的晶体排列方式都一样。由于组成晶体的最小单元是晶胞，因此可以把晶体按晶胞的不同加以分类，各种不同的类别称为晶系。晶体大致可分为七个晶系，例如立方晶系、菱面晶系、斜方晶系等。生产中所用的硅、锗材料的晶体结构属于金刚石结构，其结构类型属于立方晶系面心立方晶格。

晶胞为立方体结构的晶体称为立方晶体，立方晶体的三个轴矢量长度相等，并且相互垂直。在立方晶体中又根据晶胞中原子在晶格上分布不同，分为简单立方晶体、体心立方晶体、面心立方晶体，如图2-2所示。

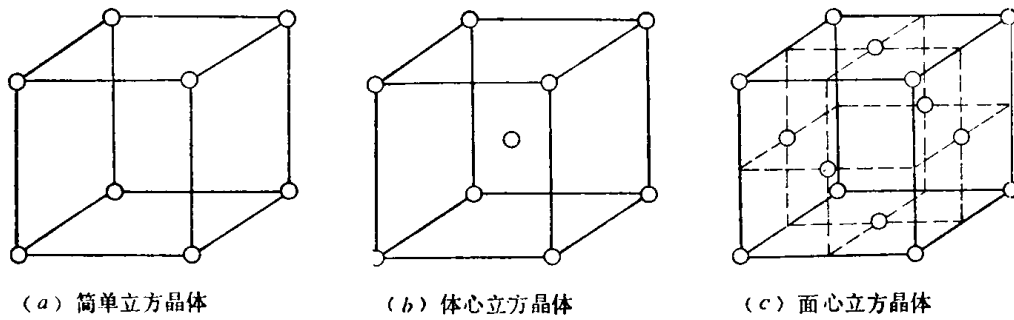


图 2-2 常见三种立方晶体结构

金刚石结构比上面的三种立方晶体结构要复杂一些，仔细分析可以看到，金刚石结构可以看成是两个相同的面心立方晶格套起来构成的。这两个面心立方晶格相套时，一个所处的位置恰好是另一个晶格的任意一条空间对角线1/4的位置。相套以后原子排列如图2-3所示，图中把原子连接起来的粗线代表这些原子之间的共价键。

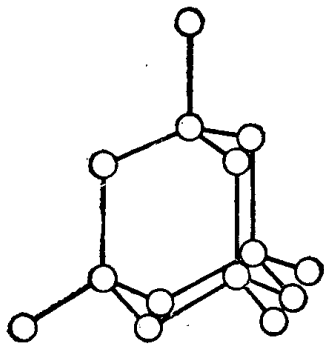


图 2-3 金刚石结构的原子排列示意图

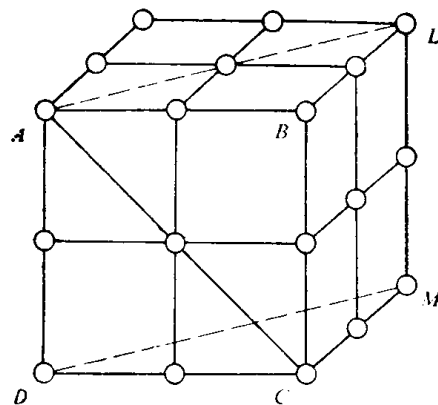


图 2-4 晶向和晶面示意图

在晶体中一些原子可以连成一条直线，这条直线称为晶列，晶列的取向称为晶向。不同晶向上的原子排列是不一样的。仍以立方晶体为例，如图2-4所示， $AB$  直线是一个晶列， $AC$  直线是另一个晶列，这时可以看出  $AB$  方向与  $AC$  方向原子间的距离不同，说明这两个晶面上原子排列情况不一样，所以需要把不同的晶向标志出来加以区别。标志晶向的一组数称