

高等学校教材

大规模集成电路计算机 辅助设计

洪先龙 吴启明 编



上海科学技术出版社

大规模集成电路计算机辅助设计
讲义

高等学校教材
大规模集成电路计算机辅助设计
洪先龙 吴启明 编
上海科学技术出版社出版
(上海瑞金二路450号)

本书在上海发行所发行 上海商务印刷厂印刷

开本787×1092 1/16 印张10.25 字数242,000

1986年10月第1版 1986年10月第1次印刷

印数: 1—2,600

统一书号: 15119·2510 定价: 1.75元



出版说明

根据国务院关于高等学校教材工作分工的规定,我部承担了全国高等学校工科电子类专业课教材的编审、出版的组织工作。从一九七七年底到一九八二年初,由于各有关院校,特别是参与编审工作的广大教师的努力和有关出版社的紧密配合,共编审出版了教材159种。

为了使工科电子类专业教材能更好地适应社会主义现代化建设培养人才的需要,反映国内外电子科学技术水平,达到“打好基础,精选内容,逐步更新,利于教学”的要求,在总结第一轮教材编审出版工作经验的基础上,电子工业部于一九八二年先后成立了高等学校《无线电技术与信息系统》、《电磁场与微波技术》、《电子材料与固体器件》、《电子物理与器件》、《电子机械》、《计算机与自动控制》,中等专业学校《电子类专业》、《电子机械类专业》共八个教材编审委员会,作为教材工作方面的一个经常性的业务指导机构,并制定了一九八二~一九八五年教材编审出版规划,列入规划的教材、教学参考书、实验指导书等共217种选题。在努力提高教材质量,适当增加教材品种的思想指导下,这一批教材的编审工作由编审委员会直接组织进行。

这一批教材的书稿,主要是从通过教学实践、师生反映较好的讲义中评选择优和从第一轮较好的教材中修编产生出来的。广大编审者、各编审委员会和有关出版社都为保证和提高教材质量作出了努力。

这一批教材,分别由电子工业出版社、国防工业出版社、上海科学技术出版社、西北电讯工程学院出版社、湖南科学技术出版社、江苏科学技术出版社、黑龙江科学技术出版社和天津科学技术出版社承担出版工作。

限于水平和经验,这一批教材的编审出版工作肯定还会有许多缺点和不足之处,希望使用教材的单位、广大教师和同学积极提出批评建议,共同为提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系由《半导体物理与器件》教材编审小组评选审定,并推荐出版。

该教材由清华大学洪先龙担任主编,北京工业大学蔡景河担任主审。编审者均依据《半导体物理与器件》教材编审小组审定的编写大纲进行编写和审阅的。

本课程的参考教学时数为40~60学时,其主要内容为大规模集成电路(LSI)计算机辅助设计(CAD),即借助于计算机来设计大规模集成电路。

大规模集成电路计算机辅助设计是一门新兴学科,它所涉及的内容包括:(1)逻辑综合与逻辑模拟。(2)电路模拟和时域分析。(3)电路模拟中元件模型及模型参数提取。(4)器件分析。(5)版图辅助设计:图形编辑、符号法版图设计、PLA版图自动设计、自动布局布线等。(6)版图分析和校验。(7)半导体工艺模拟。(8)计算机辅助设计系统和数据库。

大规模集成电路计算机辅助设计是一门跨专业的学科,涉及到半导体器件物理、工艺、计算机软件、计算数学等。而本门课仅是微电子专业方面的一门选修课。本书只着重介绍基本原理和使用方法。我们力求结合在我国较为流行的计算机辅助设计软件来叙述,不过多涉及软件算法及结构。

本书第一章概括地介绍了大规模集成电路的设计过程及各设计阶段的CAD软件,第二章到第八章逐章介绍各个设计阶段的CAD软件的基本原理和使用方法。每一章内容有一定独立性,可以根据学时取舍。最好在讲课同时配有一定上机练习。由于计算机中采用的字母没有斜体形式,为图文统一,本书中物理量也均采用正体表示。

本教材由洪先龙编写第一、二、三、四、六、七和第八章,吴启明编写第五章,由洪先龙统编全稿。夏武颖、曹培栋同志参加了审阅工作,并为本书提出许多宝贵意见,这里表示诚挚的感谢。由于编者水平有限,书中难免还存在一些缺点和错误,殷切希望广大读者批评指正。

编 者

目 录

出版说明

前言

第一章 大规模集成电路计算机辅助

设计概况1

§ 1 LSI 设计与 CAD1

§ 2 LSI CAD 各部分内容及其现状3

一、逻辑设计阶段的 CAD3

二、电路模拟、时域分析和混合分析3

三、版图设计阶段的 CAD4

四、器件设计与器件分析5

五、工艺模拟6

六、LSI CAD 系统和数据库6

第二章 逻辑模拟8

§ 1 什么是逻辑模拟8

§ 2 逻辑模拟的基本原理9

一、逻辑元件模型的建立9

二、逻辑图的输入12

三、逻辑模拟算法13

§ 3 逻辑描述语言的使用方法16

一、名字、变量和关键字16

二、功能元件的描述——功能描述语言 FDL16

三、线路描述27

四、输入和输出语句28

五、实例29

第三章 电路模拟37

§ 1 什么是计算机辅助电路模拟37

§ 2 电路分析的基本内容39

§ 3 电路分析软件的基本组成39

一、输入处理40

二、器件模型处理40

三、列方程41

四、数值解43

五、输出处理45

§ 4 电路描述语言的使用方法45

一、SPICE 程序简介45

二、语言概述46

三、元件卡48

四、模型卡51

五、控制卡55

六、实例63

第四章 时域分析和混合模拟66

§ 1 时域分析的基本原理66

一、宏模型66

二、查表技术66

三、算法思想67

四、限制69

§ 2 时域分析程序 MOTIS-C 的使用方

法69

一、概述69

二、输入格式描述71

三、例题77

§ 3 电路分析、时域分析和逻辑分析的比 较以及混合模拟的基本思想79

一、电路分析79

二、时域分析80

三、逻辑分析81

四、混合模拟81

第五章 集成电路工艺的计算机模 拟83

§ 1 工艺模拟的一般介绍83

一、输入语言及相应的处理83

二、建立工艺模型83

三、求解方程84

四、数值方法和电学参数的计算85

五、输出86

§ 2 工艺模型86

一、离子注入模型86

二、热加工的杂质迁移88

三、热氧化92

四、硅外延93

§ 3 工艺模拟的数值计算94

一、固定边界94

二、移动边界—— SiO_2/Si95

三、移动边界——外延	96
§ 4 电学参数的计算	97
一、薄层电阻	97
二、MOS 阈值电压	97
§ 5 SUPREM-II 的输入语言格式	98
一、初始化语句	99
二、输入/输出语句	100
三、工艺/模型语句	102
四、补缺参数值	107
五、SUPREM 输入语言举例	108
第六章 版图图形编辑	112
§ 1 LSI 版图设计方法和图形编辑	112
§ 2 版图图形编辑软件	113
§ 3 版图图形元素及图形间的变换、组合	117
§ 4 图形编辑语句	119
一、作图类语句	120
二、修改类命令	120
三、组装构造和分层	123
§ 5 数字化仪及其初始准备命令	124
一、数字化仪	124
二、初始准备命令	126
§ 6 图形显示终端和显示方式命令	127
一、光(电)笔图形显示器	127

二、显示方式命令	128
第七章 版图分析及检查	131
§ 1 版图图形元素及各种运算	132
一、逻辑运算	133
二、拓扑分析	133
三、分割运算	135
四、几何计算	135
§ 2 版图分析语言	136
一、分类查找语句	137
二、逻辑运算语句	137
三、拓扑分析语句	138
四、几何计算语句	138
五、其它语句	139
§ 3 几何设计规则检验	140
第八章 版图的自动设计和半自动设计	151
§ 1 符号法布图	151
§ 2 自动布局布线	153
一、门阵列法	154
二、多元胞法	155
三、任意元胞法	156
§ 3 PLA 设计方法	156
§ 4 分级设计方法	157

第一章

大规模集成电路计算机辅助设计概况

大规模集成电路(LSI)是六十年代末发展起来的,还只有十年多的历史。集成电路(IC)也只有二十多年的历史。但它们的迅速发展已经改变了电子技术的面貌,并且已经对一系列科学技术,甚至人们的日常生活发生了强烈的影响。

LSI的发展表现在它的集成度、性能和可靠性不断提高。价格不断下降,应用面不断扩大。就集成度为例,几乎以每二、三年四倍的速度增长,1 K、4 K、16 K、64 K……,目前LSI已发展成VLSI(超大规模集成电路)。

LSI和VLSI之所以如此迅速发展,除了工艺技术、设备、原材料等方面的不断改进以外,设计技术的革新也是其重要原因之一。设计技术革新的主要表现是全面地采用了计算机辅助设计(CAD)或设计自动化(DA)技术。目前,在美国和日本等国家里,几乎在LSI的每个设计环节和整个设计过程中都普遍使用CAD技术,已有不少成熟的CAD系统在运行。

在我国,LSI CAD的工作起步较晚,但已取得了初步效果,它正在受到人们的重视。我们已研制和移植了用于各个LSI设计阶段的CAD软件。它们已在LSI的研究和生产中发挥了作用,并且将发挥越来越大的作用。

本书将介绍LSI各设计环节中CAD技术的基本原理和CAD软件的使用方法。通过学习,使得读者对LSI CAD技术的基本内容和基本原理有所了解,能基本掌握主要设计环节中的一些CAD软件的使用方法。我们将力求结合在我国较为流行的CAD软件(自行研制的或移植的)来叙述。由于同类的软件很多,不能都一一涉及到,但只要学会其中一种,就能举一反三,使用类似功能的其它软件就不会有太大困难。

本书将按照LSI各设计环节分若干章来叙述,其中包括逻辑设计、电路设计、器件设计、版图设计、工艺设计等阶段的CAD。在每一章,我们先介绍此设计阶段CAD的基本原理。然后较详细地介绍其使用方法。在第一章,我们先概述一下LSI设计流程及其与CAD关系,然后简单地描绘出各设计环节CAD的轮廓。

§1 LSI设计与CAD

通常,LSI的设计和制造过程包括:逻辑设计、电路设计、版图设计、掩模制造、工艺设计、芯片制造、成品测试等阶段。如果要研制一种新器件或者新工艺,则还需要进行器件设计。

有两种设计方法:一种是“自顶向下”设计方法,即根据用户提出的功能要求进行逻辑设计,然后根据芯片大小将总体逻辑图进行“划分”,划分到各个芯片的部分分别进行电路设计和掩模设计,并进行掩模制造;另一种是“自底向上”设计方法,即设计者事先已有若干种基本单元和功能块,这些单元和功能块已经进行过器件、电路和版图设计,相应的逻辑、电路

和版图的资料事先存档入库。新设计的产品只用这些已有的单元和功能块进行组装。当然在设计过程中可以不断更新和扩充单元和功能块库的内容。图 1-1 给出了“自底向上”的 LSI 的设计流程。

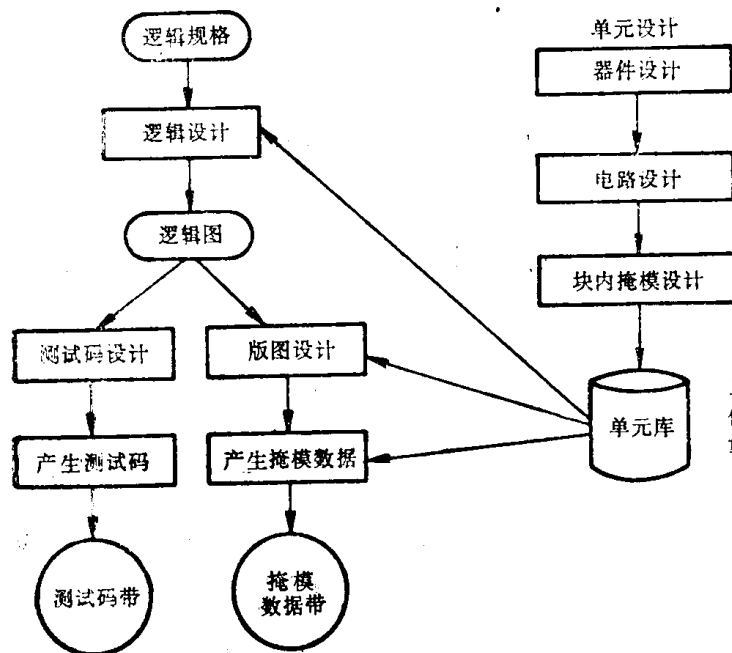


图 1-1 LSI 设计流程

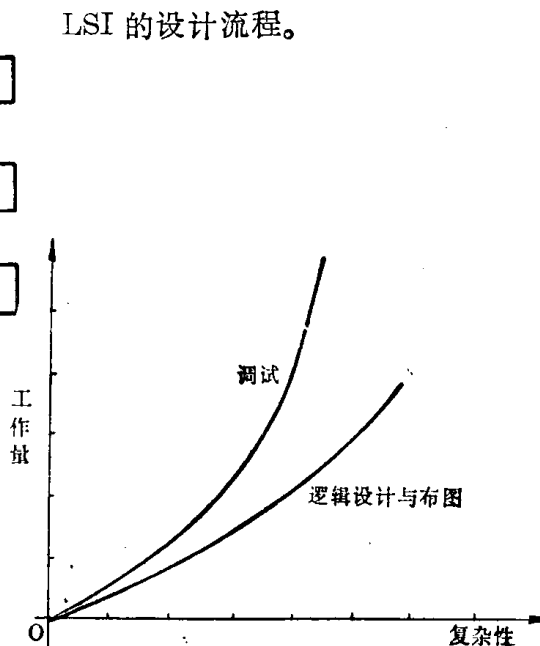


图 1-2 LSI、VLSI 的复杂性与工作量

传统的 IC 手工设计方法在解决 LSI 和 VLSI 的设计时，遇到越来越多的困难。首先，设计工作量的增长将比 IC 的集成度和复杂性的增长快得多，如图 1-2 所示。因此就必须采用新的设计技术和设计方法。其次，设计正确性将难于保证。如果设计 1000 个管子的 LSI 芯片第一次正确的概率为 2^{-1} ，那么设计 350000 个管子的 VLSI 芯片正确的概率为 2^{-230} ，即差不多为零。此外，LSI 设计还有其不同于其它产品（例如机械零件、房屋、管道等）设计的特点：

(1) 对设计的可靠性要求更高 LSI 和 VLSI 要在几个或几十个 mm^2 的硅片上制作包含几万甚至几十万个晶体管、电阻、电容等元件的电路，无法进行模型或样机实验，一旦作为掩模版就不能中途修改，修改设计就意味着从头开始。

(2) 设计中的综合性很强 它要包括逻辑、电路、器件、工艺技术、版图等设计内容，涉及到多种因素。

(3) 每个设计阶段的设计数据、资料很多，检查起来十分繁琐 由于以上这些原因，仅采用手工设计是十分困难的，它往往使得设计周期很长，并且很容易出错。而一个微小的疏忽都有可能使得整个设计工作返工。此外，设计的正确与否、性能的好坏都要到最后测试才见分晓。因此就难于在投产前进行大量的方案论证，择优选择。

采用 CAD 技术，用计算机进行模拟、校验、布图、制造、测试，这不但能大大减轻人工劳动，而且缩短了设计周期，提高了设计的可靠性。更重要的是，采用 CAD 技术可以在产品制造之前进行多种设计方案的比较、参数的优选，从而提高了设计的质量。

值得提出的是，采用 CAD 技术并不能完全取代人的工作，它仅是设计者辅助的工具。在整个设计过程中，人还是处于主导地位。创造性的工作，决定性的工作还是由人去做。设计思想、设计方案要由人来提出，计算机则发挥了它快速计算和大记忆容量的特长，帮助设计者进行性能模拟评价、设计校验、数据和资料处理。如果发现设计错误，一般还要由人来

修改。设计自动化是我们的愿望和奋斗目标,这个方面已做了不少有价值的研究,但到目前为止,只有在版图设计自动化(即自动布局布线)方面取得了有实用价值的结果。其它设计环节的 CAD 还大多用于模拟、分析、验证和数据处理。

§2 LSI CAD 各部分内容及其现状

由于 LSI 各设计阶段的问题、处理方法不同,因此对应每个设计阶段,有各种不同的 CAD 软件。如逻辑设计阶段有逻辑综合、逻辑模拟、逻辑图的自动绘制等软件;电路设计阶段有电路模拟、时域分析、混合模拟等软件;版图设计阶段有逻辑划分、自动布局、自动布线、图形编辑、符号法版图设计、版图分析和校验等软件;工艺设计时有工艺模拟,器件设计时有器件分析等软件。各部分软件所处理的信息还可以有一定的联系,如逻辑图的描述信息可以用于逻辑模拟的输入,也可以用于布局布线的输入。下面我们将简略地介绍一下各部分 CAD 软件的概貌,使得读者对 LSI CAD 有一个粗浅的了解。同时,我们将列出各部分著名 CAD 软件名称,以供参考。

一、逻辑设计阶段的 CAD

一个集成电路单片的功能决定以后,首先要进行逻辑设计。逻辑设计的目的是用已有的基本逻辑单元确定满足逻辑要求条件下的逻辑构成。这些基本逻辑单元可以是与门、或门、与非门等基本门,也可以是常用的具有一定逻辑功能的功能块。目前,给定了逻辑单元、执行时间等逻辑要求还不能自动求出逻辑结构,即自动逻辑综合。自动逻辑综合是逻辑设计自动化的强烈期望,但目前这方面还处于研究阶段,只能对小规模网络或较规则的逻辑网络进行自动综合,如 PLA 自动逻辑化简程序就属于这一类软件。一般的逻辑设计还要由人来进行。但现在单个 LSI 芯片上的逻辑功能愈来愈复杂,有的就相当于一个计算机的功能,人工设计难免有错。采用人工检查是很费精力和时间的。如事先不能保证逻辑设计的正确性,等到投产后测试,一旦发现错误,就要修改原始设计,电路、版图也得修改,掩模版也得重新制作。设计、生产的费用和周期将大大增加。因此,目前大多采用逻辑模拟软件来验证人工设计的正确性。

逻辑模拟主要有两个目的:一是检查逻辑设计的正确性;二是进行故障模拟,产生故障诊断的测试码。按基本逻辑单元的规模大小,逻辑模拟可分三级:门级、功能块级和寄存器级。寄存器级主要针对计算机的模拟对象,用来检查指令操作时间表。门级和功能块级用来检查逻辑设计正确性。对 LSI 和 VLSI,采用门和功能块混合的逻辑模拟较为理想。因为仅采用门级模拟不但浪费存贮和机时,而且有些电路不能完全用门来描述。

国外已有能模拟几万个门的逻辑模拟软件,大多是门和功能级混合的软件。如美国的 LAMP、CC-TEGAS3,日本的 LOGOS2、MIXS 等系统。有专为用户提供描述硬件和逻辑线路的 DDL、CDL、HDL 等语言。国内有上海交通大学、上海冶金研究所研制的寄存器级模拟程序,计算技术研究所、成都电讯工程学院、复旦大学等研制的门级模拟程序,清华大学研制的门和功能级混合的逻辑模拟程序 GFLS。

除了逻辑综合和模拟外,计算机还可用于逻辑图的自动绘制。

二、电路模拟、时域分析和混合分析

逻辑设计完成后就要进行电路设计。电路设计的目的是确定满足所希望的电路性能

(如直流特性、开关特性)的电路结构和元件参数。同时还要考虑由于环境变化、制造工艺偏差所引起的电性能变化。目前,除了个别特殊类型电路(如滤波器)以外,还没有能自动设计电路的软件,只有模拟或分析的软件。亦即由人先根据性能要求设计好电路并给定元件参数,然后用电路模拟(或称电路分析)软件进行性能模拟,输出模拟结果,最后由人来评价好坏,并决定修改与否。电路分析软件中的灵敏度分析和统计分析功能还能帮助确定哪些元件参数、环境因素对性能影响最大。

电路分析的发展历史较长,它不但用于 LSI 设计,而且也用于一般电子线路的设计,早在五十年代,第一代计算机出现并开始应用时,就有人尝试用计算机作为工具来设计滤波器这样的线性网络。1962 年出现了第一个通用电路分析程序。IC 的出现和发展推动了电路分析技术的发展。目前国外有不少较成熟的电路分析程序,能对几百个、上千个晶体管组成的电路进行分析。著名的有美国的 SPICE-2、ASTAP、NET-2、SCEPTRE 等,其中 SPICE-2 已移植到我国,并在很多单位运行。国内也已有不少单位研制了电路分析程序,如计算技术研究所的 DFX,清华大学的 GCAPN、复旦大学的 FD、成都电讯工程学院的 DF、北京工业大学的 ADIC-1 等。

电路分析技术实际上是一个电路方程的数值解问题,当网络很大时,时域分析的求解时间就成为一个主要矛盾。除了进一步研究快速的求解方法以外,出现了专门用于时域分析的软件,如美国的 MOTIS 程序。它在模型处理、数值方法上采用了一些改进措施,并在基本单元设置上可允许门与晶体管同时存在。它的求解速度比 SPICE 提高一、二个数量级。

除了时域分析程序以外还有混合分析程序。混合分析程序是把逻辑模拟、电路模拟、时域分析溶为一体,允许晶体管、门甚至功能块作基本单元。它可以进一步提高求解速度,美国的 SPLICE 程序就是一个混合分析程序。

三、版图设计阶段的 CAD

在逻辑设计和电路设计完成后,就进入掩模设计和制造阶段。它要根据逻辑和电路功

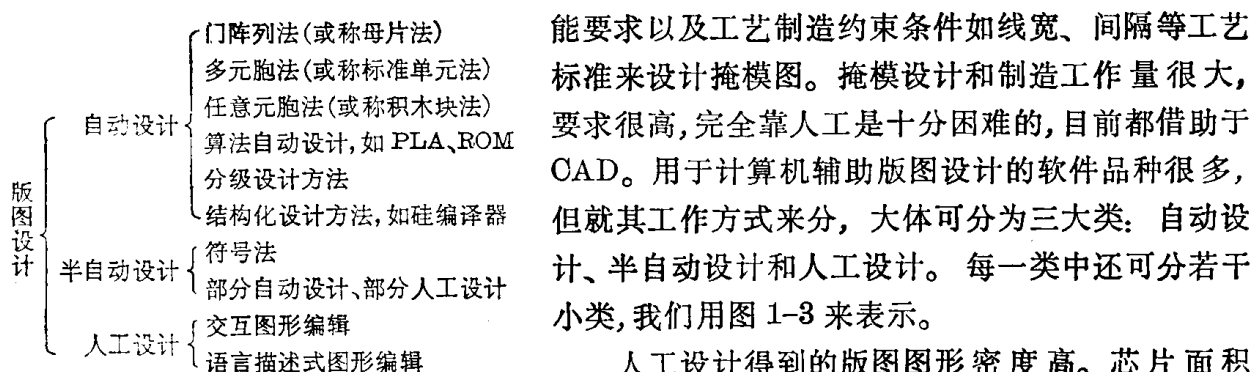


图 1-3 版图设计阶段各种 CAD 软件

人工设计得到的版图图形密度高。芯片面积小,投片成品率高,制造费用低,但设计周期长,费用高。完全自动设计得到的版图密度低。芯片面积大,投片时成品率低,制造费用高,但设计周期短、费用低。通常,批量生产的产品如存储器、微处理器、表用电路等因产量大,希望制造费用尽可能低,都愿选择人工设计方式的 CAD 软件。而品种多、产量小或时间性强的产品,则多采用自动设计方式的 CAD 软件。随着工艺条件的不断改善和 CAD 软件的改进,自动、半自动设计方式的 CAD 软件将会更广泛地得到应用。

采用人工设计方式的 CAD 软件,版图由人工设计。软件只解决如何把人工设计好的版图(或草图)输入到计算机中,然后再进行图形编辑并处理成图形发生器、电子束制版设备、

自动刻图机等制版专用设备的数据带。因此,也有人把这种软件叫作“图形编辑系统”。它常常还配有一个设计规则检查程序,帮助校验版图设计的正确性。这种系统常采用小型机或微型机为主机,价格便宜,国外已经商品化,使用相当广泛。较著名的有COMPUTERVISION、APPLICON、CALMA、INTERGRAPH、SX7000等系统。国内也已普遍使用图形编辑系统,如ZB-781、ZB-79、IGES、GEDIT、TBJ等,最近已研制成功能较强的GEDS。

自动设计软件主要包括自动布局和自动布线两部分。布局是将单元或部件的图形配置在芯片的适当位置上,布线是完成单元部件之间的互连。它们的总目标是在满足工艺约束条件和电性能条件下,自动产生掩模图并使版图总面积尽可能小。通常,面积大小是用总连线长度来度量的。此外,总是希望所有连线都能在芯片上布通。

国外已有不少关于自动布局布线的算法,也有不少各种类型的自动设计系统。如美国IBM公司的门阵列自动设计系统,Bell实验室的LTX自动设计系统。国内自行研制的自动设计系统也正在若干个单位试用。随着自动设计算法和系统的不断改进,自动设计方式的CAD软件将会得到越来越广泛的应用。鉴于用户对芯片密度和电性能的特殊要求,往往在自动设计后用交互式图形编辑再进行改进或完成剩余未布通的连线,这就成为半自动设计方式。

对于人工设计或半自动设计的版图,其正确性的检查是十分重要的。用计算机帮助检查可以发现人工不易查找的错误。人工设计或半自动设计的版图可能存在三种类型错误需要检查:几何设计规则检查、逻辑连通性检查和电性能检查。

几何设计规则检查是根据设计者事先规定的最小线宽、最小间距、周长、面积、覆盖、重迭等设计标准对版图数据进行检查,发现有违反之处,即打印信息报告用户,请用户修改。

逻辑连通性检查的任务是查找出版图中有没有短路、开路或冗余器件,检查版图是否正确反映了逻辑图。

电性能检查软件首先根据版图计算出寄生电容和电阻,然后通过电路分析检查电学性能是否符合原设计要求。

国外已发表了不少关于掩模图形分析和检查的算法,以及版图分析和校验的软件系统,特别是设计规则检查用得更为普遍。像APPLICON、COMPUTERVISION、CALMA等交互图形编辑系统都具有设计规则检查功能。国内清华大学和机械工业部自动化研究所研制的JC-81软件就是一个用于设计规则检查的版图分析和校验软件。

四、器件设计与器件分析

器件设计是在满足电气性能的条件下根据工艺技术水平确定晶体管结构。目前还不能根据电性能和制造约束条件,自动设计出一个晶体管结构。如同电路设计一样,还只能由人事先设计好一个晶体管结构,并给定工艺条件等参数,借助于器件分析程序计算电性能,然后由设计者根据输出结果判断其好坏并决定要否修改。如此反复直到得到一个满意的结果为止。器件分析的另一个作用是为电路分析提供精确的模型参数。

实际器件内部的物理状态需要用三维的偏微分方程组才能描述,但这需要内存较大和速度较快的计算机。为了节省机时或限于计算机条件,常常把三维问题简化成二维或一维来求解。较有名的一维器件分析程序有SEDAN,它是由美国斯坦福大学研制的,已移植到我国运行。另外还有美国IBM公司的二维分析程序FIELDAY及日本日立公司的

CADDET。国内也已有若干个二维器件分析程序,如清华大学的 2D-FEAN 等。

五、工艺模拟

要制造出 LSI 芯片并具有一定的成品率,就必须要有正确的工艺过程和适当的工艺参数。采用工艺模拟程序提前调试主要工艺参数,然后再在工艺流水线上试投,并根据具体情况进行调整以完成工艺设计。这不但节省了时间,而且也大大降低了产品设计费用。

工艺模拟程序可模拟六种主要工艺:离子注入、预沉积、氧化和再扩散、外延生长、低温沉积以及腐蚀。这些工艺可单独分别模拟,也可以连续相继模拟。前者相当于各个独立的工艺试验,后者相当于一个完整的制造工艺过程。模拟结果可输出杂质在硅及二氧化硅中的分布, n 型及 p 型层的结深、各层的薄层电阻、阈值电压等。

较为流行的工艺模拟程序是美国的 SUPREM-II, 该程序已移植至我国在若干单位的计算机上运行。

通常,工艺模拟与计算机辅助测试一样不包含在 LSI CAD 系统中,考虑到它的实际使用意义以及本书是面向半导体专业学生,因此我们把它列入本书内容。

六、LSI CAD 系统和数据库

随着 CAD 技术的发展和 LSI 集成度提高,希望能将各部分 CAD 软件有机地组成一个 CAD 系统,并由一个统一的 CAD 数据库来管理所有的数据。

由于历史的原因,开始 CAD 技术总是针对各个阶段的设计任务,因而形成彼此独立的各阶段的 CAD 软件,如前面介绍的逻辑模拟软件、电路分析软件、时域分析软件、自动布局布线软件、交互式图形编辑软件……。这些软件有各自的输入语言、数据结构,甚至有各自独立存放设计数据的数据库。

但是,一个 LSI 设计过程的各个设计阶段是有联系的,它们的数据也是有联系的。如逻辑模拟和布局布线软件的输入信息中都有逻辑网络连接信息。当用户使用彼此独立的各种 CAD 软件时,就要熟悉它们所有的输入语言、操作方法、输出形式,要花很大精力去作数据的准备、检查、整理、核对工作。这是一个十分烦琐又艰苦的工作,并且又很容易出错,假如能形成一个 CAD 系统,有统一的数据库,有统一的 CAD 描述语言,这对用户是一个极大的方便,并且将会大大提高 CAD 技术的效率。

在 CAD 系统中, CAD 数据库是其核心。采用统一的数据库有下列好处:

- ① 由于数据一元化,可以减少数据冗余和避免数据矛盾。
- ② 可以使数据的物理记录独立于应用程序,不会因应用程序的改变而修改数据,而应用程序是要不断改进的。
- ③ 可以提高数据处理效率。统一的数据库和 CAD 系统是近几年来提出的课题,国外已有文章报道,但未有更详细资料。国内这方面工作也正在开展,不久将会有这样的系统投入使用。

参 考 资 料

- [1] 刘明业:《数字系统计算机辅助设计》,国防工业出版社,1980
- [2] 《计算机辅助设计文集》,科学技术文献出版社,1979
- [3] M. A. 布鲁尔编,中国科学院计算所译:《数字计算机设计自动化的理论和方法》,科学出版社,1978

- [4] 洪先龙等:《大规模集成电路计算机辅助制版软件系统》,国防工业出版社,1981
- [5] 洪先龙、吴启明等:《计算机辅助电路分析——算法及软件技术》,清华大学出版社,1983
- [6] 洪先龙等:“一个小型机上的 LSI CAD 系统的方案”,《计算机研究与发展》,1983, 2
- [7] Hong Xian long, etc: “QCADS-A LSI CAD System for Minicomputer”, *19th Design Automation Conference Proceedings*, 1982, 6
- [8] 洪先龙、吴启明等:“大规模集成电路计算机辅助版图编辑软件系统 ZB-791”,《计算机技术》,1981, 1

第 二 章

逻 辑 模 拟

目前我们在 LSI 设计中,还不能实现逻辑设计自动化,一般都由人来设计。但现在单个芯片的逻辑功能愈来愈复杂,人工设计难免有错,因此保证逻辑设计的正确性是个重要问题。传统的人工检查方法不仅费精力、费时间,而且有些较隐蔽的错误很难发现。至于电路中若存在竞争和险象、或者“毛刺”,则更难用人工来检查了。采用逻辑模拟技术就可以借助于计算机,在芯片制造前调试所设计的逻辑,把逻辑图中的错误消灭在投产之前。

逻辑模拟主要有两个目的:一是检查逻辑设计的正确性;二是进行故障模拟,产生故障测试码,提供给计算机辅助测试时使用。本章只讨论第一个方面的功能,简单地介绍逻辑模拟的基本原理和基本方法,着重讲述逻辑描述语言的使用方法,也就是如何去使用逻辑模拟技术。

§ 1 什么是逻辑模拟

在传统的设计方法中,当逻辑设计的图纸出来以后,为保证设计正确无误,便要组织人力审查图纸。审查者根据功能要求,从系统输入端开始逐级检查逻辑图,有时还要人为地设置一组输入信号,然后根据逻辑图上单元的功能逐级算出信号状态值,直到输出端,判断是否是所要求的值。这种方法既费人力又拖延时间,对于简单小规模逻辑网络还能有些作用,而对复杂的大规模网络,则很难保证检查的正确性。在人工检查后,有时还可搭一个“样机”进行实验模拟。实验者根据逻辑图,选择合适的元件搭接一个逻辑线路样机,用波形发生器接于输入端,并产生一组预定的波形,然后用示波器测量输出端或其它待测点的波形。这种方法,如果逻辑线路样机是正确地反映了逻辑图(包括元件和连接关系),则实验结果比人工检查可靠,且省时间。但当网络很大时,造样机的工作量也就十分大。而对于 LSI,很难用分列元件搭一个样机来模拟芯片功能。

随着计算机的发展,人们采用软件手段用逻辑模拟技术来验证逻辑设计的正确性。逻辑模拟最早是在设计计算机这样的数字逻辑系统时使用的。例如用寄存器级模拟程序来检查指令操作时间表,用门级模拟程序来检查逻辑图的正确性。LSI 和 VLSI 的发展,对模拟技术要求更高。因为对于 LSI,一旦芯片掩模制造完毕,便难以再进行修改,此时,逻辑模拟便成为不可缺少的了。

逻辑模拟是利用软件手段,在计算机上构成硬件模型,模拟其逻辑动作,根据用户需要输出输入端或待测点的波形,供设计者检查逻辑设计的正确性。它十分像上面所说的“样机实验”。但它不需要去造样机,也不需要做实验,只要有一台计算机和模拟软件。用户可直接将所设计的逻辑图用适当的手段(通常是用所谓逻辑描述语言)送入计算机,并进行各种逻辑功能的调试。也就是说,设计者可以在芯片制造之前调试芯片的逻辑功能,从而可将设

计中的逻辑上的错误消灭在制造之前。在硬件上难以实现的复杂电路动作也可以通过模拟程序来实现。此外,还可以进行更为深入细致的研究,预先检查运行中有无逻辑竞争、冒险等问题存在。

采用逻辑模拟技术至少要解决下列几个问题:

1. 建立合适的逻辑元件模型

我们要把逻辑图中用到的各种逻辑元件,如门、触发器、移位器、寄存器等放在计算机中。怎样去表示它们的性能,如延迟时间、电信号的值、逻辑功能等。元件的类型应包括多大范围。这些都是我们在建立元件模型时要考虑的。我们不能把实际元件中所有因素都考虑进去,要作一些简化。一般地说,模型越复杂,就越能真实地反映客观对象。模拟结果也就越精确,但花费的代价也越大。反之,模型简单精度就差,但花费代价小。因此,模拟模型的选取决定于所要达到的目的及要求。

2. 逻辑线路的输入

设计者要将设计好的逻辑图输入到计算机中才能进行模拟。目前常用的方法是根据事先规定好的一种逻辑描述语言或叫硬件描述语言将逻辑图中的元件以及连接方式输入机内,然后再指定输入波形及必要的输出要求,即可进行模拟。

3. 模拟算法

如果用户已将逻辑图输入到计算机内,剩下的问题就是要有适当的模拟算法来模拟逻辑线路的运行状况并检查其逻辑的正确性。

下一节我们将按上述三个基本问题简单地介绍逻辑模拟的基本原理。

§2 逻辑模拟的基本原理

一、逻辑元件模型的建立

我们要将逻辑设计中用到的逻辑单元(或叫元件)模型存放在计算机中,以便用户可以用它们组装成各种功能的逻辑线路。建立模型时主要要考虑下列几个因素:

1. 元件分级

在逻辑元件模型中首先要考虑把什么东西作为基本元件。如图 2-1 所示的逻辑图,如以门作为基本元件,则它由两个两端与门、一个两端或门和一个非门构成;如以半加器作为一个基本元件,它就是一个半加器。不同的用户对元件的描述不同,模拟系统采用的模拟算法也不一定相同。由于模拟时只关心元件的功能,内部的具体细节毫无意义,因此元件规模愈小愈接近真实情况。不过太细也不一定必要,例如把晶体管、电阻作为基本元件,从逻辑模拟的角度看,就没有什么实际意义。因为逻辑模拟时只关心元件的逻辑值,具体的电平和过渡过程并不感兴趣。数字系统按元件的规模大小可分成三级:寄存器级、门级和功能块级,相应地也有这三级模拟。

(1) 寄存器级 寄存器级模拟只检查所设计的机器各条指令的流程即数据在有关各寄存器中的传输情况,因此这种模拟主要针对计算机的数字系统,用于检查操作表的正确性。

(2) 门级 门级模拟的基本元件可为与门、或门、非门、与非门、或非门等。也可以是触

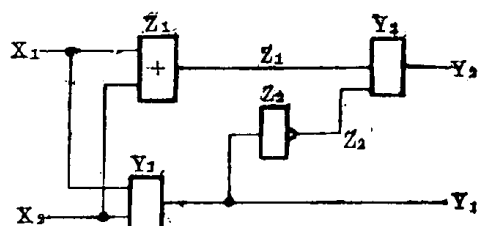


图 2-1 半加器电路

发器。门级模拟一般要在部分图纸或全部图纸设计出来后,才能进行模拟,其主要目的是检查逻辑图的正确性及相应的故障模拟。

(3) 功能块级 功能块级模拟的基本元件可以是加法器、计数器、存贮器、译码器等功能块,也可以把一些更大的功能部件看成一个功能元件。当然,功能元件的内部详细逻辑线路应该是经过检查可靠无误的。功能块级模拟主要是检查逻辑上的正确性。

由于计算技术和半导体技术的飞速发展,逻辑线路愈来愈复杂,单纯用门级来描述被模拟的逻辑线路,信息量很大,要占用很大的存贮容量、花费大量机器时间。如果引用功能元件,既节省存贮量又可减少运行时间,从而使较大型的逻辑线路也能进行模拟。另外,由于大规模集成电路的发展,许多 LSI 器件的逻辑已经不可能仅用门级进行描述,这也是必须要引入功能级描述的原因之一。因此,国外用于 LSI 的逻辑模拟程序大都是门和功能级混合的模拟程序。

与门相比,功能级模型有很多新的特点。例如,在功能级模型中要设置内部变量。假如有一个时序逻辑线路要用功能级模型来描述,由于其输出端信号的状态值不仅依赖于输入端状态值,而且还依赖于线路的原有状态。因此,必须设置内部变量来描述这个原有状态。相应地在模拟算法中也需采取“设置输入缓冲区”、“推迟计算”等与门级模拟算法不同的做法。

2. 模拟元件的延迟时间

由于晶体管的开关特性,脉冲信号通过半导体器件时,总存在一定的传播延迟时间。因此在建立逻辑模型时,要考虑这个问题。

每个元件和导线对其所传播的电信号都产生延迟 Δt 。我们假定这种延迟是加到功能元件的输出端上,即若在时间 t 发生的输入跳变直到时间 $t + \Delta t$ 才影响到输出端。不同类型的元件其延迟时间不一定相同,通常我们将传输延迟值规定为某一选定的延迟单位的倍数。例如线路中与非门的延迟是 5 ns , 而触发器的延迟为 15 ns , 则选取与非门的传输延迟是 $\Delta t = 1$, 而触发器的 $\Delta t = 3$ 。其中延迟单位为 5 ns 。

常见的延迟时间处理方法有以下几种:

(1) 零延迟时间 就是假定所有元件的传播时间为零。这种模型实质上只能检查逻辑线路是否符合布尔表达式,布尔表达式本身是否正确。因此用来检查组合线路最合适,但对异步时序线路就完全不适用了。

(2) 指定常数的延迟时间 从实际情况出发,既要考虑到元件延迟确实存在,但又要考虑到具体实现的方便。通常采取对每种类型元件指定一个常数延迟时间,一般取元件的标准延迟时间或最坏情况延迟时间。这往往可以在产品目录上查到。

(3) 指定最小延迟时间和模糊区域 在实际器件中,脉冲信号的变化不会发生突变,而是有个过渡过程。因此有些模拟程序允许对每种元件指定两个延迟时间参数。

一个表示信号传播的最小延迟时间,另一个表示过渡过程的时间或者称为模糊区域。

(4) 分别指定正跳变和负跳变的延迟时间 因为脉冲信号通过半导体器件的正跳变和负跳变的延迟时间并不一样。因此,在更精确的模拟模型中允许对各种元件分别指定正跳变和负跳变时的最小延迟时间和模糊区域。

(5) 功能块模型描述中延迟时间的指定 对一个较复杂的功能块来说,不同的输入端对输出端的延迟时间可能是不同的。一般地说,若一个功能块有 N 个输入 M 个输出,则它

有 $N \times M$ 个延迟值。而对门来说,延迟时间只可能是一种(1)~(4)中的某一种描述),因为它只有一个输出端。当然,也可以对功能块的每一个输出端指定一个延迟值,例如取 N 个输入端中延迟时间最长的那个作为该输出端的延迟值。更精确的做法是在描述功能块的功能表达式中允许带时间参数,这将在本章的第三节中详细介绍。

3. 模拟信号的状态值

真实的电路中各节点的输出波形如图 2-2 所示。如果我们粗略地看可分成高电平和低电平两种状态,分别用 1 和 0 表示两种状态,二值模拟就是这种理想化波形的模型,其中模拟信号的状态值只有 1 和 0 两种。

如果除 0 和 1 外再引进一个不确定的 u 值,用它表示信号在模糊区间的状态值,那么模拟模型的动作可以获得更准确的描述,此即三值模拟。三值的模拟信号更接近真实信号的波形,其示意图如图 2-2 所示。引进三值模拟主要用于检测竞争和冒险等。

除了二值、三值模拟以外,有时为了算法需要,引进一些新的状态,例如四值模拟、五值模拟以及八值模拟等。它把信号波形图分得更细,每一部分对应一个值。

4. 元件的逻辑功能计算

在模拟时,若给定了元件输入端的信号状态值,通过功能计算并考虑到延迟就得到输出端信号状态值。模拟程序对每一类元件都要设置一个完成此元件功能计算的“子程序”。标准的元件,模拟程序中事先有编好每类元件的计算程序,对用户自定义元件(如功能块)则由用户提供逻辑功能描述(一般可通过条件语句和各种逻辑表达式来表示),通过编译程序翻译成功能计算子程序临时加入到模拟程序中。在功能计算中最基本的是二值或三值(多值)逻辑代数运算法则。

二值模拟中采用二值逻辑,其逻辑运算真值表如图 2-3 所示,它与布尔代数的运算关系是相同的。

与	0	1
0	0	0
1	0	1

或	0	1
0	0	1
1	1	1

非	
0	1
1	0

图 2-3 二值逻辑运算符运算表

三值模拟采用三值逻辑代数。三值逻辑代数中,对 0 和 1 值逻辑运算结果和二值逻辑代数相同,对不确定值 u 的非运算。其结果仍是不确定值 u 。即

$$\bar{u} = u$$

三值逻辑运算真值表如图 2-4 所示。

5. 模拟时钟

模拟时钟用来作为被模拟网络各信号状态值的时标。虽然时间是连续变化的,但是模拟时只能在离散的时刻上进行信号状态值的计算。因此模拟时钟取作一系列的离散时间序列。一般为了处理方便,多数的模拟程序都将离散时间间隔取作一常数值。

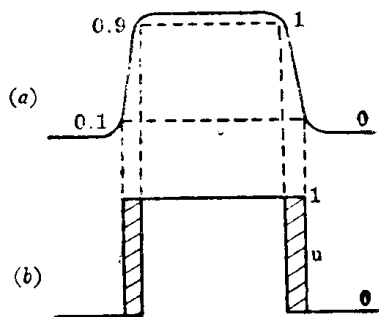


图 2-2 信号的波形图

(a) 信号的真实波形图 (b) 模型化后的波形图