

可编程逻辑器件 PLD

——基本原理·设计技术·应用实例——

丁嘉种 刘凤云 编著
马 琦 崔茂东

学 苑 出 版 社

内 容 简 介

可编程逻辑器件 PLD 是当今国际上流行的最新一代电子数字逻辑器件。其最突出特点是用户可定义其逻辑功能,因而能适应各种各样应用的不同需求,有利于简化系统设计,缩小系统规模,提高系统可靠性。

本书综合近年来国际上的最新技术资料,并结合作者多年从事科研与开发应用的成果和经验编著而成。全书共分十二章和两个附录。全面系统地介绍了 PLD 的发展与演变、基本结构与技术特点、开发与应用 PLD 的设计方法与设计工具,同时附有大量应用实例和各类器件的技术规格。

本书可作为计算机、自动控制、通信、电子器件等领域的科研和工程技术人员的综合性专业参考书,亦可供大专院校有关专业大学生和研究生参考。

可编程逻辑器件 PLD

—基本原理·设计技术·应用实例—

丁嘉种 刘风云 马琦 崔茂东 编著

学苑出版社出版 新华书店北京发行所发行

新丰印刷厂印刷

16 开 21 25

900 千字

前 言

可编程逻辑器件 PLD 是设计最新一代数字系统的逻辑器件。它不但具有高速度、高集成度,更重要的是具有用户可定义的逻辑功能。因而,PLD 能适应各种应用的需求,大大地简化了系统设计,缩小了系统规模,提高了系统可靠性。

PLD 作为一种新型的电子器件,有着极其广阔的应用领域。这类器件的研制、开发与应用,在国际上已广泛普及,在国内亦已引起广大教学、科研和工程技术人员浓厚兴趣。因此,我们综合国际上最新技术资料,并结合我们多年来从事科研与开发应用的成果和经验,编写本书以应急需。

本书将系统地介绍 PLD 的发展与演变,基本结构与技术特点,开发与应用 PLD 器件的设计技术与设计工具,同时附有大量的应用实例。

本书第一章首先扼要地叙述 PLD 的发展概况,基本技术特性以及四种基本结构: PROM、PLA、PAL 和 GAL。

第二章简要地描述用 PLD 实现各种基本逻辑功能所必需的基础知识——布尔代数、布尔表达式的标准形式及其化简方法。

第三、四章分别介绍 PROM 和 PLA 的基本原理,各种形式的 PROM 器件和 PLA 器件,同时给出若干应用实例。

第五章介绍 TTL、CMOS 和 ECL 工艺的 PAL 器件以及若干种先进的 PLD 器件。

第六、七、八章用大量篇幅详细介绍 PLD 的设计技术及设计软件包。其中包括组合逻辑、寄存器型逻辑及状态机逻辑的设计方法,几种主要的设计软件包: PALASM2、PLPL、ABEL、GATES 以及 CUPL 等。这些设计方法和设计软件包不仅适用于 PAL 器件,亦适用于 GAL 器件。

第九至十一章详细地介绍 1986 年才问世的通用阵列逻辑 GAL 器件的设计原理,几种主要的 GAL 器件的技术特性以及 GAL 器件的各种应用实例。

第十二章叙述 EPROM 与 GAL 编程器及其使用方法,同时具体给出 PLD 在软件加密技术中的应用实例。

最后,在附录中列出大量的、常用的 PAL 及 GAL 器件的技术特性、封装及外形图。这些资料摘自 AMD/MMI、LATTICE 等公司的最新器件手册,以供使用时查阅参考。

全书由丁嘉种主编。其中第三、四、五章由刘凤云编写,第十二章由马琦、崔茂东编写,其余各章由丁嘉种编写,刘凤云参与其中部分工作。全书最后由丁嘉种修改审定。

本书的出版得到北京金钟电子有限公司的支持以及马卓钊、吴乃平同志的大力帮助,在此一并致谢。

作者水平有限,书中难免有欠妥甚至错误之处,恳请批评指正。

编著者

1989 年 2 月

目 录

第一章 可编程逻辑器件引论	(1)
§ 1.1 为什么采用可编程逻辑	(1)
§ 1.2 可编程逻辑器件的发展概况	(2)
§ 1.3 可编程逻辑器件的分类及特点	(3)
§ 1.4 可编程逻辑器件的基本结构	(6)
第二章 数字逻辑系统设计基础	(13)
§ 2.1 布尔代数引论	(13)
§ 2.2 布尔代数基本理论	(15)
§ 2.3 布尔表达式的标准形式	(17)
§ 2.4 布尔表达式的化简	(21)
第三章 可编程只读存储器 PROM 及其应用	(26)
§ 3.1 固定掩膜型只读存储器 MROM	(27)
§ 3.2 一次可编程只读存储器 PROM	(28)
§ 3.3 可重写的只读存储器 EPROM 和 EEPROM	(34)
§ 3.4 利用 PROM 的设计应用举例	(40)
第四章 可编程逻辑阵列 PLA	(46)
§ 4.1 可编程逻辑阵列的基本结构和特点	(46)
§ 4.2 采用 PLA 进行逻辑设计	(51)
§ 4.3 采用 PLA 实现计算机控制逻辑举例	(61)
第五章 可编程阵列逻辑 PAL	(71)
§ 5.1 PAL 基本概念	(71)
§ 5.2 TTL 工艺的 PAL 器件	(80)
§ 5.3 CMOS 工艺的 PAL 器件	(88)
§ 5.4 ECL 工艺的 PAL 器件	(90)
§ 5.5 其它先进的 PLD 器件	(91)
第六章 可编程逻辑的设计技术	(94)
§ 6.1 设计软件 PALASM 的安装方法	(94)
§ 6.2 组合逻辑的设计方法	(95)
§ 6.3 寄存器型逻辑的设计方法	(106)
§ 6.4 PLD 设计方法学	(112)
§ 6.5 状态机逻辑的设计方法	(125)
第七章 可编程逻辑设计软件	(142)
§ 7.1 引言	(142)
§ 7.2 PALASM2 逻辑设计软件包	(144)
§ 7.3 PLPL: 可编程逻辑的程序设计语言	(145)
§ 7.4 ABEL、GATES——两个高级的 PLD 设计工具	(163)
§ 7.5 CUPL——一种可编程逻辑设计软件包	(171)

第八章 PALASM2 可编程逻辑设计软件包	(188)
§ 8.1 PALASM2 软件包概述	(188)
§ 8.2 PALASM2 软件的安装	(193)
§ 8.3 PALASM2 软件的运行	(199)
§ 8.4 模拟段的建立和模拟结果分析	(214)
§ 8.5 器件的编程方法	(228)
第九章 可重编程的通用阵列逻辑 GAL	(234)
✓ § 9.1 GAL 的基本设计原理	(234)
✓ § 9.2 GAL16V8、GAL20V8 技术特性	(236)
§ 9.3 GAL39V18 技术特性	(249)
§ 9.4 ispGAL16Z8 技术特性	(254)
第十章 GAL 器件的开发应用	(260)
§ 10.1 GAL 的开发	(260)
§ 10.2 使用 GAL 器件的设计过程	(262)
§ 10.3 GAL 的应用举例(1)——两层楼电梯控制	(265)
§ 10.4 GAL 的应用举例(2)——三层楼电梯控制	(268)
第十一章 GAL 器件的各种基本应用	(301)
✓ § 11.1 基本门电路	(301)
§ 11.2 基本触发器	(307)
§ 11.3 移位寄存器	(311)
§ 11.4 四位可逆计数器	(312)
§ 11.5 七位计数器	(317)
§ 11.6 存储器地址译码器	(317)
§ 11.7 循环移位器	(323)
§ 11.8 四选一多路转换器	(327)
§ 11.9 8:3 优先级编码器	(330)
✓ § 11.10 口令译码器	(331)
§ 11.11 含有等待状态产生器的译码器	(336)
§ 11.12 总线判优器	(337)
§ 11.13 四位串行加法器	(337)
§ 11.14 时钟扩展器	(338)
✓ § 11.15 双端口动态 RAM 控制	(338)
第十二章 PLD 的编程工具及应用	(354)
§ 12.1 EPROM 编程器	(354)
§ 12.2 JZ—GALLAB 开发系统	(365)
✓ § 12.3 PLD 器件在软件加密技术中的应用	(374)
附录	
附录 A	(386)
A1 PAL 器件一览表	
A2 PAL/PLD 器件按功能分类表	

A3	TTL/CMOS PAL 器件技术规格	
A4	TTL/CMOS AmPAL 器件技术规格	
A5	可编程逻辑定序器	
A6	ECL PAL 器件	
A7	零功耗 CMOS 器件	
A8	军用 PAL/PLD 器件一览表	
A9	各厂家与 AMD/MMI 器件相互对照表	
附录 B		(471)
B1	GAL 器件绝对最大额定值	
B2	GAL 器件工作范围	
B3	GAL 器件开关测试条件	
B4	GAL 器件负载电容	
B5	GAL16V8、GAL20V8 工作条件下电气特性	
B6	GAL16V8、GAL20V8 工作条件下开关特性	
B7	GAL16V8、GAL20V8 测试参数一览表	
B8	GAL16V8A 技术规格	
B9	GAL20V8A 技术规格	
B10	GAL39V18 技术规格	
B11	GAL16V8 配置的若干种 PAL 结构图象	
B12	GAL20V8 配置的若干种 PAL 结构图象	
B13	GAL 器件开发工具	
B14	GAL 器件编号说明	
B15	GAL 器件封装外形图	
参考文献		(491)
后记		

第一章 可编程逻辑器件引论

可编程逻辑器件 (PLD——Programmable Logic Devices) 是数字系统设计工程师可采用的最新一代基本积木块。大家知道, 随着半导体技术的飞速发展, 数字工程已经历了四代——分立元件、小规模集成电路 (SSI)、中规模集成电路 (MSI) 和大规模集成电路 (LSI)。事实上, 在 SSI/MSI 器件与 LSI 器件之间存在一定的间隙: 如采用 SSI/MSI 器件来设计某个特定的系统, 不仅要占用很大的物理空间, 而且功耗较大; 如采用 LSI 器件 (如微处理器等), 则具有相当高的集成度和相对小的功耗, 但是开发费用高, 而且还要使用 SSI/MSI 器件来设计相应的接口逻辑。PLD 器件的开发正是为了填补这一空白。PLD 器件不仅给工程师提供一系列功能强、速度高和灵活性大的积木式器件, 而且它们力图解决 LSI 技术的主要问题之一, 即尽可能大批量地生产各种类型的器件。

本章首先说明为什么采用可编程逻辑, 接着扼要地叙述 PLD 器件的发展概况及其基本特点, 与通用 LSI、半定制、全定制器件的比较, 进而说明采用 PLD 器件设计系统的优点, 最后, 对各类 PLD 器件的基本结构加以简要描述。

§ 1.1 为什么采用可编程逻辑

数字系统工程师在分立元件时代, 面临着线路设计、逻辑设计、系统设计和工程结构设计等四大设计任务。随着所用器件由分立元件向着 SSI、MSI 和 LSI 方向发展, 除了在器件速度、成本和可靠性方面有明显的改进、生产率有明显的提高外, 在系统设计方法学方面也有不断改进: 不仅要求简化设计过程, 而且越来越要求降低整个系统的体积和成本, 增加系统的可靠性。正是这些愿望导致了第一个可编程逻辑器件的研制。事实上, 可编程逻辑的发展已改变了系统设计的方法, 因为它给设计者提供了一种简便的工具去解决他的全部需求。可编程逻辑是简化设计过程的理想方法, 因为使用它设计者无论何时何地都可准确地实现他所需的逻辑功能。由于具有比 SSI/MSI 高得多的功能密集度, 所以它对于减小系统的规模、降低成本也是很理想的方法。最后, 因为简化了设计和器件数目较少, 使系统的可靠性大为提高。

一、简化系统设计

可编程逻辑是一种理想的设计工具, 因为用户只需指明这些器件将具有何种功能。而 SSI/MSI 方法 (当能够完成相同功能时) 需要调制、搭配和互连预先定义的芯片功能以获得所希望的结果。这常常是一个非常繁琐的过程, 致使许多 SSI/MSI 芯片不能充分利用并造成重大的印制板布局设计问题。相反地, 可编程逻辑提供了用户可定义的功能, 它能进行优化裁剪以适合任何应用的要求。更有效地利用芯片以及缩减芯片的数目将极大地简化印制板的布局设计过程, 因此, 使设计过程不仅在构思阶段, 而且在实现阶段都更加精简而高效率。

二、增大功能密集度

可编程逻辑比 SSI/MSI 具有更高的功能密集度, 使它成为降低系统规模和成本的理想设计工具。功能密集度是指在给定的空间能集成的逻辑功能数量。一个可编程逻辑器件一般能

代替执行同一功能的 SSI/MSI 组件 4~12 块。还有,由于用户将逻辑功能编入器件中,所以器件的功能利用率将比 SSI/MSI 预定义的功能利用率高得多。这些因素直接有助于减少芯片数目,缩小印制板面积和减少印制板数目,从而导致系统规模的全面缩减。

三、提高可靠性

减少芯片和印制板数目,缩小系统规模远不只是降低成本。事实上它还极大地提高了系统的可靠性。统计已表明:具有较高集成度的系统比用许多低集成度的标准组件设计的等效系统具有高得多的可靠性。可能失效的组件较少,印制板上的互连线较少,良好的运行环境,比较容易制造系统,等等,所有这一切都有助于获得较高的可靠性。而且,这也是用可编程逻辑进行设计的主要益处。

系统设计者希望他的任务尽可能简单,而系统用户则只要求能得到最低价格,最高可靠性的系统。可编程逻辑对此提供了解决办法,因此成为设计挑战中的理想选择。

§ 1.2 可编程逻辑器件的发展概况

可编程逻辑器件(PLD)是 70 年代发展起来的一种新型逻辑器件。实际上,它主要是一种“与—或”两级结构的器件,其最终逻辑结构和功能由用户编程决定。它兼有标准逻辑器件和半定制逻辑器件的优点。它具有的可现场编程的特点,提供了几乎立即的可定制性。PLD 器件内部结构是用可编程熔丝把“与”门阵列,“或”门阵列以及寄存器互相连接起来。PLD 器件包括 PROM、FPLA、PAL、GAL 等多种结构。

一、PLD 的四个发展阶段

第一个 PLD 器件于 70 年代初期制成,称为可编程只读存储器(PROM)。当时主要用以解决各种类型的存储问题,诸如显示查表结果,软件存储(称其为固件)。接着,逐步转向逻辑应用,至今已经历了四个发展阶段。

第一阶段的产品,包括“与”阵列全部预先连接好,而“或”阵列由可编程二极管熔丝阵列构成的 PROM,但以“与”阵列和“或”阵列均可编程的双极型现场可编程逻辑阵列(FPLA——Field Programmable Logic Array)器件为代表。

第二阶段开始开发“与”阵列可编程,而“或”阵列固定的可编程阵列逻辑(PAL——Programmable Array Logic)器件。

第三阶段出现 CMOS 可擦型器件,具有紫外线可擦(UVE——UltraViolet Erasable)和电可擦(EE——Electrically Erasable)的重复编程功能。例如本书将着重介绍的通用阵列逻辑(GAL——Generic Array Logic)器件。

第四阶段出现完全不同于 FPLA 和 PAL 的结构,例如逻辑单元阵列(LCA——Logic Cell Array)和可编程宏单元逻辑(PML——Programmable Macrocell Logic)。

二、可编程逻辑器件的现状与发展趋势

PLD 器件自问世以来,工艺上采用 CMOS, TTL, ECL 技术,器件结构类型有 PROM, EPROM, EEPROM, FPLA, PAL, GAL, LCA, PML 等等。PLD 器件目前正向着更高速、更高密度、更强功能、更灵活的方向发展。PLD 已成为第四代计算机使用的主要逻辑器件之一,它是介于门阵列,专用 IC 与标准逻辑器件之间的可由用户编程的器件。

在高速的 PLD 器件方面, ECL 工艺的 PAL 器件目前已有十多个品种,典型的延迟时间最快为 3~3.6ns, 积项数目从 32~90 个不等。其中 AMD 公司的 AMPAL20EV8 (含 8 个可编程

寄存器), 相当于 500~800 个等值门, 并且具有同步预置和异步复位功能。

在密度方面, 正向着 CMOS、EPROM、E²PROM 的熔丝矩阵多达 10^6 个, 等效门 10^4 个方向发展。例如 ALTERA 公司正致力于开发新一代的 EPLD 结构, 使等效门达 5000~10000 个。Xilinx 公司利用 CMOS RAM 技术提供可编程性, 该公司的“XC-20”用户可编程的门阵列内含有 10^3 个以上的等效门, 通过可编程开关(通道门)实现随机逻辑互连。

除了进一步开发高速度与高密度的 PLD 器件外, 近年来出现了系统内可重新编程的 PLD。例如 Lattice 半导体公司在 EEPROM 基础上开发的 isp GALTM16Z8 就是一例。另一方面, 随着 CMOS 器件集成度的进一步提高, 有些公司开发出了集成度能与低档门阵列相竞争的 PLD 器件。

把低档门阵列的高集成度与 PLD 器件开发周期短, 且可由用户编程的优点结合起来, 推出了与传统的 PLD 结构不同的两种产品。Signetics 公司最近推出的 PML 器件, 所含的等效门数和引出线数目多, 且内部可灵活互连。它克服了传统的 PLD 器件“与-或”结构的缺点, 而仅以单个“与-非”门的阵列构成理论上支持任意级的逻辑功能, (因为阵列中每一个“与-非”门都有反馈线进入阵列)。该公司的第一个这种产品 PLHS501 双极型器件, 有 24 个专用输入, 72 个“与-非”门, 还有 44 个“与-非”门驱动, 16 个专用输出和 8 个双向 I/O, 单级逻辑延迟时间为 18ns。另一种根本不同于传统的 PLD 结构的 LCA 器件, 由可编程逻辑单元(细胞阵列), 可编程互连线和可编程 I/O 单元构成。它类似于门阵列, 又不象门阵列, 它可由用户编程, 并且可经由 RAM 在系统内重新编程。

PLD 发展的下一个阶段将包括折叠式阵列, 由“与-非”门或“或-非”门结构组成 PLD, 使得逻辑结构有极大的灵活性。可在预先制造好的大规模集成电路芯片上, 互连任意复杂的逻辑宏单元, 以构成符合设计要求的专用逻辑电路, 其功能足以实现一整个小子系统。

§ 1.3 可编程逻辑器件的特点

一、数字逻辑器件的分类及特点

人们经常利用几种基本类别的数字逻辑器件来设计一个系统。在这样的设计中, 总是尽量利用每一类器件的优点而避免其缺点。数字逻辑器件大体上可分成三种基本类型:

(1) 标准产品, 即 SSI/MSI 逻辑器件: 如 TTL 的各种逻辑门电路, LSTTL 的 4 位 ALU, 先行进位电路, 多路转接器、译码器、移位寄存器和锁存器等。

(2) 软件可配置的 LSI 器件: 如微处理器等, 它们通常采用集成度高、功耗低的 MOS 工艺来制作。

(3) 特定用途的 IC (ASIC——Application-Specific Integrated Circuit), 此类器件优于其它类器件。它们能实现由用户规定的, 对具体应用是最佳的功能。ASIC 类按其特定功能又可细分成三类: 标准单元、门阵列和可编程逻辑器件。

虽然最广泛使用的标准逻辑器件可满足各种用户的一般需要, 但是用户必须准备大量的互连, 并围绕各个独立的标准器件的功能和技术特性进行设计。因而采用 SSI/MSI 的标准逻辑器件来构成一个系统, 所需器件数量多, 功耗高, 印制板空间大, 系统价格较昂贵。且由于器件数目多及互连线多而导致系统可靠性较低。其优点是可获得较强的系统性能。

至于软件可配置的器件如微处理器, 具有固有的灵活性和可定制性, 这是其它类型的器件比不上的; 然而这类器件的典型运行速度只有专用 IC 的十分之一, 不能直接用在速度要求

很严格的数据通路上。此外，一个微处理器常需要一大批支撑芯片作为它与实际应用环境的接口。

有人将 SSI/MSI 的标准逻辑器件和 LSI 的微处理器等称作传统的 IC，并且预测：到 2000 年，IC 工业将形成批量生产的传统 IC 和半定制性质的 ASIC 两大类产品，两者各有特色。前者将集中在少数几家公司手中，注重降低生产成本；后者强调沟通与用户联系，提供高水平的技术支持和服务。

ASIC 类中的标准单元，门阵列和 PLD 器件亦各具特色。

标准单元方法使用预先配置的、预先测试的和预先赋予特性的逻辑框图为设计者构造定制的硅芯片，因而称为全定制器件。这种芯片通常是利用图形终端手工设计的，可获得相当有效的逻辑设计，但可能需要花几周或几个月才能完成。这将增加前期工程费用，或称为非重复性开支 (NRE)。此外，生产定制硅片将另外花几星期时间。

标准单元设计的开发时间长和设计复杂，严重地影响了一体化修改或改正的能力。此外，客户一般必须订购一定的最低生产批量以弥补厂家开支。同时，由于大多数逻辑设计在调试阶段常需修改，所以标准单元方法在时间和经费方面要冒比较大的风险。

门阵列是预先设计、预先制作好规则排列的多个晶体管及电阻的集成电路母片，然后通过光刻做出的金属连线将其连接成适合不同用户要求的各种各样逻辑电路。其特点如下：

(1) 若干个晶体管和电阻构成一个“门细胞”，而各个门细胞在硅芯片上排列成规则的矩阵形。各个细胞内部晶体管和电阻的安排方式相同，它们通过下一步“布线工艺”可以构成各种门电路和其它功能电路。

(2) 门细胞内晶体管及电阻是事先制作好的，通过门细胞内及门细胞之间的连线来构成任意的逻辑电路。因此它既具有通用性（指门细胞阵列）又具有专用性（指不同用户要求的连线），因而又称为半定制电路。

(3) 从性能上看，它能以较低的价格，用较快的方法得到一定的完整数字逻辑 LSI 器件。

门阵列设计思想产生于 60 年代中期，可是由于当时的技术条件而未能实现。直至 70 年代初期，由于 LSI 工艺的发展和 CAD 技术的引入，才真正实现了门阵列电路。近 10 年来门阵列技术获得迅速发展，并日趋成熟，产值约占 ASIC 类的 2/3。目前多数门阵列仍在 4000 个门以下，采用 CAE (Computer-Aided Experiment) 系统实现门级设计；超过 4000 个门时普遍使用宏单元；集成度达 10000 个门以上时用硅编译器产生功能相同而形式各异的功能块，由编译器根据器件面积，关键路经和功能要求产生门阵列连接关系表。

门阵列设计方法与标准单元不同。用户根据厂家提供的设计手册，按照门细胞，宏单元及其技术性能指标等进行逻辑设计，然后用实验板进行硬件模拟实验，提供时间关系表，进行测试性和可布线性分析。逻辑图利用数字化仪输入计算机，或利用硬件描述语言从键盘打入厂家计算机。厂家计算机内设有各种软件：逻辑模拟程序验证逻辑是否正确，其它软件进行可测性及可布性分析，直至最后输出逻辑图。用户和厂家双方认可后才进行掩膜工程设计。下一步利用 CAD 技术完成逻辑分割，安放门细胞、宏单元，布线，验证，产生测试带并制作掩膜板，生产出初步样品，经用户测试满意后才投入生产。

门阵列的灵活性低于标准单元器件，因为用户必须互连现有的结构，然而，门阵列器件通常有许多引出线（68 条或更多），这使它比一般的 PLD 器件有更强的逻辑功能。但是逻辑功能的增强是以较低的技术性能为代价的。

由于门阵列只依赖于 1~2 种定制的掩膜层，芯片生产可比标准单元快得多。从设计完成

至门阵列的最后芯片所需时间充其量是 4~8 周。门阵列的开发虽然不象标准单元需要大量的前期工程费用，但仍要求一些前期开发费用，最小生产批量以及修改逻辑周期长、花费大等缺点，使它仍然是一种冒险的方法。

二、可编程逻辑器件的基本特性

前几种类型的数字逻辑器件，对于大量应用的场合（即一旦调试后，设计不易改变的情况）是理想的选择。然而，一般的用户每年使用几百至几千个给定逻辑模式的器件，这样的用户负担不起门阵列或标准单元器件所需的 NRE 费用，因为其定购数量不足以分摊这个费用。而 PLD 提供了一种解决办法。图 1-1 表示各种设计方案的成本与开发时间的关系。

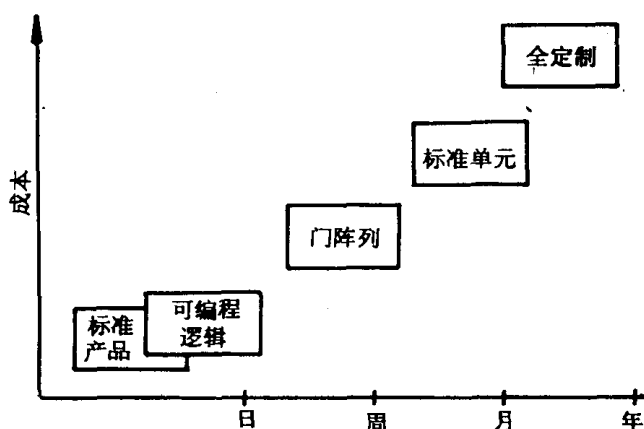


图 1-1 成本与开发时间的关系

由图可见：PLD 器件的单位成本低。同时，PLD 器件的结构单一但功能强，灵活，高性能，高可靠性，使用可负担得起的开发工具，这一切导致了较好的效率—价格比，较高的性能，较少冒险，较短的设计周期等。

PLD 是一种用户可配置的逻辑器件。基本 PLD 框图如图 1-2 所示。它对输入数据执行一定的操作，以产生所需的输出数据。通过对 PLD 器件施加一系列电压脉冲来确定各存储单元的模式，从而完成对该器件的配置。有许多类型的 PLD 器件，每一种器件适宜于在给定技术性能条件下执行某一种特定的逻辑操作。

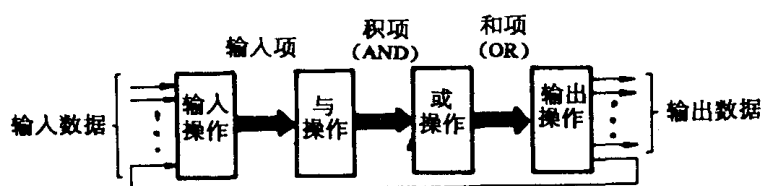


图 1-2 基本 PLD 框图

三、在系统设计中使用的 PLD 器件的优点

在设计某一特定系统时，可使用 SSI/MSI 器件、通用的 LSI 器件、半定制器件以及全定制器件等，其主要优缺点如下。

SSI/MSI：占用空间大、功耗高、可靠性低。

通用 LSI：功能强、集成密度高、功耗相对小，但开发费用高，还要用 SSI/MSI 器件设计相应接口逻辑。

全定制 IC：因其逻辑功能由用户定义，能最有效地解决各种特定的设计问题。但是开发

周期长, 成本过高。

半定制 IC: 如门阵列, 其开发成本比全定制 IC 要低, 开发周期短。但使用者难以充分利用门阵列芯片的全部功能, 故每个有效单元的平均价格仍较高, 而且器件的开发成本和周期仍比 PLD 器件要高得多, 长得多。

相比之下, 利用 PLD 器件来设计系统, 将有以下优点。

(1) 减小系统的硬件规模 单片 PLD 器件所能实现的逻辑功能大约是 SSI/MSI 逻辑器件的 4~20 倍。因此, 使用 PLD 器件能大大节省空间, 减小系统的规模, 降低功耗。

(2) 增强逻辑设计的灵活性 使用 PLD, 可不受标准系列器件在逻辑功能上的限制。而且修改逻辑可在系统设计和使用寿命过程的任一阶段中进行, 并且只需通过对所用的某些 PLD 器件进行重新编程即可完成, 给系统设计者提供了很大的灵活性。

(3) 缩短系统设计周期 由于 PLD 的用户可编程特性和灵活性, 用它来设计一个系统所需时间比传统方法大为缩短。同时, 在样机设计成功后, 对其进行逻辑修改也十分简便迅速, 无需重新布线和生产印制板。

(4) 简化系统设计提高系统速度 利用 PLD 的“与-或”两级结构来实现任何逻辑功能, 比用 SSI/MSI 器件所需逻辑级数少, 这不仅简化了系统设计, 而且减少了级延迟, 提高了系统速度。

(5) 降低系统成本 使用 PLD 器件来实现一个系统设计, 总的制造费用比使用 SSI/MSI 器件要低。有人对此作过专门比较: 用 SSI/MSI 器件来设计系统, 其中 25~50% 费用购买器件, 而其余 50~75% 费用用于测试器件、装配和制作印制板等。采用 PLD 器件设计系统, 由于所用器件少, 系统规模小, 器件测试及装配的工作量大大减少, 可靠性得到提高, 加上避免了修改逻辑带来的重新设计和生产等一系列问题, 所以有效地降低了系统的成本。

§ 1.4 可编程逻辑器件的基本结构

让我们先介绍一下用以描述 PLD 基本结构的有关逻辑约定。

图 1-3 表示 PLD 的典型输入缓冲器。如真值表表示, 它的两个输出是其输入的原码和反码。

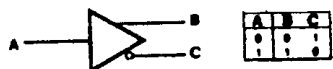


图 1-3 PLD 输入缓冲器

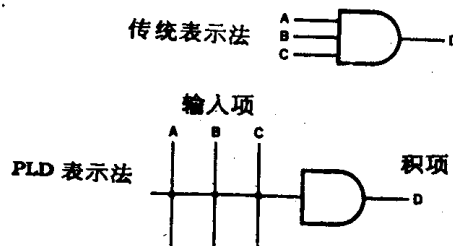


图 1-4 AND 门表示法

图 1-5 给出 PLD 的三种连接方式: 实点连接表示硬线连接, 亦即固定连接; “X” 连接表示可编程互连。因之交叉点处的 “X” 表示这个连接是未经改动的; 断开连接: 交叉点处无

“X”和实点，表示无任何连接。

图 1-6 列出 AND 门的三种省缺情况。输出 D 的 AND 门连至全部输入项，所以 D 的等式是：

$$D = A * \bar{A} * B * \bar{B}$$

利用布尔代数可化简成：

$$D = (A * \bar{A}) * (B * \bar{B}) = (0) * (0) = 0$$

这结果表明：一个给定输入缓冲器的原码和反码输出都连至一个积项上，将使该积项总为“0”。

输出 E 表示各个输入缓冲器全部连接的简化记号。由于所给的逻辑变换图通常都不带有任何表示未经改动的连接，所以对于设计师来说，简单地在 AND 门内画上“X”来表示“全积项”连接要简便得多。当然，这个“全积项”将总是逻辑“0”。与此相反，输出 F 没有任何输入项连至它的积项，故该积项总是“浮动”逻辑“1”。在今后详细讨论各种 PLD 结构时，我们将看到为什么不采用这样的设计。

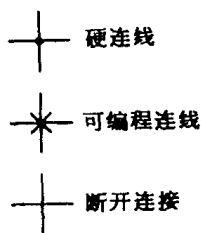


图 1-5 PLD 连接法

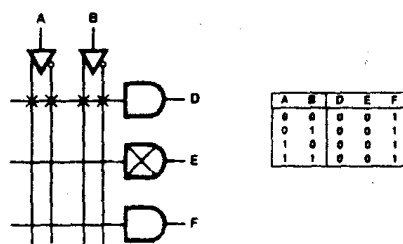


图 1-6 AND 门的省缺情况

接着介绍 PLD 的四种基本结构。

一、PROM 基本结构

图 1-7 表示 PROM 基本结构，它由固定的 AND 阵列和可编程的 OR 阵列组成。AND 阵列是“全译码”阵列，即输入 $I_0 \sim I_2$ 的全部可能组合都有一个积项。因此，当 n 个输入时，就有 2^n 个输入项， 2^n 积项。由于全译码方式，使 AND 阵列以 2^n 增长，因而使 PROM 成为一个规模庞大而昂贵的器件。而且 2^n 大小的 AND 阵列，使 PROM 的开关时间加长，因而 PROM 一般比其它 PLD 器件慢。再有，大多数逻辑函数不需要使用输入的全部可能组合，因为其中许多组合是无效的或不可能出现的。这就使得 PROM 的 AND 阵列不能得到充分利用。

PROM 除了用于随机逻辑设计中，其最早的和主要的用途在存储器方面，现在市场上可买到的 PROM 器件，密度从 64 位至 1 百万位。

二、FPLA 基本结构

现场可编程逻辑阵列 (FPLA) 是在 70 年代中期设计出来的，是处理逻辑函数的一种更有效的方法。如图 1-8 所示，FPLA 的基本结构类似于 PROM。然而，它的 AND 阵列和 OR 阵列都是可编程的。为了提供一种规模较小，较快速的阵列，FPLA 中的 AND 阵列不是全译码的，而是“部分译码”的；而且其积项可由任一个或全部“OR”项所共用。

例如，下列 3 个逻辑函数 O_0 、 O_1 和 O_2 ，共有 7 个积项。其中只有 5 个不同的积项，因而能用图 1-8 所示的 FPLA 器件实现。

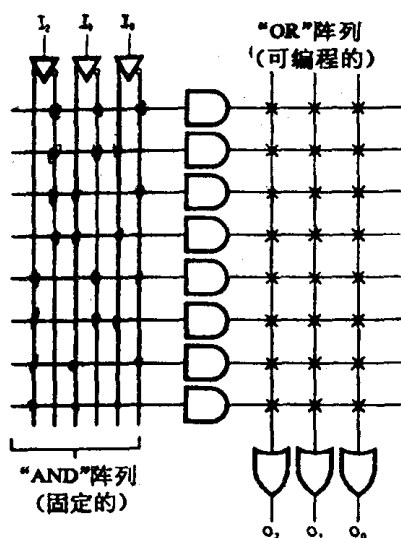


图 1-7 PROM 基本结构

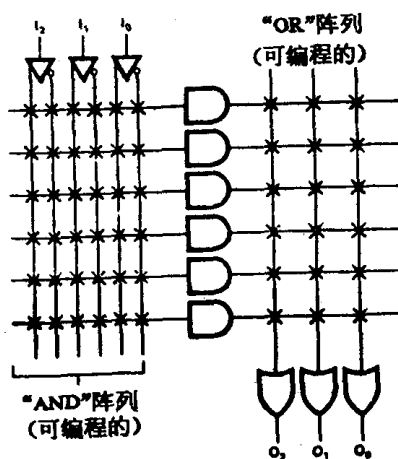


图 1-8 FPLA 基本结构

$$\begin{aligned}
 O_0 &= I_0 * I_1 * I_2 + \bar{I}_1 * I_2 \\
 O_1 &= I_0 * I_1 * I_2 + \bar{I}_0 * \bar{I}_1 * I_2 + I_0 * \bar{I}_1 * I_2 \\
 O_2 &= \bar{I}_0 * \bar{I}_1 * I_2 + I_1 * I_2
 \end{aligned}$$

FPLA 由于阵列规模较小,其工作速度比 PROM 快。FPLA 广泛地用在各种应用场合中,尤其是各输出函数很类似的情况,能充分地利用各个共用积项。

双重的可编程阵列使得设计师的任务变得轻而易举。因为他能控制该器件的全部功能。

对于市场上买得到的 FPLA 器件,设计师过去一直抱怨支撑软件的质量,没有合用的编程工具,器件的价格高,用这些器件处理数据的速度偏低等问题。值得庆幸的是,所有这些方面现在都已取得了很大的改进。

三、PAL 的基本结构

70 年代后期,可编程阵列逻辑 (PAL) 方法,又一次改变了阵列的控制方式。但这一次,AND 阵列是可编程的,而 OR 阵列是固定的 (图 1-9)。这种方法给大多数逻辑函数提供最高级的性能和最有效的结构。

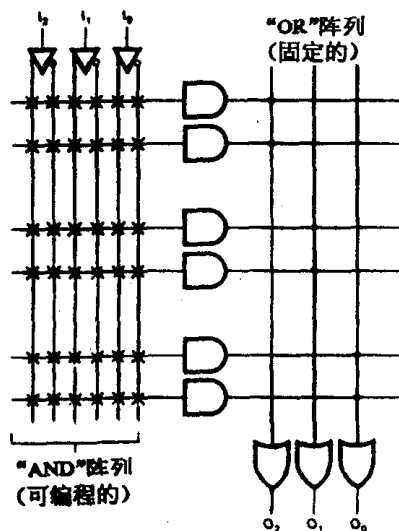


图 1-9 PAL 基本结构

每一个输出的积项数目是由硬连线的 OR 阵列确定的。一般的逻辑函数需要约 3~4 个积项,远低于当前这一代器件可用的积项数 (7~8 个积项)。

PAL 器件的结构——输入、输出和积项的数目——已由厂家根据对设计师最终需求的估计来确定。然而,过去 10 年中引入的几十种器件主要是 3 种基本输出结构的各种变形。

第一种是专用的输出结构 (图 1-10),它表示 1 个输入,1 个输出和 6 个积项。输出总是允许的且为低有效 (注意在 OR 门处的反相输出),输入的原码和反码均可用于 AND 阵列。

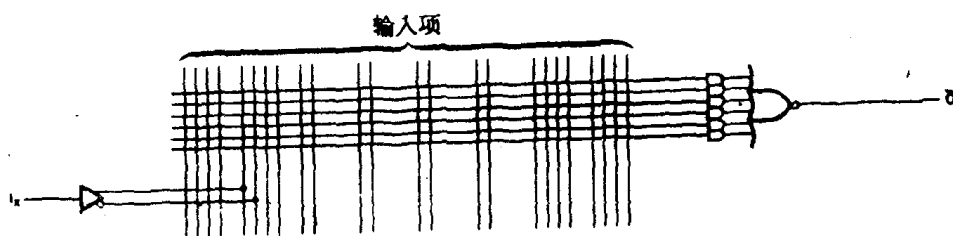


图 1-10 PAL 的专用输出结构

第二种结构实际上是一条 I/O 引出线（图 1-11），其输出逻辑是 7 个积项的、低有效的函数，该引出线的数据还反馈回 AND 阵列。

输出缓冲器由器件中的积项控制，因而提供了动态的 I/O 控制。这种动态的 I/O 控制用来确定器件输入/输出引出线数目的比例，或者当连接在总线环境下用以禁止输出。

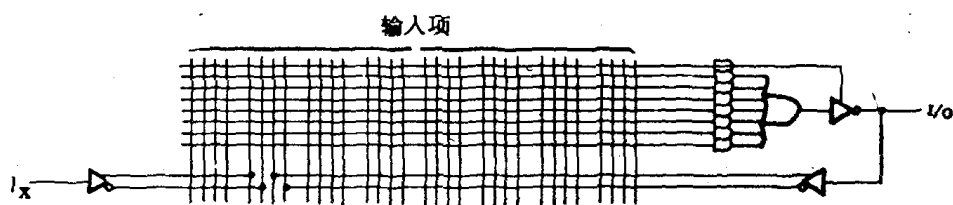


图 1-11 异步 I/O 结构

第三种结构是一种时序的或寄存器型的输出（图 1-12），设计师可用 8 个积项的逻辑 OR。在这里，寄存器状态（原端和反端）反馈回该阵列，同时送给带有分组控制输出选通（OE）的输出缓冲器。该器件的时钟（CK）是公共的，使缓冲器之间的开关偏移时间减到最小，而且寄存器是高速 D 型寄存器。寄存器数据反馈回 AND 阵列，使得现行状态数据（在寄存器中）成为下一个状态函数的一部分。这对于大多数时序函数（例如计数和移位操作）是必要的。

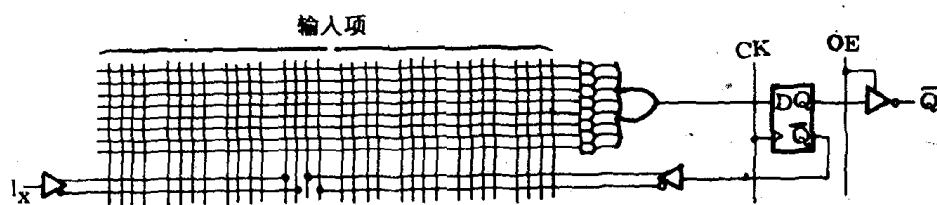


图 1-12 时序(寄存器型)输出结构

四、GAL 的基本结构

上面讨论过的三种 PLD 结构汇总在表 1-1 中。表中列出的第四种器件是 Lattice 半导体公司的 GAL 器件，其结构是基本 PAL 结构的新一代增强型：增强功能、质量、设计支撑和灵活性，而不降低它的技术性能。

通用阵列逻辑（GAL）结构仍是大家熟悉的可编程 AND 阵列驱动固定的 OR 阵列。其差别在于输出功能的结构及灵活性。GAL 器件将输出逻辑宏单元（OLMC——Output Logic Macro-Cell）集成在它的每条输出引线上。器件 GAL16V8 和它的 8 个 OLMC 见图 1-13。

OLMC（图 1-14）由设计师一条引线一条引线地配置以实现所需的功能，相应于以前描述过的 4 种基本操作方式的 GAL 宏单元结构形式见图 1-15。

表 1-1 PLD 结构汇总表

	阵 列		输 出
	AND	OR	
PROM	固定的	可编程的	TS, OC
FPLA	可编程的	可编程的	TS, OC, H, L
PAL	可编程的	固定的	TS, I/O, 寄存器型
GAL	可编程的	固定的	由用户定义的

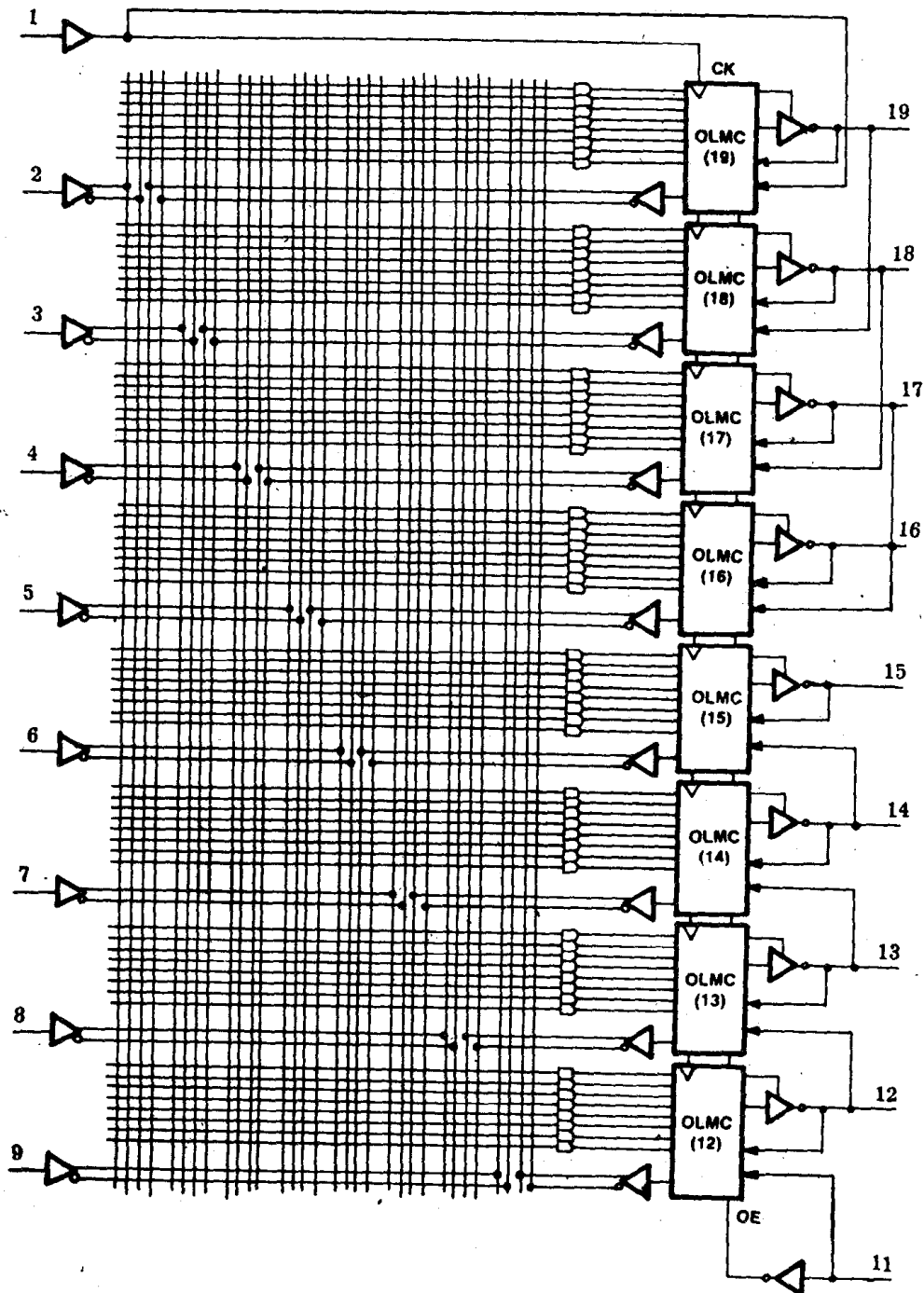


图 1-13 GAL16V8 框图

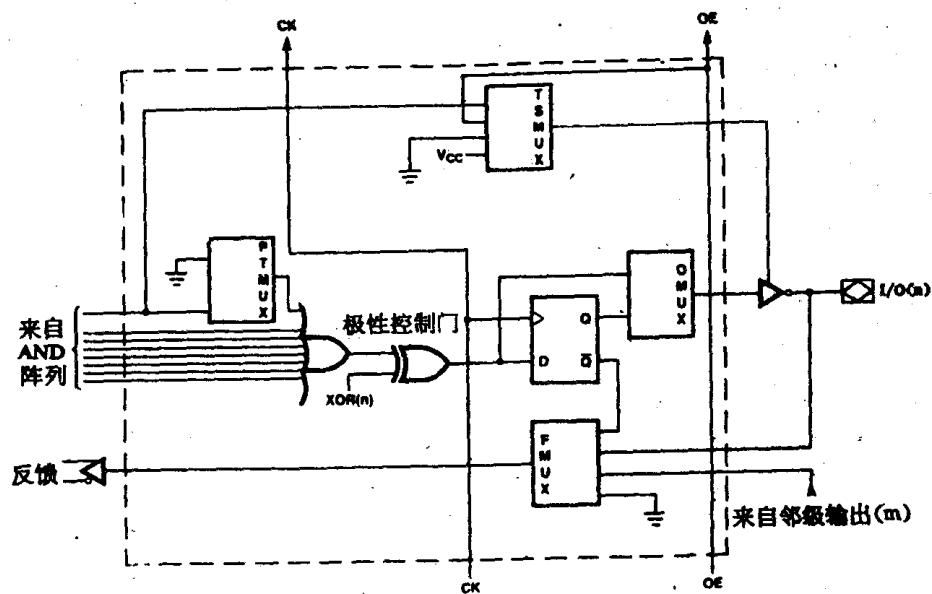


图 1-14 GAL 器件的输出逻辑宏单元 (OLMC)

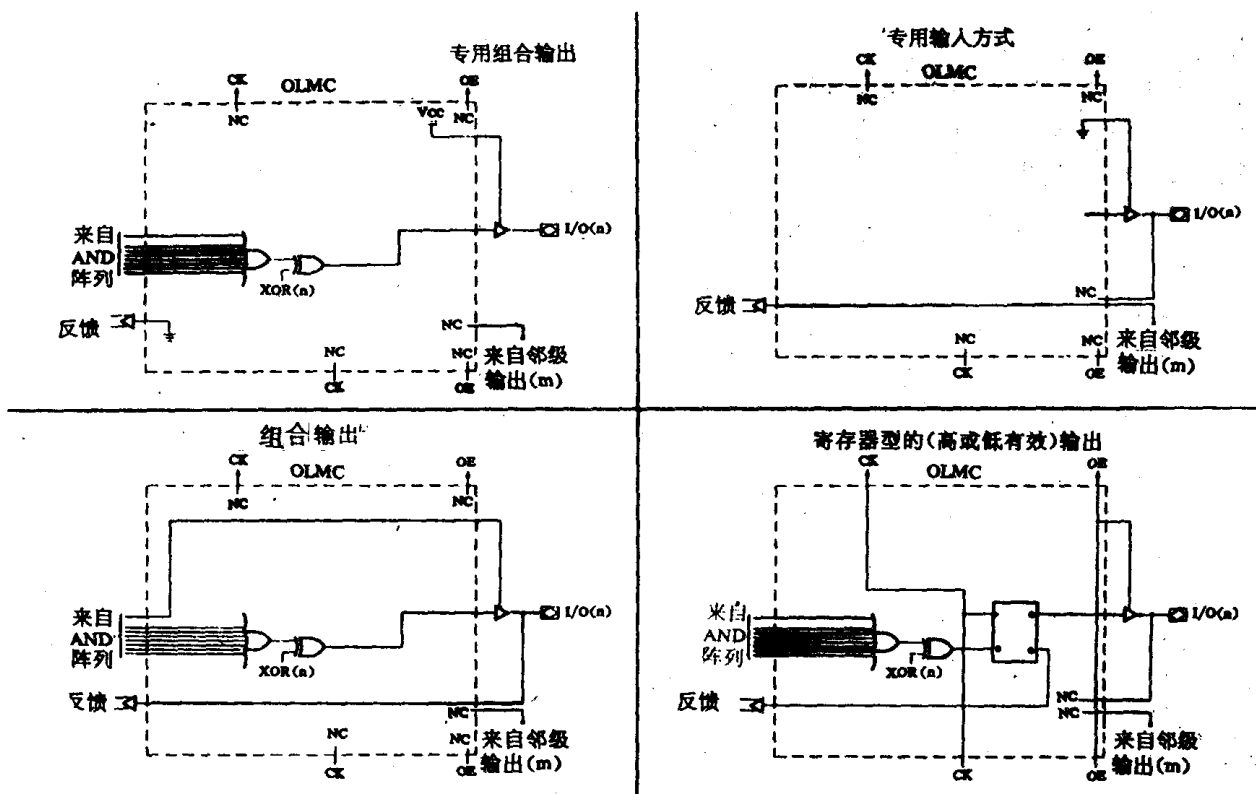


图 1-15 OLMC 结构形式