

COMPUTER
AIDED DESIGN
OF LARGE
SCALE
INTEGRATED

庄镇泉 戴英侠 王荣生 编著

大规模集成电路
计算机辅助设计

中国科学技术大学出版社

大规模集成电路计算机辅助设计

庄镇泉 戴英侠 王荣生 编著

责任编辑：张春瑾 封面设计：王瑞荣

*

中国科学技术大学出版社出版

(安徽省合肥市金寨路96号)

中国科学技术大学印刷厂印刷

安徽省新华书店发行

开本:787×1092/16 印张:14.25 字数:342千

1990年9月第1版 1990年9月第1次印刷

印数: 1-4000册

ISBN 7-312-00165-3/TP·15 定价: 2.90元

内 容 简 介

本书主要介绍大规模集成电路计算机辅助设计(CAD)的各种设计方法、模拟算法和设计工具。

全书共分九章,内容包括:大规模集成电路设计的描述语言、逻辑模拟、版图设计基础、自动布局、自动布线系统以及半定制 LSI 芯片设计。最后两章还集中介绍目前国外正在大力研究的 VLSI 新的设计方法——硅编译设计系统以及将人工智能应用于 VLSI 设计的智能 CAD 系统。

本书可作为高等院校计算机、无线电、微电子等有关专业高年级大学生或研究生的教材和参考书,也可供从事有关 LS 研究、生产和应用的工程技术人员学习参考。



前 言

当前, 集成电路, 特别是大规模和超大规模集成电路的研究、生产和应用水平, 已成为衡量一个国家科学技术和工业化程度的重要标志。

近年来, 由于集成度的迅速提高, 电路规模越来越大, 系统的功能和复杂度不断增加, 器件、电路、系统之间的关系越来越密切, 界限逐渐消失。传统的设计方法已显得陈旧过时, 必须研究新的 CAD 方法学和模拟算法, 采用先进的 CAD 工具, 为大规模和超大规模集成电路设计自动化提供方法和手段。

本书主要介绍大规模集成电路 CAD 的各种设计方法、模拟算法和设计工具。包括: 描述语言、逻辑模拟、版图设计基础、集成电路的自动布局、自动布线系统以及半定制 LSI 芯片设计。最后特地列出两章, 着重介绍国外正在大力研究的 VLSI 新的设计技术——硅编译设计系统以及将人工智能应用于 VLSI 设计的智能 CAD 系统。

由于本书选材重点和篇幅的限制, 所以关于工艺设计和制造工艺方面的内容暂不予讨论。

本书第一、二、三、四章由庄镇泉同志编写, 第五、六章由戴英侠同志编写, 第七章由庄镇泉、王荣生同志编写, 第八章由王荣生同志编写, 第九章由庄镇泉同志编写。

在我们的 CAD 研究工作和本书编写过程中, 得到中国科学院计算所林宗楷研究员和 CAD 开放实验室的大力支持和帮助。中国科技大学王熙法和王东生两位同志对书稿提出不少宝贵意见, 在此一并致以谢意。

由于我们学识水平和实践经验的限制, 所以本书错误和不妥之处在所难免, 为此我们殷切希望读者给予批评指正。

编 者

1989 年 8 月于中国科学技术大学

目 次

前言	(i)
第一章 大规模集成电路设计概论	
第一节 集成电路的发展	(1)
第二节 大规模集成电路的实现方式	(2)
第三节 大规模集成电路的设计流程	(3)
第四节 CAD 系统的三种类型	(6)
第五节 VLSI 的三种设计思想	(8)
第六节 CAD 数据库	(9)
第二章 版图设计基础	
第一节 MOS 场效应晶体管和反相器	(14)
第二节 版图设计规则	(16)
第三节 门电路和触发器的版图设计	(19)
第四节 存储器的版图设计	(24)
第三章 描述语言	
第一节 结构描述语言	(32)
第二节 功能描述语言	(42)
第三节 图形描述语言	(58)
第四章 逻辑模拟	
第一节 电路的逻辑模拟	(65)
第二节 逻辑模拟算法	(71)
第三节 高速逻辑模拟器	(76)
第五章 集成电路的自动布局系统	
第一节 集成电路的版图设计	(81)
第二节 初始布局	(83)
第三节 改善布局	(88)
第四节 布局算法的分析和比较	(97)
第五节 LSI 的版图模型	(102)
第六节 LSI 布局	(103)
第六章 自动布线系统	
第一节 面向线网的布线方法	(109)
第二节 面向布线区域的布线法	(116)
第三节 布线质量的改善	(135)

第七章 半定制 LSI	
第一节 门阵列	(146)
第二节 门阵列 LSI 的布局布线	(152)
第三节 PLA 的基本电路结构	(153)
第四节 PLA 的逻辑设计方法	(158)
第五节 PLA 的优化	(166)
第八章 硅编译设计系统	
第一节 硅编译概述	(175)
第二节 ARSENIC 硅编译系统	(177)
第三节 PLASCO 硅编译设计系统	(187)
第九章 大规模集成电路 CAD 专家系统	
第一节 专家系统概述	(192)
第二节 逻辑电路 CAD 专家系统 DDL/SX	(197)
第三节 LSI 布线专家系统 WEAVER	(205)
参考文献	(219)

第一章 大规模集成电路设计概论

第一节 集成电路的发展

自从半导体集成电路开始出现, 20 多年来, 集成电路(IC: Integrated Circuit)已从小规模集成电路和中规模集成电路, 发展到大规模集成电路(LSI: Large Scale Integrated Circuit)。80 年代以来, 开始进展到超大规模集成电路(VLSI: Very Large Scale Integrated Circuit), 集成度可达单片集成 100 万个元件以上, 发展十分迅速。

60 年代初, 一个硅片上只能集成 2~4 个基本门电路, 60 年代末达到 100 个门、1000 个元件的程度。60 年代后半期 MOS 电路开始出现并迅速发展, 例如, 1969 年研制成功的 MOS 集成电路已可集成 144bit 的 MOS 存贮器, 有 864 个晶体管。

70 年代开始, 由于 MOS 工艺的发展, 这时期在集成度方面有近两个数量级的提高。例如:

- 1970 年, 4bit 微处理器芯片, 含有 2,000 个元件;
- 1974 年, 8bit 的微处理器 8080 芯片, 含有 4,000 个元件;
- 1978 年, 16bit 的 8086 微处理器芯片, 含有 2 万个元件;
- 1979 年, 64k 动态 RAM 存贮器研制成功;
- 80 年代以后, 开始进入超大规模集成电路时代:
- 1980 年, 较先进的 MOS 微处理器新产品包含有 2~6 万个元件;
- 1981 年, 由三个芯片组成的 32bit 微处理器已超过 10 万个元件;
- 1982 年, 包含 45 万个元件的 32bit 微处理器已实用化;

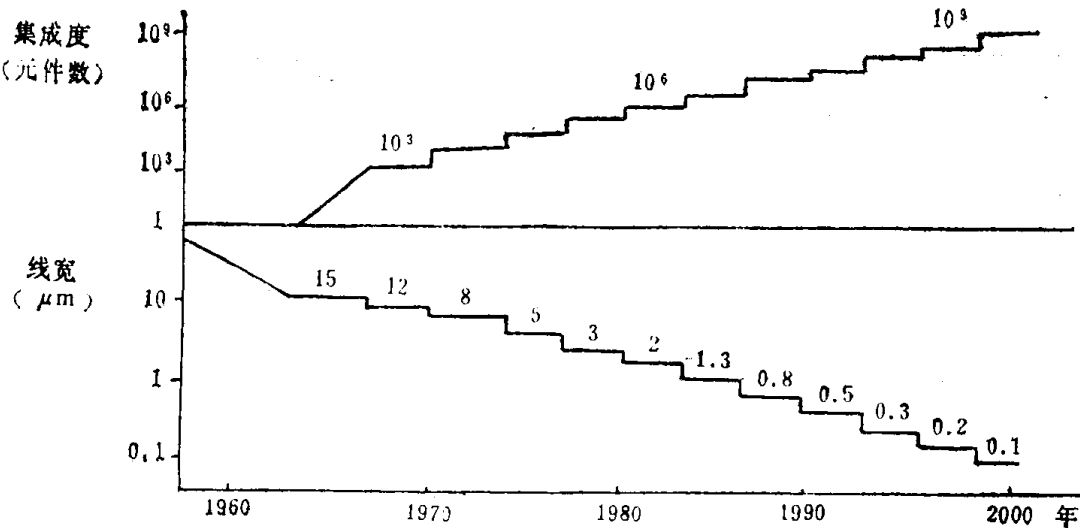


图 1.1 MOS 集成电路的发展

1985 年, 日本东芝公司研制成功集成度为 225 万个元件的 1Mbit 动态 RAM, 开始进

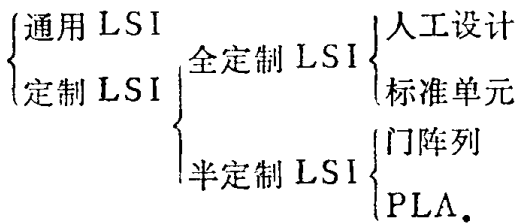
入单片集成 100 万个元件的时代。

随着超精细加工技术的进步，光刻加工线条宽度已达 $1\sim 2\mu\text{m}$ ，正在向亚微米水平发展。图 1.1 是 MOS 集成电路集成度和线宽尺寸发展情况。

由于电路规模越来越大，越来越复杂，特别是对于 VLSI 电路，设计工作已非人工可以完成，必须采用计算机辅助设计。另外，在实现方式、设计思想等方面也必须做相应的考虑。下面将分别进行介绍。

第二节 大规模集成电路的实现方式

LSI 的实现方式包括通用 LSI 和定制 LSI 两种。定制 LSI 又可分为全定制 (Custom Chip) 和半定制 (Semi Custom Chip)。



其中 PLA 称可编程逻辑阵列 (Programmable Logic Array)。

通用 LSI，例如微处理器，大量生产时价格便宜。但是，这种通用品不可能符合各种系统逻辑功能的要求，必须通过编制专用软件才能满足专用化的需要。

定制芯片设计方法适用于大规模生产，具有产品性能好，材料利用率高和单位价格低的优点，但设计成本高，开发时间长。

全定制是 LSI 芯片的全部都按系统的要求进行设计，其性能好、面积小、批量生产时经济性好，但设计开发时间长。因此，全定制设计方法只有对于大量生产（例如，几万片~几十万片/每年）的电路，或者对性能有特殊要求（例如超高速，超低功耗）的电路才适

表 1.1 LSI 实现方式比较

种 类	专用化方法	研制时间	成本	性能
通用 LSI	通过软件实现专用化。	硬件可立即使用， 软件必须专门设计。	硬件价格低，但必须加上软件制作费。	中等
半定制 LSI	门阵列：通过布线实现专用化。 PLA：布线固定，由交点有无来实现专用化。	研制时间短， 设计成本低。	初期投资少， 批量生产成本中等。	中等
全定制 LSI	对全部芯片，包括器件的位置、形状等进行专用设计。	研制时间长， 设计成本高。	初期投资大， 批量生产成本低。	高

合采用。但最近随着硅编译技术的发展和设计自动化程度的不断提高,这种方法可望获得更广泛应用。

半定制芯片设计比较容易,初期投资少。从设计到成品所需时间短。另外,由于有规则的结构,故特别适用于CAD设计。表1.1是几种实现方式的比较。

全定制和半定制LSI的区别在于芯片中器件的形成工程。半定制芯片内部的元件,例如晶体管门的结构、特性、数量以及布局等是事先固定的,不能变更的,用户仅能通过相互之间布线的改变来达到不同的逻辑功能。相反,全定制LSI则是内部器件的构造、特性、数量、布局等均可自由决定,设计自由度大。

全定制方式还可分成人工设计和标准单元设计两种方式:

人工设计由设计者通过图形处理装置进行设计,其设计工时很大,而且设计结果的好坏依赖于设计者水平的高低。这种设计方法适用于设计规则性高、电路类型重复性多的部件。例如存贮器和逻辑运算部件(ALU)等,电路规模不可能太大。标准单元类似于门阵列,适用于较大规模的电路,目前可望作到1万门以上。

半定制LSI主要有门阵列和PLA两种:

门阵列适用于1万个门以下的大规模集成电路,门数太多将使连线和通道布线发生困难。一般门阵列中,门的利用率较低(约为60%~80%)。

PLA则适用于较小规模的逻辑电路,对于大规模逻辑电路,面积利用率很低。

综上所述,将全定制和半定制芯片的优缺点列于表1.2中。

表 1.2 全定制和半定制芯片比较

	全定制 LSI		半定制 LSI	
	人工设计	标准单元	门阵列	PLA
开 发 费	高	中	中	低
开 发 时 间	长	中	中	短
单 价	大量生产时,成本低	中	较高	较高
集 成 度	100~1000门	1万门左右	1万门左右	100~1000门
设 计 自 由 度	大	中	中	小
芯片面积利用率	高	高	中	低

第三节 大规模集成电路的设计流程

LSI的设计和制造过程通常包括:逻辑设计、电路设计、版图设计、工艺设计、芯片设计、成品测试等阶段。

LSI的设计方法可分为两种:一种是自顶向下的方法,先根据用户提出的功能要求进行逻辑设计,然后将总体逻辑图进行划分,并将划分后各个芯片分别进行电路设计和版图设

计。另一种是自底向上的方法，即设计者事先已将各种基本单元和功能块，进行电路和版图设计，并将其存档入库。当设计新产品时只需调用这些已有的基本单元和功能块，即可组合和设计新的电路或系统。

LSI 设计与小规模集成电路 (SSI) 设计相比，有许多不同的特点。首先它对设计的可靠性要求高。LSI 要求在单片硅片上制作多达几万个甚至更多晶体管在内的电路。设计工作量和每个设计阶段的设计数据量十分庞大。由于这些原因，对大规模集成电路仅用手工设计是不可想象的，必须广泛采用 CAD 技术。

采用 CAD 技术，用计算机进行模拟、设计、校验、布图、制造和测试，这不但能大大减轻人工劳动，而且缩短了设计周期，提高设计的可靠性，从而大大提高产品的设计质量。

当然，目前的 CAD 技术还只能起辅助设计的作用，采用 CAD 技术并不能完全取代人的工作，它仅是设计者的辅助工具，在整个设计过程中，创造性和决定性的工作还必须由人去承担。

当前，在电路设计领域中，CAD 技术应用比较成功的主要在逻辑模拟、电路分析和版图设计等方面。至于自动逻辑设计等方面，目前仍处于研究和试用阶段，还有待于进一步提高和完善。

现在对 LSI 的 CAD 设计流程的各个部分进行简单介绍：

图 1.2 是一个 LSI 的 CAD 设计流程图。整个设计过程中充分利用计算机的计算速度快、容量大和数据处理能力强的特点，完成集成电路设计的各个阶段。

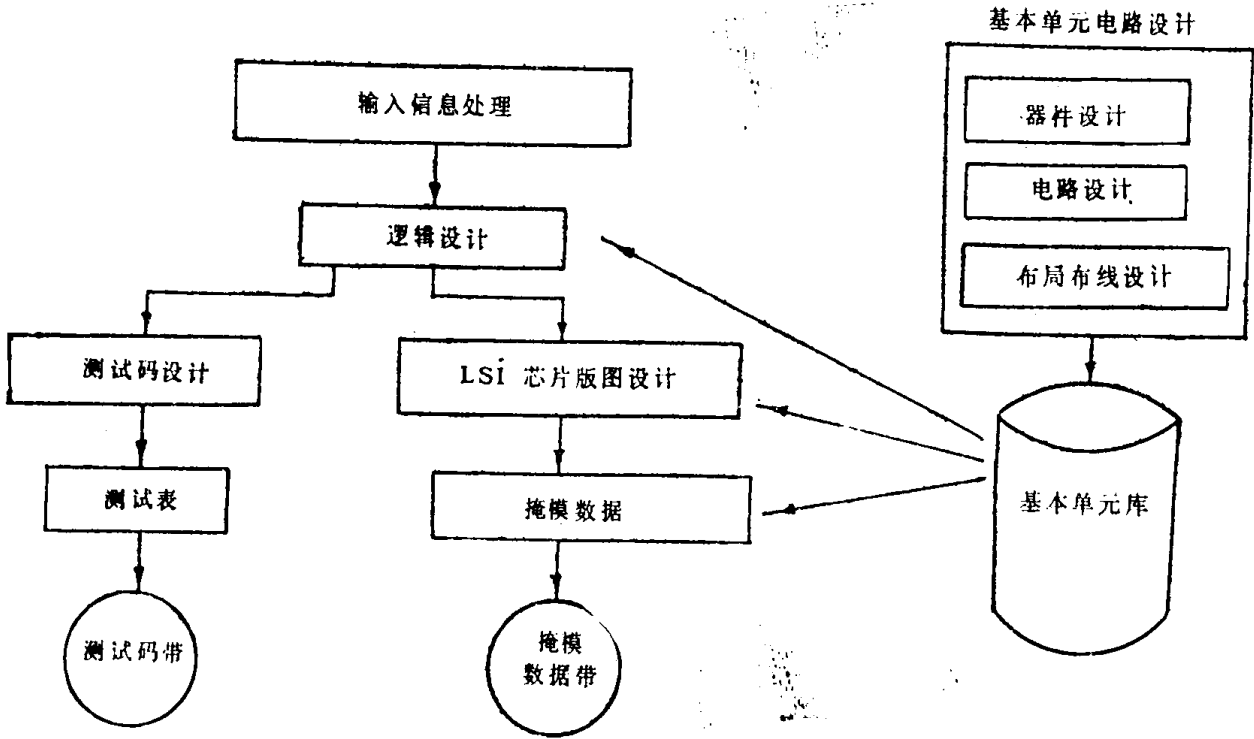


图 1.2 LSI 的 CAD 设计流程

一、输入信息处理

一般，集成电路的逻辑功能是以指令集、符号、文字等进行描述的。要把这些指令集、

符号、文字等信息转换成计算机所能识别的输入数据格式就必须进行输入信息处理。其中，指令分析部分承担解释、分析指令的意义，并转换成规范化的描述语言；图形操作用来处理符号和文字，包括一些特定的图形，并进行编辑，从中抽出结构描述信息。

二、逻辑设计

逻辑设计的任务是用已有的基本单元来确定满足逻辑功能的逻辑电路结构。这些逻辑单元可以是逻辑门，也可以是具有一定逻辑功能的功能块。设计结果可以是逻辑电路图或布尔式，或者是由特定语言所描述的逻辑关系。

目前，自动逻辑综合还没有成熟的 CAD 软件，逻辑设计主要是通过人机交互方法进行设计，然后通过逻辑模拟来确认逻辑功能的正确性。

按基本逻辑单元的规模大小，逻辑模拟大致可以分三级：门级、功能级和寄存器级。其中门级模拟的基本单元为与门、或门、非门、与非门、或非门等。功能级模拟的基本单元为一些逻辑功能块，门级模拟和功能级模拟的主要目的是检查逻辑电路的正确性以及相应的故障模拟。

寄存器级模拟不需要逻辑电路结构细节，只要编完操作表，立即可以进行模拟，它只检查所设计的机器各条指令的流程，即数据在有关各寄存器中的传输情况。因此，这种模拟主要针对计算机等数字系统，用于检查操作表的正确性。

对于 LSI 和 VLSI，常采用门和功能块混合的逻辑模拟。近年来出现的开关级逻辑模拟也正广泛地应用于 MOS VLSI 电路设计中，它把 MOS 晶体管当作压控开关，源极、漏极之间的接通或截止受栅极控制，并考虑到了 MOS 器件的有比特性、引线电容的电荷存储特性和电荷分配特性、以及 MOS 器件的双向传输特性。由于开关级的网络模型与 MOS 器件的实际电路在结构和特性上十分接近，因而开关级模型在某些方面可能更加适合于描述 MOS 器件，可在准确性方面克服门级和功能级模型的缺点。

三、器件设计和电路设计

器件设计主要是根据超精细加工水平以及扩散、离子注入等半导体工艺来确定晶体管的尺寸。例如，设计双极型晶体管的射极宽度、面积、基极面积、杂质浓度等，或 MOS 晶体管的沟道长、宽、栅膜厚度、杂质浓度等。其次是确定布线的宽度和线间距等的设计规则，并根据功率损耗、开关特性等电气指标和制造工艺方面的限制条件来设计器件。

电路设计的目的是确定满足电路性能（例如直流特性、开关特性和频率响应等）的电路结构和元件参数，并考虑由于环境变化（如温度变化）和制造工艺偏差所引起的性能变化。目前，除了个别特殊类型电路（如滤波器）以外，也还没有能够达到实用的电路自动设计软件，一般是由设计工程师根据电路的性能要求采用人机交互方法，设计好电路结构并确定元件参数，然后用电路模拟程序，进行性能模拟，输出模拟结果，最后由设计人员来评价好坏，并决定是否进行修改。

目前，比较常用的电路分析程序有 SPICE-2, MOTIS, SPLICE 等。其中 SPICE-2 功能较为齐全，具有直流分析、交流分析、时域分析和容差分析等功能；MOTIS 专门用于 MOS 电路时域分析，速度比 SPICE 高一、二个数量级。图 1.3 是电路分析流程图，其中电

路描述包括各种电路元件、器件模型、电路的连接关系、电路运行环境、分析类型、输出要求等。用户将电路描述写成源程序输入计算机，然后由输入信息处理程序，完成下述功能：识别和处理自由格式的语句源程序；接受以表格数据表示的模型参数；接受用户自定义子程序所说明的模型数据；备有模型库并允许用户调用；识别源程序的语法、语义错误；将输入数据分类加工整理，供以后各阶段的程序使用。

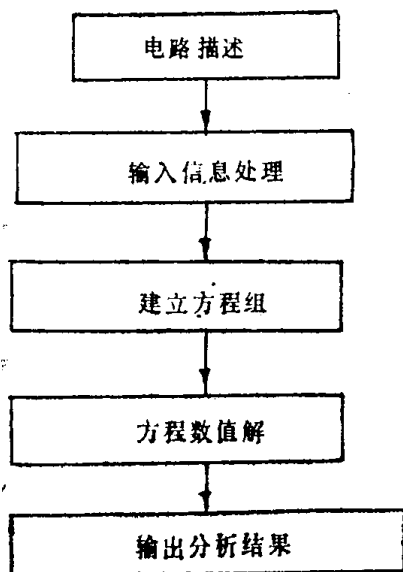


图 1.3 电路分析流程

电路分析程序根据输入电路的结构、元件参数和分析要求自动建立电路方程。方程的建立方法有：节点法、状态变量法、混合法、稀疏表格法等。电路方程的数值解方法根据分析内容的不同有：线性代数方程组解法、非线性方程组解法和常微分方程组解法。

电路分析程序的输出内容随着网络类型和分析要求的不同而不同，一般有直流工作点、幅频特性和相频特性、瞬态响应、传递特性、灵敏度等。输出方式可分为表格或曲线。有关电路模拟知识可参阅电子线路 CAD 方面著作，本书不作详细介绍。

四、版图设计

版图设计是根据逻辑功能和电路结构要求以及工艺制造约束条件来设计集成电路版图。其内容包括：组件设计、芯片规划、划分和布局、总体布线、详细布线、人机交互设计等。

对于一个芯片，可以由小到大地进行组件设计。最小的单位是元件，由元件到门，由门到元胞，由元胞到宏单元，由宏单元到芯片，其中门、元胞和宏单元都可以作为新的组件。

芯片规划是根据已知组件的个数和连接表，估计芯片所需要的面积，包括组件的占有面积和布线区域面积之和。通常，布线区域面积约占芯片面积的百分之五十。

所谓划分就是自顶向下，先将芯片分成两块，然后再对每块一分为二，如此继续下去直到被划分的每一小块只包含一个组件为止。

把每一个组件考虑为一个点，根据组件之间的连接表，在芯片上分配各个组件的位置使得所占芯片面积最少，这就是布局。

总体布线是从总的方面考虑布线方式，合理分配布线空间使布线均匀合理，并符合电性能要求，对于每一条连线，指定其经过的布线区域，并满足连接关系。详细布线则是根据芯片的层次在布线区域中进行具体连线。

人机交互设计主要是用来保证百分之百的布通率，并通过人工干预，调整布局、布线结果，使之更为合理。

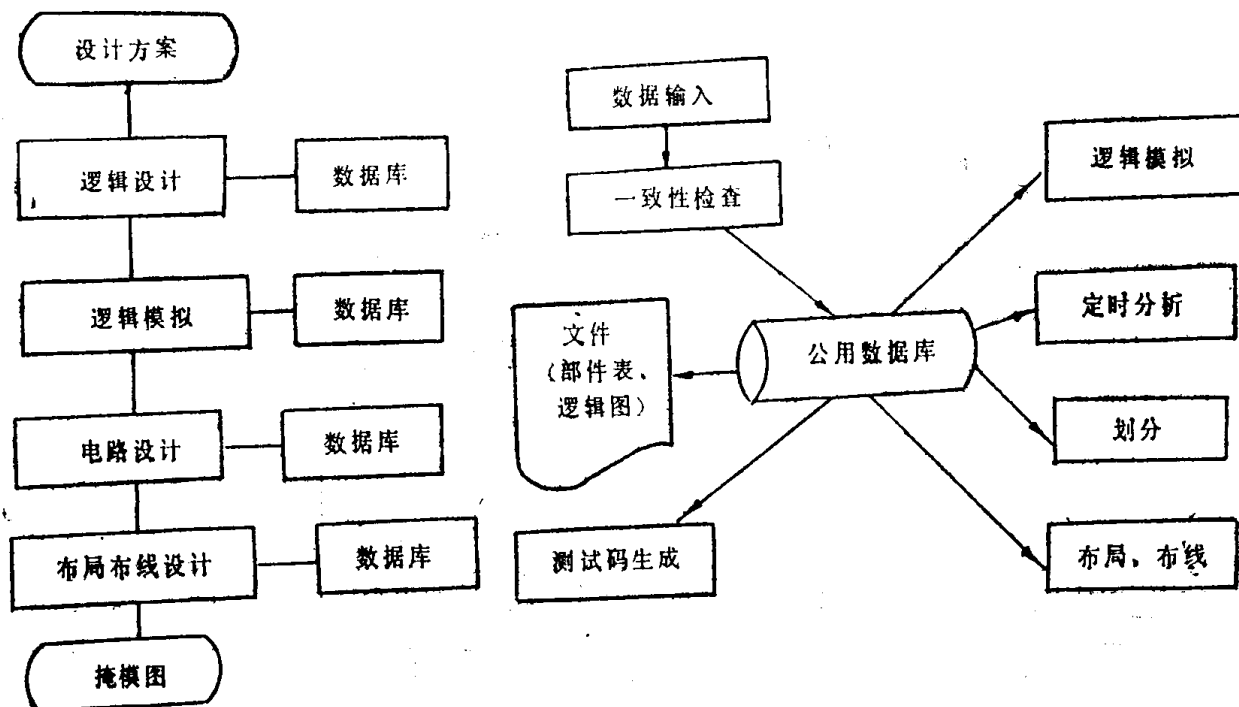
第四节 CAD 系统的三种类型

CAD 系统根据其发展历史和变化情况，大致可分成三种类型：顺序结构、并行结构和

分层结构。这三种结构分别对应于三代 CAD 系统。

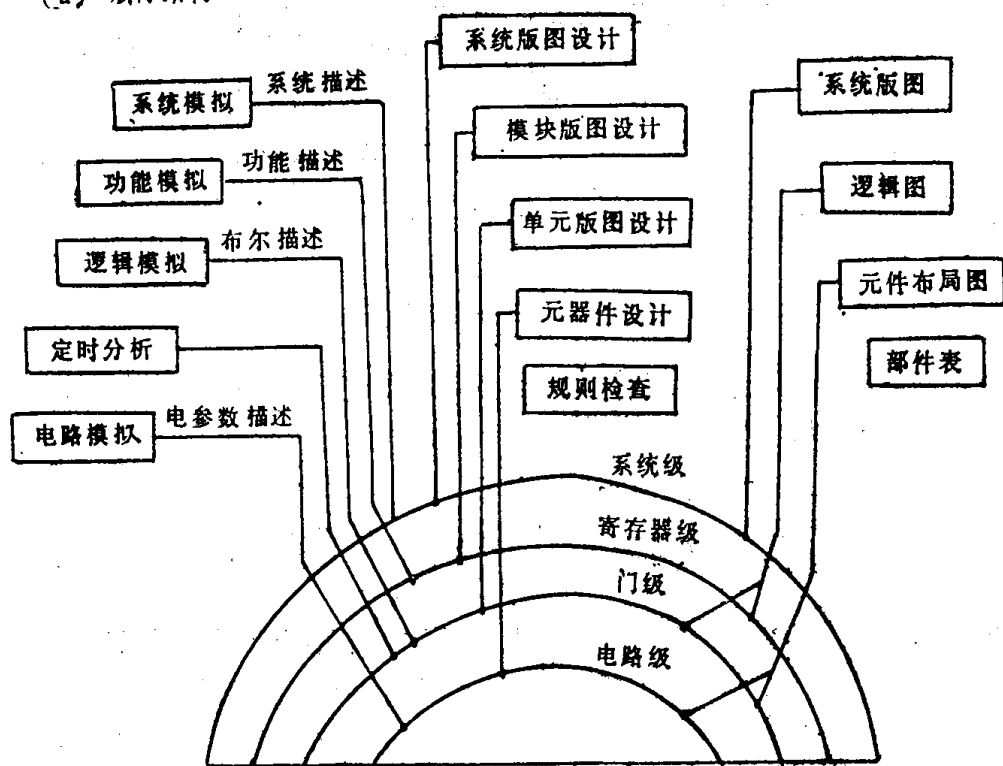
1. 顺序结构

是第一代的 CAD 系统。这种系统的各个子系统像流水线那样的顺序完成各自的设计任务和处理设计数据。每个子系统独立地处理由前面子系统送来的数据，并输出数据供下一个子系统使用。这种系统的数据处理十分简单，一般没有采用数据库管理技术。系统中的每个



(a) 顺序结构

(b) 并行结构



(c) 分层结构

图 1.4 CAD 系统的三种类型

子系统仅和其中的一、二个子系统有接口，如图 1.4(a)所示。

2. 并行结构

它属第二代 CAD 系统。这种结构比上述顺序结构系统复杂的多。设计对象的规模和数据量也大得多。系统的特点是必须建立公用数据库，另一特点是对设计对象必须有统一的描述语言，如图 1.4(b)所示。

3. 分层结构

为了适应设计对象越来越复杂，规模越来越大的要求，产生了以分层设计方式的第三代 CAD 系统，如图 1.4(c)所示。

具体对 VLSI 的设计层次可分为系统级、寄存器级、门级、电路级和布图设计等几个阶段。根据层次化的设计方法，可将 VLSI 芯片分割成数个适当规模的逻辑块，每个逻辑块再分成逻辑单元（例如寄存器等），而每个逻辑单元又包含有许多逻辑门，逻辑门还可分成元器件，如图 1.5(a)所示。与其相联系的是版图的层次构成，如图 1.5(b)所示。两者相互对应。

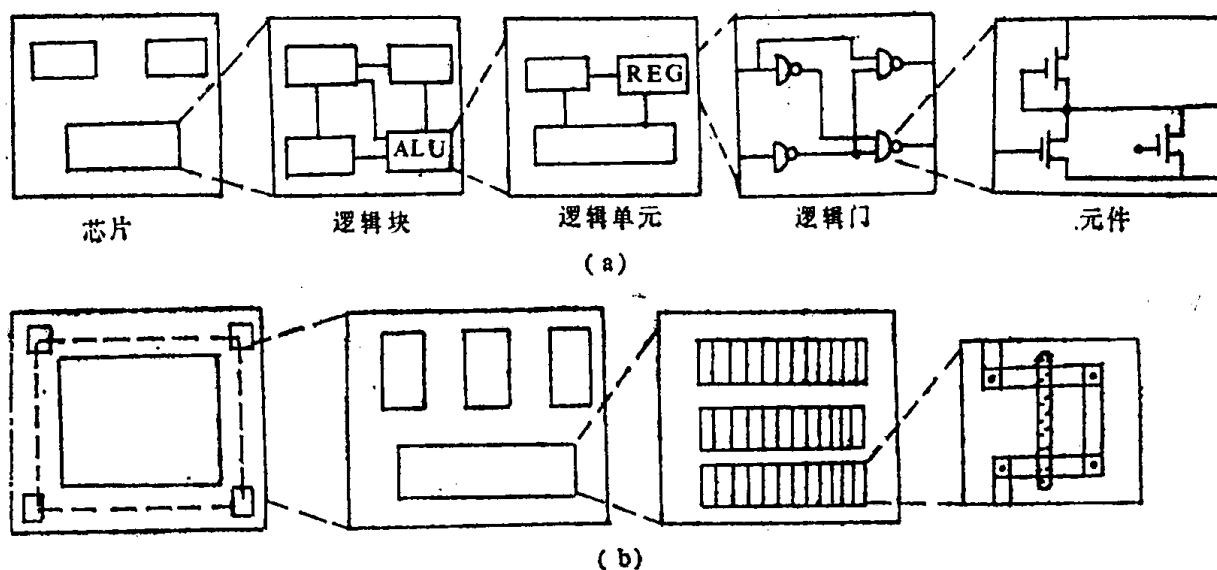


图 1.5 VLSI 分层设计方法

通过各个层次及各部件之间的不同组合及连接关系的变更，可实现各种不同的逻辑功能。这时，逻辑单元和逻辑之间的连接关系可通过数据库进行处理。

第五节 VLSI 的三种设计思想

近年来随着 VLSI 技术的迅速发展，出现设计技术跟不上工艺技术发展的现象，产生了所谓的“设计危机”。与此同时，VLSI 的设计费用也急剧增加，例如，1970 年设计一个 1000 晶体管的集成电路，开发费约 3 万美元，而预计至 1990 年，如果要实现百万个晶体管规模的 VLSI，其设计开发费约需 1,700 万美元。为此，近年来，世界各先进国家都投入大量人力、物力来研究 VLSI 的新的设计方法，并研制出许多不同类型的设计系统，归纳起来，大致可分为如下三种解决途径：

1. 进一步改善 CAD 系统

这种设计思想主张, VLSI 的全部设计主要应由有经验的设计人员进行, 然后通过图形编辑程序、设计验证和模拟程序, 对电路进行自底向上的设计。用积木块方法实现分层的电路结构。由于在这种方式中, 计算机仅起辅助作用, 设计主要靠人工进行, 因此, 可取得高质量的设计, 但另一方面, 人工设计慢, 而且容易出错。为此, 必须研制新的验证工具及设计较为完善的描述语言, 并探讨新的优化设计方法。

2. 建立以知识库为核心的 VLSI 设计专家系统

这种设计思想是把人的知识和经验通过设计规则的形式将其存贮在知识库中, 并建立 VLSI 的专家系统, 以帮助设计人员进行设计。新的设计知识可逐步加到专家系统中, 新的工艺和设计风格也可通过增加新的设计规则而得到接纳。先进的专家系统甚至具有自学的功能。专家系统不易出错、效率高、能提高设计系统的智能化水平, 是实现 VLSI 设计自动化的主要途径之一。

3. 硅编译设计方法

这种设计思想认为: 知识可以设计成算法, 并通过写成翻译程序, 对 VLSI 的高级描述求得问题的解和部分解。与第一种设计思想不同, 这是一种自上而下的设计方法。目前, 这种方法适用于像 PLA 这样结构比较有规律的电路。

总的来说, 第二、第三种设计思想都将利用专家知识, 其差别在于专家系统倾向于建立几百条具体的规则, 每一条规则仅具有较少的一点知识。所解决的问题和设计的电路结构可以较为复杂, 不必有规则性, 设计空间和问题的复杂性较大, 而硅编译方法则较适合于解决那些有规则结构的电路。上述第 2, 3 两种设计思想将在第八章、第九章中详细介绍。

第六节 CAD 数据库

在 LSI 的设计过程中, 数据量十分庞大, 数据的组织和管理已成为建立 CAD 系统的关键问题, 必须采用数据库技术。

一、数据库的设计要求

- 1) 数据的独立性, 要求数据存贮结构的变化尽量不影响应用程序和用户原有的应用。
- 2) 减少数据冗余, 减少重复数据, 提高数据的共享程度。
- 3) 确保数据库系统的可靠、完全与完整。
- 4) 一个设计优良的数据库系统应具有重新组织数据的能力。
- 5) 充分满足可修改与扩充性, 并易于被用户掌握, 使用方便。

二、CAD 数据库的数据类型

对于电路设计的 CAD 数据库, 通常具有如下区别于其他数据库的数据类型。

- 1) “纯粹”的电路描述数据。即表示器件、部件间的连接关系, 用高级语言描述送入计算机。
- 2) 由应用程序计算得出的电路描述数据。例如: 由布线系统计算后得到的路径形式表

示的电路描述数据。

- 3) 由其他应用程序计算得出的数据。例如：由测试码生成程序计算后得出的测试数据。
- 4) 各应用程序所需要的标准描述数据。例如：制造数据等，由人工装入数据库。

三、CAD 数据库的模型

数据模型是指被设计对象及其联系的数据描述形式。它是数据库设计的核心问题之一。整个数据模型就象一个框架，给它填上具体的数据后就得到数据模型的一个实例。

CAD 数据库的基本模型有三种：即关系模型、分层模型和网络模型。其对应的数据结构如图 1.6 所示，即关系模型是表格结构，分层模型是树结构，而网络模型则是网状结构。

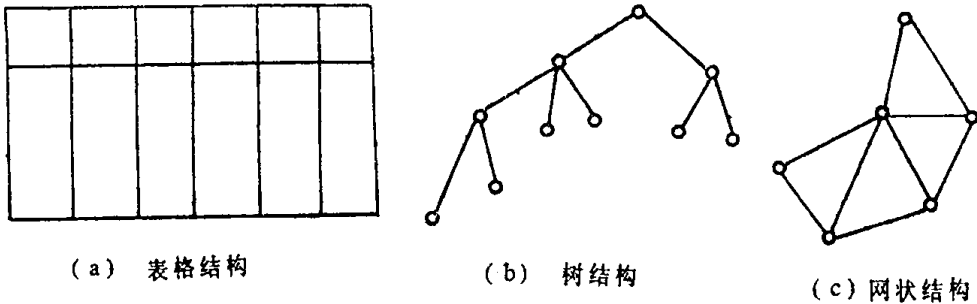


图 1.6 数据结构

分层模型出现最早，而关系模型发展较晚，但它较易为初学者所接受。网络模型则是目前较为流行和较为成熟及实用的模型。下面将简单介绍这三种模型：

1. 关系模型 (Relational Model)

数据的关系模型是由若干“关系框架”组成。所有数据被分为若干集合，并最后组成一个表格的形式。作为一个例子，下面介绍一个集成电路掩膜设计的关系模型数据：表 1.3 中集合 SUBASSEMBLY (部件) 表示元件及其属性间关系的结构定义。集合的每一元组由元件名 ENAME 来识别。域 TRAN 表示对元件进行平移或旋转的转移矩阵，域 EPOS 表示版图设计中元件的位置，EDEF 用来定义扩散的轮廓线等。

表 1.3 关系模型

SUBASSEMBLY						DEF1				
ENAME	EPOS	TRAN	EDEF	VALUE1	VALUE2	X	Y	Z	MODE	TYPE
ELEM1	X1,Y1,Z1	T1	DEF1	10	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:	:
ELEM5	X5,Y5,Z5	T5	DEF5	3	:	:	:	:	:	:

2. 分层模型

分层数据库模型是以纪录为结点的分层树结构模型。模型中，父结点与子结点必须是一对多的联系，即一个父纪录对应于多个子纪录，而一个子纪录只对应于一个父纪录。分层模型可方便应用于分层设计。如前所述，VLSI 的分层设计可分为芯片（系统级）、逻辑块（寄存器级）、子逻辑块（门级）和电路级（元件）等。各级内部可按如图 1.7 所示进行模

型化。由单元、子单元、联接网络、外部端口组成，各部分所包含的信息大致如下：

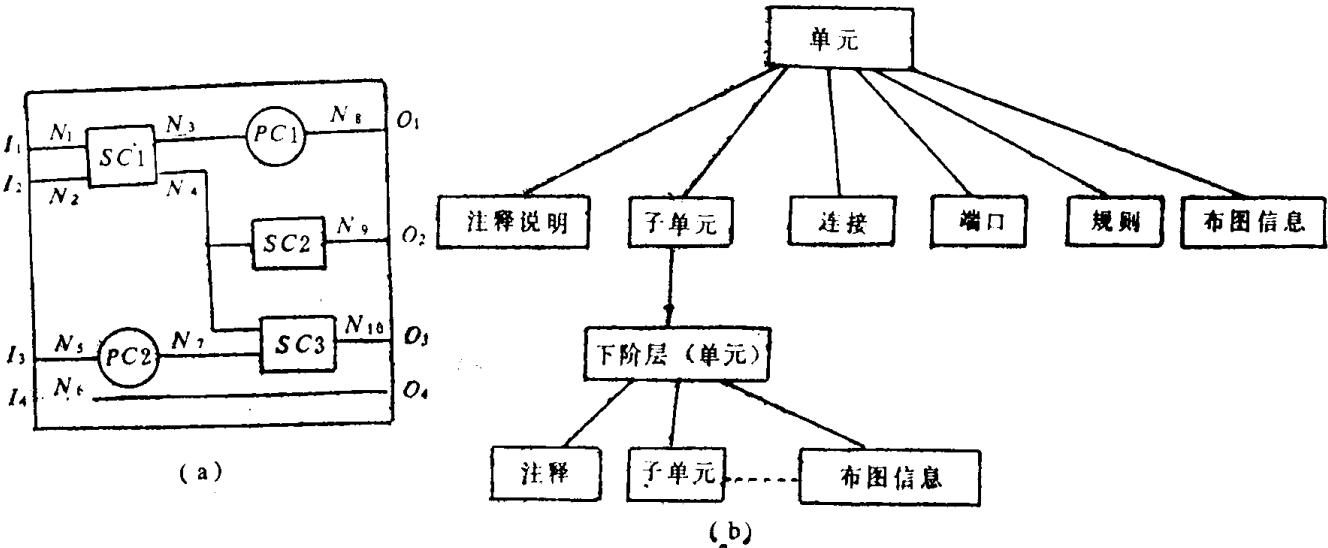


图 1.7 分层模型

- 1) 单元 (C)：包括单元名、子单元数目以及基本单元 (PC) 的数目。
- 2) 子单元 (SC)：包括单元中全部子单元的名称、位置、方向等。
- 3) 联接线网 (N)：包括单元中的全部逻辑联接。

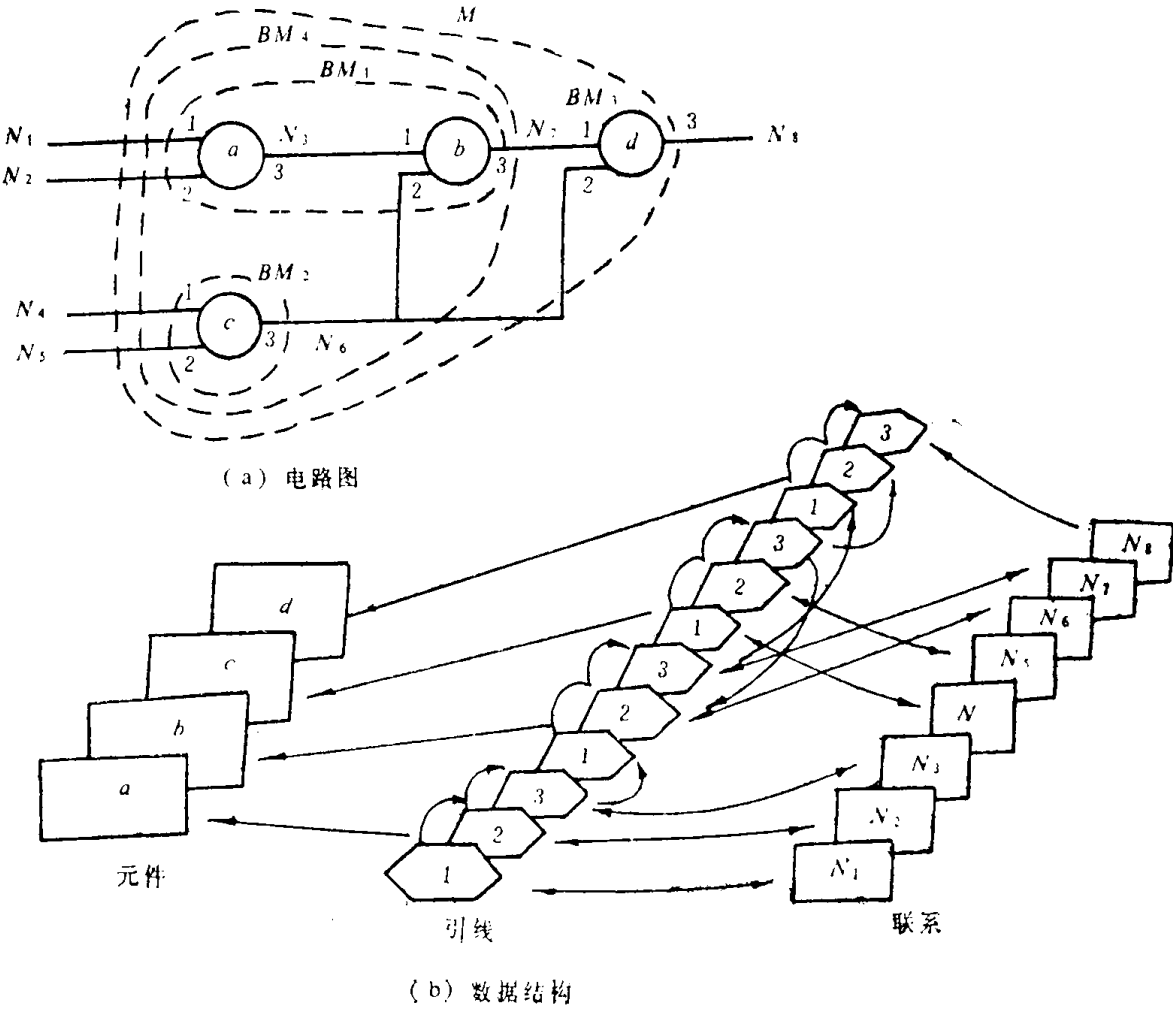


图 1.8 网络模型