

数字集成电路
(内部)

1978年6月出版

每册1.00元

发行单位：上海市 4088 信箱

CAS4/2402

目 录

一、生产试制总结

结温老化.....	(1)
片状 BN 在数字集成电路扩散工艺中的应用.....	(9)
高抗扰二——五进制计数器试制小结.....	(13)
锁定触发器试制小结.....	(22)
D64—765 合格率分析	(33)
片状 BN 使用点滴.....	(43)
高温测试氖管显示.....	(47)
称量计数.....	(51)

二、译文

硅器件的表面纯化.....	(52)
关于半导体表面物理的几个问题.....	(62)
发射极和集电极体电阻的迅速测定.....	(80)
I ² L 将赶上 C-MOS 吗?	(82)
高速集成注入逻辑.....	(86)
I ² L 的基本特性与设计.....	(95)
集成存储器.....	(105)
扩散吸收硅中的金和铜.....	(119)
用氢气燃烧的硅湿氧化.....	(134)
无位错硅片的微小缺陷.....	(138)
掺多晶硅的磷、砷扩散.....	(142)
硅扩散过程中产生的晶格缺陷的控制.....	(146)
管壳对集成电路表面稳定性的影响.....	(150)
评价 TTL 电参数稳定性的一种方法.....	(162)

结 温 老 化

八车间 方维公

一、概 述

结温老化是一种新的老化方法，此方法直接控制外加在逻辑集成电路的功耗，使内部结温达到应有极限，从而使有潜在缺陷的电路及时失效筛选掉。本文通过结温老化的原理、条件的指定、试验结果及分析、功耗的离散性、结温老化与脉冲老化和直流偏压老化的比较、应注意的一些问题等方面来阐明此方法。在概述中主要阐述为什么会提出结温老化。

制造电子元器件的工厂，为了保证出厂产品的质量，除了在制造工艺过程中采取有效的措施保证产品的质量外，还必须采取一整套有效的、严格的筛选，将易坏的即早期失效的产品在出厂前剔除。各种筛选方法中老化是一种较有效的筛选方法。随着我厂产量逐年地增加，产品质量不断提高，我们通过试验发现，在刚采用85℃高温直流偏压老化时有一定的筛选效果，但随着产品质量的提高，就暴露出85℃直流偏压老化筛选效果很差，而经过这种老化不能将早期失效的电路全部或绝大部分剔除，有一部分被漏出厂去。近二年，我们对老化这一筛选方法进行了研究和试验。发现我厂目前生产的电路，老化筛选率要达到3%至5%才能基本上保证电路进入正常使用期即绝大部分早期失效电路被筛选掉。但是要达到3%至5%的筛选率，采用高温直流偏压老化时，应将温度提高到150℃，老化时间延长到150小时。老化温度提高到150℃，显然是很困难的（用提高环境温度的方法），目前的电路夹具、老化用的接插件、电阻等都不能很好地承受这样的高温。老化时间延长到150小时，对我厂大量生产也带来严重影响。所以用提高老化温度和延长老化时间来达到老化筛选效果是行不通的。我们应寻找一种新的老化方法，其筛选效果应比直流偏压老化法大大提高，效率也应大大提高即筛选时间要缩短，有利于电路的质量提高和大量生产。

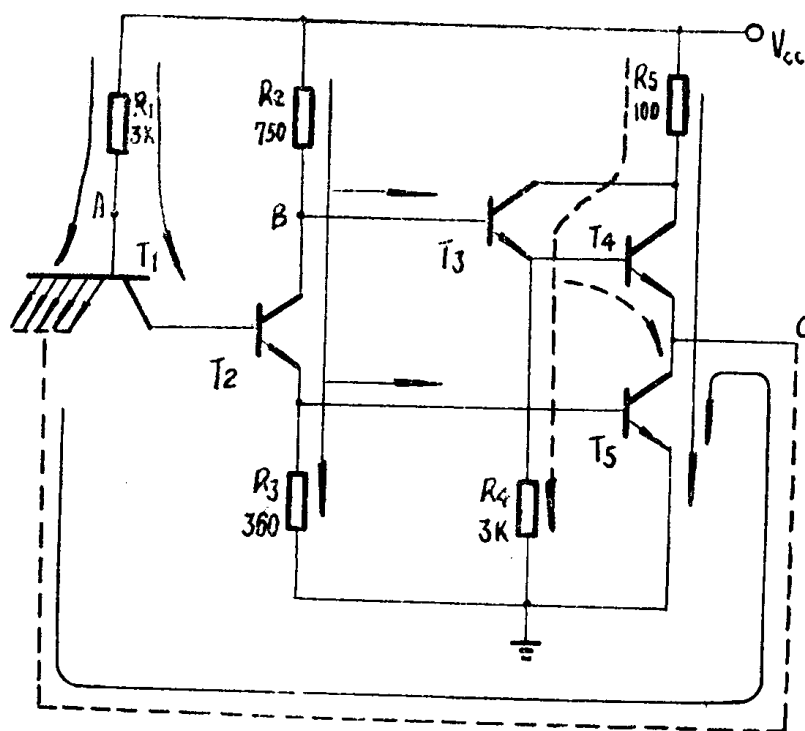
大功率晶体管使用时会发热的现象给我们很大启发。晶体管使用时会发热是因为晶体管加功率后晶体管中的PN结发热，而引起整个晶体管发热，大功率晶体管使用时功率较大，发热也就更厉害。为了防止温升高，损坏管子，大功率晶体管使用功率较大时要加散热板。不加散热板或散热板加得太小，温升太高，会损坏管子。看来是件坏事，但这一现象可以用来选。筛电路老化筛选就是外加比正常使用时更高的合理的应力，考验一段时间，促使早期失效的电路，由“好的”转化为“坏的”而被淘汰。老化是由“好”转化为“坏”的过程，而只是这一转化过程希望只发生在早期失效电路中，正常电路不发生这样转化。在这里，条件（外加应力）是极重要的。只要我们创造这样一种条件：在电路上加上合理应力（功率和温度）在考验的一段时间内，在早期失效电路中发生“好”转化为“坏”而在正常电路中不发生这种转化过程，这样就可以作老化筛选了。

加大功耗散在电路上的功率，使电路中晶体管的PN结发热，便可获得二个基本的应力——功率和高温。

耗散在电路上的功率等于电源电压乘上总的功耗电流。电源电压升高，功耗电流相应增大，耗散在电路上的功率也迅速增大。所以对老化电路来讲要获得二个基本应力——功率和高

温，可以简化成只要提高电源电压就行了。最初我们想把脉冲老化或直流偏压老化的电源电压升高来实现增大耗散在电路上的功率。但不难发现，这二种老化法总要使电路处于或长期处于“通导”，“截止”状态，这二种状态对于由多个晶体管和电阻组成的电路来讲，其中总有个别晶体管处于截止状态，电源电压全部加在截止管的ce结上，电源电压升高将有把晶体管ce结击穿的危险。但是这一危险是可以避免的。我们以一个简单的单与非门电路为例来说明这一点。当输入端加等于、小于0.8V电平时，输出端为大于3V的高电平，称电路为“截止”状态。输入端加等于，大于1.8V电平时，输出端为小于0.3V的低电平，称电路为“通导”状态。而当输入端加0.8V至1.8V电平时，输出端为不高不低，称为“过渡”状态。这时电路中所有晶体管处于通导，电源电压大部分降在电路中的电阻上，而不是降在晶体管上，所以电源电压并不受电路中晶体管ce结击穿电压的限制，是能提高的。对与非门电路来讲，一个简单办法就是将电路的输入端和输出端短接，强令电路的输入端电平与输出电平相等，那末这点电平就必然平衡在0.8V至1.8V的中点1.3V左右。电路就处于“过渡”状态。把电路的电源电压升高，增大耗散在电路上的功率，功耗增大后使电路中晶体管的PN结、电阻结温升高，使电路处于大功率、高温状态。这就是我们称的结温老化。老化所需的高温通过电路本身发热得到，根本上改变了过去通过提高环境温度（外部）的方法来得到。

二、结温老化原理



结温老化原理图

上图为结温老化工作原理图。假设 V_{cc} 为10伏。由于输入端与输出端短接，输入端与输出端短接点C，将稳定在0.8V至1.8V的中点左右，约为1.3V。A点将比C点高0.7V约为2V左右。这时 T_1 管的eb结和cb结同时作为正向导通二极管而流出电流。向 T_2 管的基极注入大约几百微安（ μA ）的电流，使 T_2 管导通，但 T_2 管不能进入饱和，因而B点电位高至足以使 T_3 管、 T_4 管通导并进入饱和。B点电位由于 T_3 管、 T_4 管饱和而钳位在C点电位加上 T_3 管、 T_4 管的 $V_{ce_{sat}}$ ，约等于1.3V加1.4V为2.7V左右。由于 T_2 管通导，其发射极电流注入 T_5 管基

极也使 T_5 管通导。 T_5 管处于一种较特殊的状态,从 V_{ce5} 来看未进入饱和,但此管的 I_c 、 I_e 电流很大。再分析一下电流情况。总的功耗电流将由三股电流组成。第一股电流为 V_{cc} 通过 R_1 、 T_1 管的eb结及 T_5 管的ce流到地和 V_{cc} 通过 R_1 、 T_1 管的cb结向 T_2 管基极注入的几百微安电流组成。这股电流可以用 R_1 二端的压降除以 R_1 阻值,估计约为 $\frac{V_{CC}-V_A}{R_1}=\frac{10V-2V}{3K}=2.7mA$ 。第二股电流为 V_{cc} 通过 R_2 、 T_2 管的ce结(绝大部分电流注入 T_5 管的基极)和 V_{cc} 通过 R_2 向 T_3 管基极注入的电流所组成,这股电流约为 $\frac{V_{CC}-V_B}{R_2}=\frac{10V-2.7V}{750\Omega}=10mA$ 。第三股电流主要为 V_{cc} 通过 R_5 、 T_4 管ce结和 T_5 管ce结流到地的电流约为 $\frac{V_{OC}-V_C-V_{eb4}-V_{ce5}}{R_5}$
 $=\frac{10V-1.3V-0.7V-0.2V}{100\Omega}=78mA$ 。总功耗电流约为 $2.7mA+10mA+78mA=90mA$ 左右。而流过 T_5 管发射极的电流很接近总功耗电流,约为 $90mA$ 左右。以上是按照设计值进行分析的,由于制造过程中电路中电阻值偏差、电路中电阻在高温中阻值变大等因素,实际测试值将和上述分析有偏差。在试验中,我厂生产的Z系列的单与非门, V_{cc} 加10伏时总功耗电流一般为 $60mA$ 至 $80mA$ 。

三、结温老化的条件

结温老化的条件就是电源电压应加多少伏,电路温度升多高,以及考验时间应多长。前面讲过,电源电压的提高并不受电路中晶体管ce结击穿电压的限制,但是电源电压提高,功耗电流相应要增大。电流不能无限增大,电流过大要烧坏电路中晶体管的PN结和铝膜,特别是 T_4 管、 T_5 管的发射极PN结和铝膜。 T_4 管、 T_5 管的发射极PN结和铝膜到底能承受多大电流?我们做了这样一个试验,取了过去做过老化试验的单与非门电路五十只,接成结温老化形式,提高电源电压使功耗电流达 $100mA$ 左右。考验了三天,电路仍正常工作,解剖了其中十只,显微镜下观察铝膜仍完整并无烧坏现象。证明我厂目前生产的电路能在一个较长时间内承受 $100mA$ 电流。从分析可知,我厂Z系列电路电源电压能提高到 $9V$ 或 $10V$,总功耗电流不会超过 $100mA$,试验表明也是可行的。

电路升温多高是一个极重要的问题,它直接影响筛选的效果。太低达不到筛选效果,太高则会烧毁电路。因此,温升要选择一个适当的范围。温升是通过提高电源电压得到的,因此温升也是一个决定电源电压加多高的因素。我们使用了二种方法来搞清电源电压(或者讲功耗)与温升的关系。第一种方法是通过输出管的eb结正向压降来建立功耗与温度的关系。取了十只单与非门,把电路处于“通导”即 V_{cc} 加正常电压 $5V$,输入端悬空,输出端为低电平。放置烘箱中测得各温度点的输出管eb结 V_{eb5} ,求得温度与 V_{eb5} 的关系。数据附后。然后用同十只电路,接成结温老化形式放置在常温中,提高电源电压,测得各功耗下输出管的eb结 V_{eb5} ,求得功耗与 V_{eb5} 的关系。数据附后。通过 V_{eb5} 建立功耗与温升关系。十只电路的变化率平均为每增加 $100mW$,温升 $13^{\circ}C$ 。仔细考虑后觉得用此方法测得的数据是不够准确的。因为输出管的 V_{eb5} 并不单一随温度变化而变化,功率变化也引起 V_{eb5} 变化,而且在输出管的eb端还联连有一只电阻,这些都影响了数据的准确性。第二种方法是把电路外壳盖板去掉,接成结温老化形式。提高电源电压,增加电路功耗用红外显微镜直接测电路硅片表面温度。我们共测试了七只电路(因红外显微镜出现故障未测试下去), V_{cc} 分别为 $7V$ 、 $8V$ 、 $9V$ 、 $10V$ 。数据附后。七只电路的变化率平均为 $16^{\circ}C/100mW$ 。统计七只电路数据得: V_{cc} 加 $8V$,

管芯表面温升到115℃至135℃左右、 V_{cc} 加9V，温升到135℃至170℃左右、 V_{cc} 加10V，温升达155℃至190℃左右。后来我们用电路的 $V_{in} \sim V_o$ 电压传输特性曲线高温中左偏的特点，证实了红外显微镜测得的数据是较准确的。

至于考验（老化）时间，根据我们上次作可靠性试验结果，老化筛选率达3%至5%左右电路基本上已进入正常使用阶段。进行结温老化，用达到3%至5%的筛选率所需时间定为老化时间。但我们没有很好地逐点试验，初步定为12小时，试验后筛选率也差不多，就定了。可能时间还可以缩短，对于可靠性要求较高的整机所需的电路，是否可以加长时间，今后还需深入做些工作。*

四、结温老化试验结果及分析

统计了五批试验情况。在试验室进行了三次、在老化组进行了一次批量较大的试验和用 D_{82} 进行了一次试验。结果及分析如下：

试验室进行三批试验。取单与非门电路，条件为 $V_{cc} = 10V$ 、老化时间为12小时。

第一批 共试验100只电路

试验结果 筛选率为5%

19* 4脚原始 I_{Rc} 为18 μA ，试验后为22 μA

28* 5脚试验后无特性

37* 1脚原始 I_{Rc} 为13 μA ，试验后为43 μA

91* 5脚原始 $I_{Rc} < 5 \mu A$ ，试验后为50 μA

92* 3脚原始 I_{Rc} 为10 μA ，试验后为42 μA

28* 电路解剖发现5脚台阶处铝膜断。

一只电路为铝膜问题，四只电路为 I_{Rc} 增大

第二批 共试验110只电路

试验结果 筛选率为2.7%

73* 1脚原始 I_{Rc} 为6 μA ，试验后为 $>100 \mu A$

100* 5脚原始 I_{Rc} 为10 μA ，试验后为70 μA

101* 2脚原始 I_{Rc} 为6 μA ，试验后为27 μA

5脚原始 I_{Rc} 为6 μA ，试验后为31 μA

筛选掉的电路全部为 I_{Rc} 增大。

第三批 共试验100只电路

试验结果 筛率为7%

12* 5脚原始 $I_{Rc} < 5 \mu A$ ，试验后为60 μA

17* 5脚原始 $I_{Rc} < 5 \mu A$ ，试验后为 $>100 \mu A$

23* 4脚原始 $I_{Rc} < 5 \mu A$ ，试验后为45 μA

29* 4脚原始 I_{Rc} 为6 μA ，试验后为 $>100 \mu A$

52* 5脚原始 $I_{Rc} < 5 \mu A$ ，试验后为72 μA

78* 2脚原始 I_{Rc} 为6 μA ，试验后为 $>100 \mu A$

* 关于结温老化时间确定，在试验阶段初步定为12小时。在老化组开始采用结温老化时，我们对数批各种电路进行观察统计，发现电路失效绝大多数发生在四小时内，老化四小时不失效的电路，再延长老化时间也不失效了。现在我厂结温老化时间定为四小时。

86* 2脚原始 $I_{Rc} < 5 \mu A$, 试验后为 $75 \mu A$

筛选掉电路全部为 I_{Rc} 增大。

老化组的二次试验情况:

第一批试验取较大批量的单与非门, 进行结温老化与高温($85^{\circ}C$)直流偏压老化对比试验。结温老化取13000多只电路, 筛选率为4%, $85^{\circ}C$ 直流偏压老化取8600多只电路, 筛选率为1%左右。第二次取单D触发器电路, 共进行了二批试验。第一批共试验105只电路。试验结果, 一只电路 V_{OL} 抬高, 经解剖分析发现输出管的发射极铝膜缺铝而引起低电平抬高, 四只电路 I_{Rc} 不符合二类品, 三只电路 I_{OH} 不符合二类品。筛选率为7.6%。第二批共试验112只电路。试验结果, 一只电路 V_{OL} 抬高, 经解剖分析发现输出管严重缺铝而引起低电平抬高, 六只电路 I_{Rc} 不符合二类品、五只电路 I_{OH} 不符合二类品。筛选率为10.7%。说明一下, 这二批电路试验前测试用三类品仪表, 试验后测试用二类品仪表, 所以筛选率的统计是不够准确的。

从五次结温老化试验结果可以看出:

1. 结温老化筛选率比 $85^{\circ}C$ 直流偏压老化大大提高。结温老化12小时的筛选率已达3%至5%左右。

2. 结温老化筛选掉的电路, 主要是反向漏电流增大。这些电路要降档或降级。这与我们上次做可靠性试验结果, 老化后因反向漏电流增大而失效的电路占70%以上是符合的。说明结温老化并没有引进新的失效机理, 不是破坏性的。

3. 逻辑失效的电路很少。这因为在制造工艺中采取了措施, 特别是反刻去胶采用氧气去胶和加强了小片管芯的镜检。几只逻辑功能失效的电路, 解剖分析表明, 主要是输出管的发射极铝膜台阶处有问题而造成。说明铝膜有问题的电路通过结温老化是能筛选掉的。我们也解剖分析了一些经结温老化后仍正常的电路, 在显微镜下观察铝膜仍完整无缺。证明指定的结温老化条件是较合理的。

总之, 我们认为从理论上分析和试验结果都表明结温老化是一种可行的新的老化方法。此方法的筛选效果、筛选效率都比高温直流偏压老化为好。

五、关于功耗电流离散性问题

逻辑集成电路采用结温老化, 会发现各只电路(尽管是同一工艺的一批电路), 加上同样电源电压, 各只电路的功耗电流大小不同, 存在一定的离散性。由于功耗电流的离散性, 就引起各只电路功耗不同, 硅片的温升不同, 这样外加在各只电路上的应力也不同。这是因为制造工艺过程中, 电路中的电阻值不可能控制得一样, 特别是 R_s 的阻值偏离而造成。其实在采用脉冲老化或直流偏压老化时, 加上同样电流电压、同样的额定负载, 也由于各只电路的低电平不同, 外加在各只电路上的应力也是不同的。

那么这种现象是否会影响结温老化的筛选效果? 我们认为不会的。下面从逻辑集成电路工作原理来分析这个问题。举我厂单与非门为例, 在实际使用过程中, 当输入脉冲跳变瞬时, 电路处于“过渡”状态, 脉冲加速电流约为 $40mA$ 左右。也就是电路实际使用过程中, 流过 T_4 管、 T_5 管最大瞬时冲击电流。要是 R_s 阻值偏小则脉冲加速电流要比 $40mA$ 为大, 反之, 则比 $40mA$ 要小。结温老化也是使电路处于“过渡”状态, 流过 T_4 管、 T_5 管电流最大, 接近总功耗电流。要是电路中 R_s 阻值偏小, 功耗电流要大, R_s 阻值偏大, 功耗电流变小。所以结温老化对电路考验与在实际使用过程中对电路的考验是互相一致的。

六、结温老化与脉冲老化、直流偏压老化的比较

脉冲老化与直流偏压老化,哪一种筛选效果好?这是一直在争论的问题。我们曾经各取100只单与非门,加1.2倍额定负载,放置在85℃烘箱内进行脉冲老化与直流偏压老化对比试验。做了8000多小时,结果都无失效电路,比较不出哪一种老化方法筛选效果好一些。很可能老化的外加应力太低。从理论上分析,我们认为脉冲老化要比直流偏压老化为好。直流偏压老化,电路长期处于“通导”或“截止”状态。脉冲老化,电路轮流处于“通导”、“截止”和“过渡”状态。在“过渡”状态时,流过输出管(主要考验部分)的电流远比1.2倍负载要大。要是脉冲讯号频率越高则电路处于“过渡”状态次数越多,对电路考验越严格。这样对老化设备要求太高,不易办到。从这观点考虑,我们认为结温老化要比脉冲老化、直流偏压老化优越。结温老化使电路处于“过渡”状态,流过输出管的电流比电路在实际使用过程中流过输出管的瞬时冲击电流还要大得多。对电路考验很严格。试验证明也如此。采用结温老化,外加应力比脉冲老化、直流偏压老化大大增加,考验(老化)时间大大缩短,老化所需高温靠电路内部发热得到,去掉了烘箱,节约设备、场地。这些都是脉冲老化、直流偏压老化所不能比拟的。

七、结温老化应注意的问题

采用结温老化有些问题要注意,以防损坏电路。

1. 结温老化所加的电源电压,前面分析,试验都举单与非门为例,要是双门,四门或触发器之类电路,有多个输出端。这些电路发热要比单门厉害,所以电源电压相应要降低些。电源电压降低些还应比正常使用电压高些。这时流过输出管的电流还是比电路实际使用时流过输出管瞬时冲击电流大得多,足以起到老化筛选效果。电源电压应主要考虑把电路硅片温升调正,控制在150℃至200℃之间。

2. HTL这类电路,正常使用电源电压已很高,一般在12V至15V左右。采用结温老化,为了使电路硅片温升到一定高温,势必要把电源电压提得很高。但一般逻辑集成电路采取PN结隔离,电源电压过高有可能把隔离二极管击穿,损坏电路。为防止出现这样现象。可以在电路电源端与输出、输入短接处之间加一适当阻值的电阻。增加流过输出管的电流,控制电路硅片温升到一定高温,这样就可以把电源电压控制在电路正常使用电源电压略高一些就行了。

3. 采用结温老化,电路的功耗处于电路所能承受功耗的极限边缘。所以对老化电源有较高要求。结温老化时电流很大,不大可能采用稳压电源,一般采用整流电源。对纹波系数较大的整流电源,应在电源输出端并上足够大的电容,改善纹波系数。另外应装上电源电压上升或下降的报警装置,防止上升烧坏电路,下降起不到老化筛选效果。

4. 结温老化有它的局限性。对没有“非”功能的逻辑集成电路是不能采用结温老化的。

附 录

为搞清 V_{cc} (或 P_{ov}) 与电路硅片温升的关系, 对十只单与非门电路进行了测试, 数据如下:

一、原始数据

编 号	参 数 名 称	I_{R0} (μA)	I_{OH} (μA)	V_{OH} (V)	V_{OL} (V)	I_{S0} (mA)	I_{OCH} (mA)	I_{OCL} (mA)
1		4 2 3 3 3	0	3.2	0.06	1.3	2.8	7
2		5 4 5 6 5	0	3.15	0.05	1.55	3.6	7.6
3		4 3 4 4 4	0	3.2	0.04	1.1	2.5	5.5
4		8 6 8 8 7	0	3.2	0.04	1.1	3.5	6.2
5		4 3 4 4 4	0	3.2	0.04	0.9	2	5
6		4 2 3 3 3	0	3.1	0.06	1.55	3.7	8.7
7		2 2 2 2 2	0	3.1	0.06	1.7	8.7	8.8
8		8 8 8 9 8	0	3.2	0.05	1.1	2.5	5.7
9		2 2 2 3 2	0	3.15	0.05	1.2	2.7	6.2
10		5 4 5 6 6	0	3.15	0.05	1.35	3	7

(注) V_{OL} 为空载数据

二、温度与 V_{obs} (输出管)

编 号	V_{obs} (V)	温 度 ($^{\circ}C$)	35	50	85	100	125	150	175
1			0.770	0.747	0.697	0.673	0.638	0.605	0.568
2			0.774	0.754	0.701	0.677	0.641	0.607	0.568
3			0.764	0.744	0.689	0.666	0.629	0.591	0.548
4			0.765	0.747	0.695	0.670	0.633	0.597	0.556
5			0.757	0.738	0.686	0.660	0.624	0.585	0.542
6			0.796	0.775	0.725	0.706	0.672	0.637	0.604
7			0.797	0.779	0.727	0.709	0.672	0.638	0.605
8			0.744	0.722	0.668	0.650	0.613	0.579	0.548
9			0.774	0.752	0.697	0.678	0.644	0.606	0.562
10			0.775	0.752	0.697	0.672	0.637	0.597	0.559

三、电源电压与功耗电流、 V_{ce} (输出管)

编 号	功耗电流 (mA) 及 V_{ce} (V)	V_{cc} (V)					
		5	6	7	8	6	10
1	32	45	54	60	66.5	71.5	
	0.796	0.776	0.740	0.720	0.696	0.675	
2	28.5	41	49	59	70	82.5	
	0.788	0.777	0.750	0.722	0.699	0.663	
3	25	40.5	49	56	62	68	
	0.794	0.767	0.749	0.730	0.705	0.672	
4	28	45	55	64	78	87.5	
	0.789	0.764	0.745	0.724	0.694	0.668	
5	24	42.5	45	53	61	68	
	0.788	0.773	0.749	0.725	0.700	0.671	
6	20	48	60	69	81	87	
	0.810	0.796	0.777	0.759	0.739	0.707	
7	19	45.5	56.5	65	79	88	
	0.809	0.794	0.777	0.761	0.735	0.709	
8	27.5	38	46	52.8	58	64	
	0.755	0.735	0.716	0.697	0.674	0.653	
9	21.5	40	48	57.5	60	65	
	0.794	0.772	0.748	0.727	0.697	0.675	
10	29	41	49	57	63	68	
	0.787	0.766	0.745	0.727	0.697	0.678	

四、电源电压与电路硅片温升

编 号	温 升 ($^{\circ}\text{C}$)	V_{cc} (V)				备 注
		7	8	9	10	
1	110	128	155	178		此数据用红外显微镜直接测输出管旁的氧化层的温度。后因红外显微镜发生故障未测完十只电路。
2	100	118	135	158		
3	105	118	136	158		
4	105	125	145	157		
5	120	145	170	193		
6	120	135	155	175		
7	120	140	160	185		
8	100					

片状BN在数字集成电路扩散工艺中的应用

五车间 马晋生

我们厂自七六年年底开始使用北京国家建筑材料研究院的片状BN。半年多来，由于建材院同志的大力支持和协助，使我厂数字电路生产车间中的基区硼扩散工艺逐步地由片状BN取代了液态的硼酸三甲酯，例如五车间全部采用了片状的BN。

片状BN的采用不仅大大提高了劳动生产率，大大减轻了扩散工人的劳动强度，而且扩散均匀，重复性好。

半年多来，我们连续采用了好几批BN片，在工作中发现了一些问题，有些是BN片子本身存在的问题；有些可能是我们本身工艺上存在的问题。为了使片状BN得到广泛的应用，就我们已发现的一些问题，谈谈我们的认识和看法。

一、片状BN作扩散源的优越性

我厂对各种硼扩散方法，都不同时期地用于过生产，现将各种方法的比较列表如下：

扩散方法	均匀性	操作难易度	系 统	稳定性、重复性	劳动效率
箱 法 B_2O_3	一 般	复 杂	简 单	差	最 低
硼酸三甲酯	差	一 般	复 杂	差	低
BBr_3	差	一 般	复 杂	差	低
粉末状BN (烧在石英片上)	好	需 烧	简 单	好 (使用周期短)	高
片 状 BN	好	简 单	单 简	好	高

从表中看出，早期的 B_2O_3 箱法扩散因其劳动效率低、操作复杂，现在已很少有人采用了。而液态源（硼酸三甲酯、 BBr_3 ）因其均匀性差，产量低。且所用系统需经常清洗，因而促使我们采用片状的BN。

从劳动生产率来讲。以扩散20大园片（ $\phi 35\text{mm}$ ）片子为例，液态源扩散需用100分钟（扩散4炉），现在用片状BN只需20分钟（1炉）就可。从最后晶体管管芯的 β 和 V_{BE} 可以看出，片状BN扩散均匀性很好。

例 1, Z03~403批:

V_{CE}	V_{CB}	V_{EB}	β
20	40	7	28
30	55	7.5	25
20	40	7	20
20	40	7	23
20	35	7	20
20	40	7	22
30	60	7.5	20
35	60	7	18
20	40	7.0	25
25	35	7.5	24

其中 β 范围,18~28相差为10,一般在 25 左右, V_{BE} 范围7~7.5V左右,相差为 0.5V。

液态源的均匀性:

例 1, G43~0217批,

V_{CE}	V_{CB}	V_{EB}	β
35	50	7	16
25	50	8	35
25	50	7	25
25	50	8	60
25	60	7.5	25
25	55	6.5	40
25	60	7	35
15	软	7	18
25	60	7	18

其中 β 范围, 16~60相差44。

V_{BE} 范围, 6.5~8 V相差1.5V

四个表的比较说明, 片状BN的均匀性要比液态源好。

片状BN扩散的重复性:

电阻率 P_s / 日期 / 炉号	3.20	3.21	3.23	3.26	3.27	3.30	3.31	4.1	4.2
第一炉	40	40	40	40	40	42	40	42	40
第二炉	40	42	40	42	40	42	40	44	40

有了好的均匀性、重复性、稳定性, 高的劳动生产率使BN的采用将得到广泛的推广。

二、工艺及设备

为了使扩散的浓度均匀。要保证每片BN片和硅片之间的距离相等。我们的石英舟是采用四根等距离刻槽的石英棒烧成。为了放小样片, 在底部的两根石英棒间烧了石英片。当片子放好后一般在推拉石英舟时, BN和硅片均不大动摇, 保证了等距离。

例 2, Z03~401批

V_{CE}	V_{CB}	V_{EB}	β
35	60	7	25
25	50	6.5	35
25	50	7	25
25	55	7	20
25	55	6.5	30
20	50	7	25
30	55	7	25
25	50	7	25
25	50	6.5	25

其中 β 范围20~35, 相差15

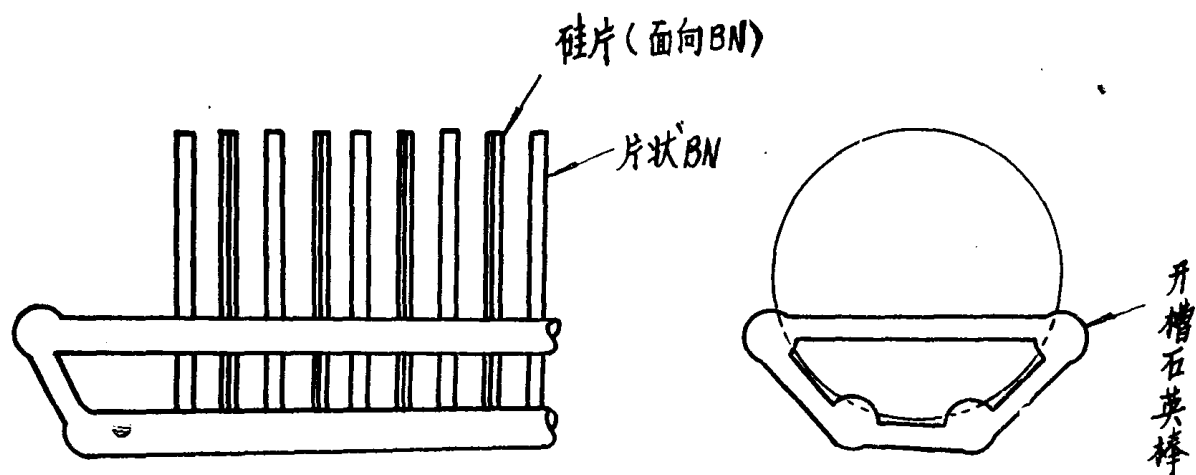
V_{BE} 范围6.5~7 V, 相差0.5V

例 2, G43~0212批,

V_{CE}	V_{CB}	V_{EB}	β
20	40	8	45
25	45	8	16
30	65	8	30
25	60	8	30
25	50	7	12
25	60	8	35
25	60	8	25
20	50	7.5	15
25	50	7.5	16
15	40	8	45

其中 β 范围12~45, 相差33

V_{BE} 范围, 相差1 V



扩散石英舟示意图

BN处理

早期的处理方法(1)用清洗干净的石英片将BN表面均匀地刮去一层。(2)放入花兰(石英或塑料王)倒入1号清洗液(氨水:双氧水:去离子水=1:2:5)煮沸后5分钟。(3)倒掉1号清洗液并用去离子水冲洗数次,再倒入2号清洗液(盐酸:双氧水:去离子水=1:2:8)煮沸后5分钟。(4)倒掉2号清洗液,用热去离子水大量冲洗20分钟。(5)烘干待用。

早期BN均采用上述处理方法,后来发现用过一段时间后部分片子局部发红,我们怀疑是否是处理时引起的沾污,后来的片子处理就采用了下述方法。

目前处理方法

- (1) BN片用处理干净的P型硅单晶片(工艺上报废的片子),将表面均匀地刮去一层。
- (2) 用热去离子水($\rho 5\text{m}\Omega$)将表面的粉末冲洗干净烘干待用。

BN的活化

- (1) 通氧气 $T = 960^\circ\text{C}$ $t = 30'$
- (2) 通氮气 $T = 960^\circ\text{C}$ $t = 30'$

扩散 $T = 960^\circ\text{C}$ $t = 20'$
 $\rho_s = 40 \sim 44\Omega/\square$

三、目前存在的问题

BN片本身存在的问题

(1) 变色(部分片子局部地区): 这些片子在BN处理后几天后发现变色,肉眼观察是洁白颜色,随着使用时间的增加,个别片子局部位置逐渐发红,并且红色位置逐渐扩大,这些红的部位不仅表面看得到,BN内部也有。(2) 大块炸裂: 发现炸裂的几片片子不是一开始就炸裂,而是使用过程中先发红,发红的地方再炸裂开。(3) 起泡(少数几片片子)(4) 黑斑

BN片直观的检查发现小黑斑多,这种黑斑有些在使用过程中逐步发红,且斑点逐渐扩大。

四、工艺中存在问题

(1) 形成B—Si波动后开裂

这种开裂在扩散后经过氧化再分布可以看出，但也是局部的。

这种情形可以在扩散后用 $\text{H}_2\text{O}:\text{HF} = 1:1$ 的腐蚀液泡洗一下得到解决，值得提出的是此种现象用其它的扩散方法时未发现过。

(2) 发红的BN片对 SiO_2 表面和硅的破坏

这种现象只在已发红的BN片相对应的硅片中发现，放在显微镜下观察，似被腐蚀过一样，用HF也很难泡掉。

由于我厂生产任务繁重，没有将已发红的BN片进行更好的试验，也没有去进行光谱分析，到底为什么发红尚未得出结论。不过值得说明的一点是，我们曾经用过石英片烧粉末状BN的办法。用了很长一段时间上述问题从未发现过。

目前我们已将BN用于生产，解决上述存在的问题（当然这些问题仅存在于少数片子上），是BN推广应用的一个关键。

高抗扰二~五进制计数器试制小结

厦大物理系73级半导体专业实习队

上无十九厂五车间

一、计数原理

HTL二~五进制计数器原理和中速二~五进制计数原理一样，简述如下。

HTL二~五进制计数器由A, B, C, D四个HTL主从触发器构成(图一)。电路内部二进计数器和五进计数器是分别连接的。计数器由一个与非门进行置“0”。触发器A的输出端在内部没有联到相继级，而是引到外部。该计数器的计数功能可分为三种独立方式〔见逻辑图图二〕。

(1) 十进计数器:

外部必须将输出 Q_A 与B的时钟输入 T_{BD} 连接，计数脉冲从 T_A 端输入，计数器就接8-4-2-1代码进行十进计数。

进行十进制计数时，输出A连接B的时钟输入 T_{BD} ，从逻辑图上看，A输出作为B时钟输入，B输出作为C时钟输入，所以A、B、C、对计数脉冲是逐级二分频。但当第十个计数脉冲出现时，由于 $\bar{D}-J_F$ 反馈的作用($\bar{D}=J_B=0$)，这时B输出端不翻转，C和B的时钟输入都接A的输出，本来D的工作状态应跟B一样，但由于D-R反馈线和D输入与门的存在，D工作状态有较大的改变。在第八个计数脉冲到来之前，D不具备翻转的条件，一直处在原来的“0”状态。只有当第8个计数脉冲到来时，D时钟输入由“1”状态变成“0”状态。此时 $S=B$ ， $C=1$ ，R为0，D输出由“0”状态翻转为“1”状态。当第十个脉冲到来时，因为 $S=0$ ， $R=1$ 按R-S触发器工作，触发器D由“1”状态翻转为“0”状态，工作波形如图三。

(2) 二进计数器和五进计数器:

触发器A是一个二分频二进制单元，把计数脉冲加到A的时钟输入端 T_A ，输出A就能独立地进行二进计数。

二进计数原理就是一个J-K触发器的二分频

把计数脉冲加到B的时钟输入 T_{BD} ，输出为B、C、D，这就是五进计数。

五进计数原理参阅十进计数原理。工作波形如图四。

(3) 十分频器

外部将D输出连到A输入端，计数脉冲从 T_{ED} 输入。这样就把已经二分频的D输出再来一个二分频，于是输出端A就得到十分频的方波。工作波形如图五。

二、版图设计

(1) 模拟电路

由于高抗扰二~五进制计数器是由四个主从J-K触发器组成的，因此，就面积及成品率方面考虑，要求选择比较简单的高抗扰J-K触发器。为了选择较理想的J-K触发器，我

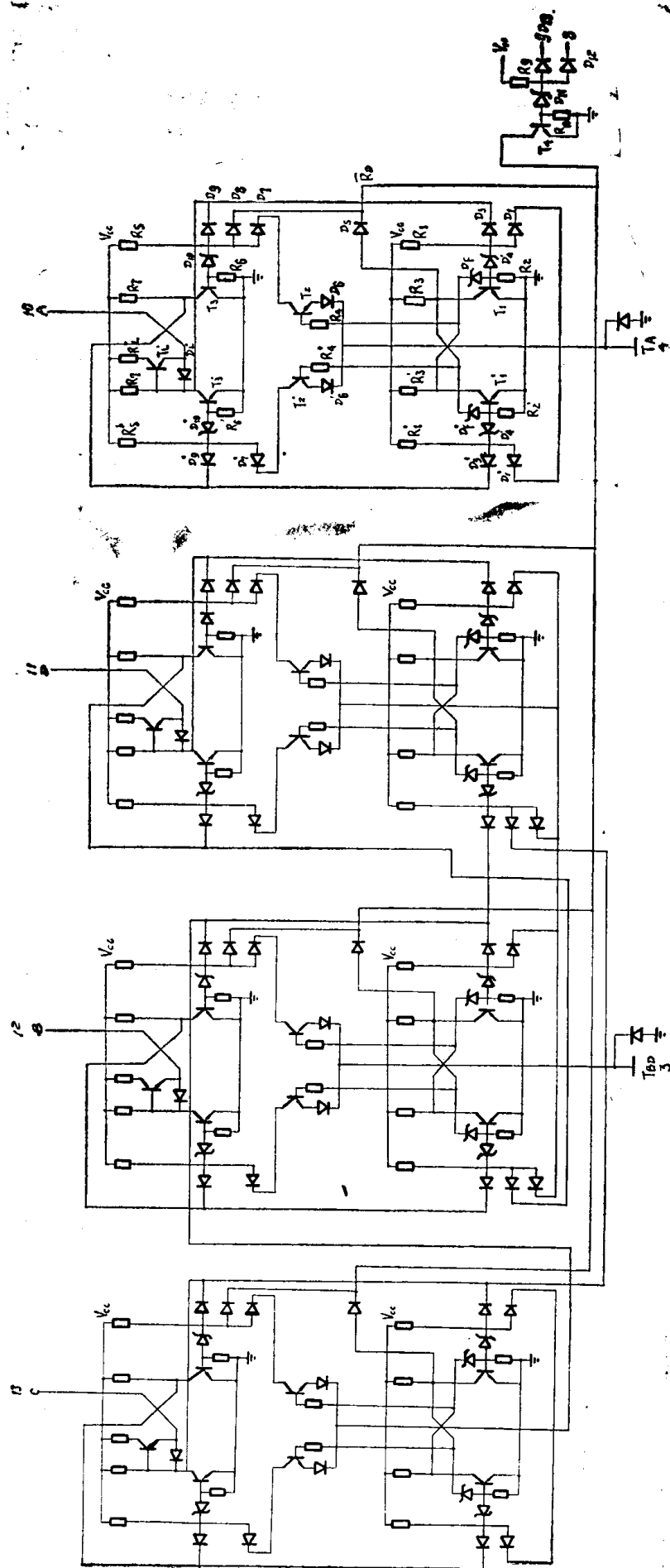


图1 高抗干扰二—五进制计数器线路图

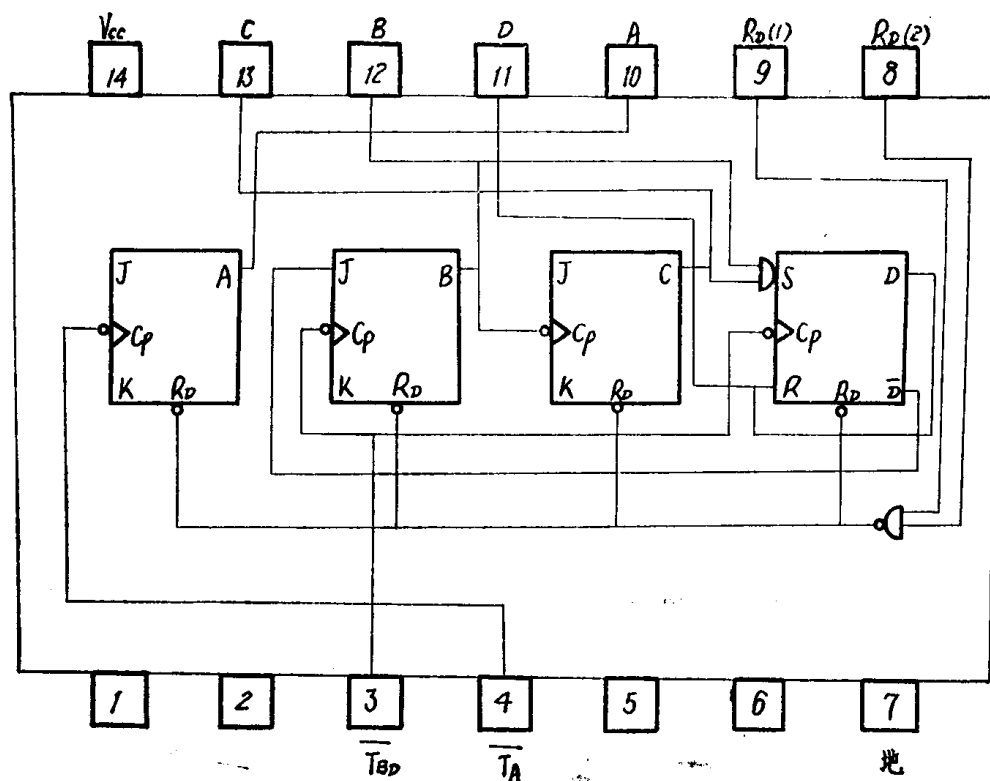


图 2 高抗干扰二—五进制计数器逻辑图

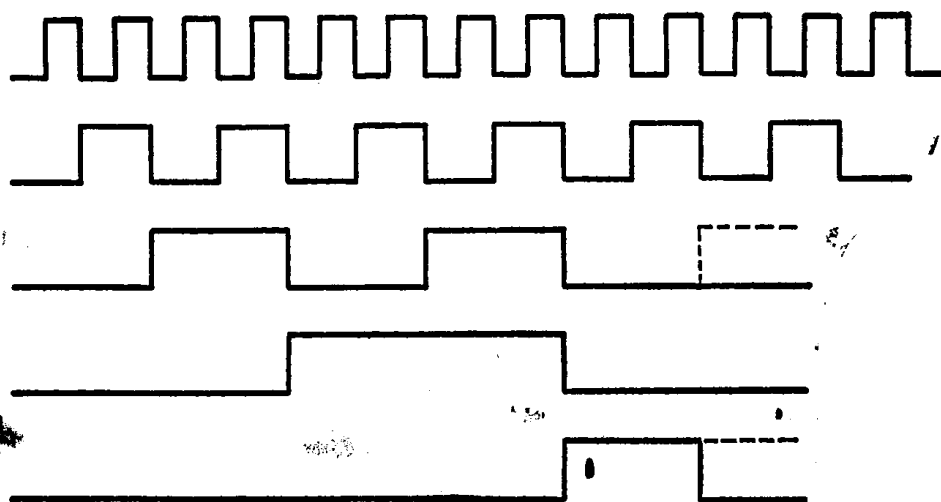


图 3

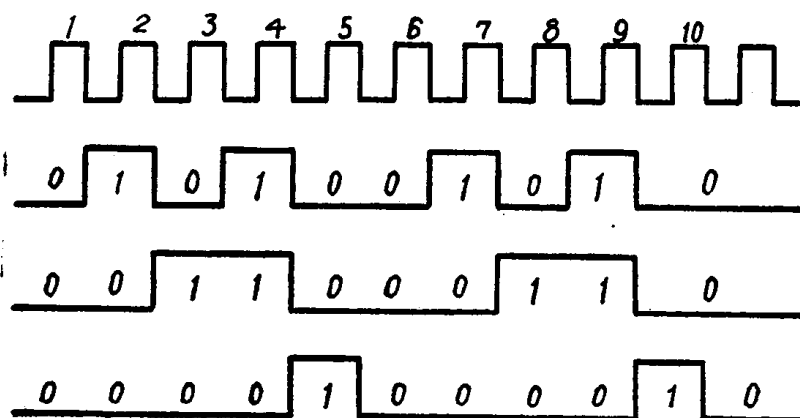


图 4