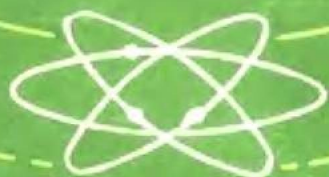


高等学校教材

半导体器件制造工艺

夏海良 张安康 等编



上海科学技术出版社

305

出版说明

根据国务院关于高等学校教材工作分工的规定,我部承担了全国高等学校工科电子类专业课教材的编审、出版的组织工作。从一九七七年底到一九八二年初,由于各有关院校,特别是参与编审工作的广大教师的努力和有关出版社的紧密配合,共编审出版了教材 159 种。

为了使工科电子类专业教材能更好地适应社会主义现代化建设培养人才的需要,反映国内外电子科学技术水平,达到“打好基础、精选内容、逐步更新、利于教学”的要求,在总结第一轮教材编审出版工作经验的基础上,电子工业部于一九八二年先后成立了高等学校《无线电技术与信息系统》、《电磁场与微波技术》、《电子材料与固体器件》、《电子物理与器件》、《电子机械》、《计算机与自动控制》、中等专业学校《电子类专业》、《电子机械类专业》共八个教材编审委员会,作为教材工作方面的一个经常性的业务指导机构。并制定了一九八二~一九八五年教材编审出版规划,列入规划的教材、教学参考书、实验指导书等共 217 种选题。在努力提高教材质量,适当增加教材品种的思想指导下,这一批教材的编审工作由编审委员会直接组织进行。

这一批教材的书稿,主要是从通过教学实践、师生反映较好的讲义中评选择优和从第一轮较好的教材中修编产生出来的。广大编者,各编审委员会和有关出版社都为保证和提高教材质量作出了努力。

这一批教材,分别由电子工业出版社、国防工业出版社、上海科学技术出版社、西北电讯工程学院出版社、湖南科学技术出版社、江苏科学技术出版社、黑龙江科学技术出版社和天津科学技术出版社承担出版工作。

限于水平和经验,这一批教材的编审出版工作肯定还会有许多缺点和不足之处,希望使用教材的单位、广大教师和同学积极提出批评建议,共同为提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系由《电子材料与固体器件》教材编审委员会《半导体物理与器件》编审小组评选审定,并推荐出版。

该教材由南京工学院夏海良担任主编,华中工学院李乃平担任主审。编审者均依据《半导体物理与器件》编审小组审定的编写大纲进行编写和审阅的。

本教材主要内容有:衬底制备、外延、氧化、掺杂、光刻、制版、表面钝化、隔离、电极制备和引线封装等九章。全书以生产中广泛采用的硅平面工艺为主线,重点介绍半导体器件制造中各主要工艺的基本原理和方法,对生产中容易出现的工艺问题也进行了必要的分析和讨论。书后附录中,收集了半导体工艺常用的各种图表、曲线和数据,以便读者在实际工作中查阅。

本教材的目的,是使《半导体物理与器件》专业的学生对半导体器件制造工艺有一个全面而系统的了解,以便为后续课程的学习打下实践基础;同时,通过对一些典型实例的讨论,以提高学生分析和解决工艺问题的能力。

《半导体器件制造工艺》是一门实践性很强的课程,编者认为,本教材的大部分内容可以结合生产实习,以适当的方式指导学生通过自学加以掌握。

本教材由南京工学院电子工程系半导体物理与器件专业在总结《半导体器件工艺》课程和生产实习等教学实践的基础上组织编写的,其中绪论和附录部分由张安康执笔,第1章、第2章和第8章由庄庆德执笔,第3章和第7章由詹娟执笔,第4章由张佐兰执笔,第5章、第6章和第9章由夏海良执笔。全书先后经张安康、夏海良进行整理和加工。

华中工学院李乃平老师和王敬义老师对全书作了认真审阅,并提出了不少宝贵的意见;南京工学院电子工程系和电子研究所的领导和许多老师对教材的编写提供了不少支持和帮助,对此我们表示衷心感谢。在教材编写过程中,曾广泛参考了各种书刊资料,因具体名称较多,恕不一一列举。由于编者水平有限,经验不足,书中肯定会有不少错误和不当之处,殷切希望读者批评指正。

编者 1985年7月

目 录

出版说明

前言

绪论1

§ 0-1 半导体器件工艺的发展概况1

§ 0-2 制造半导体器件的工艺流程2

第1章 衬底制备.....11

§ 1-1 半导体材料概述11

§ 1-2 衬底加工12

§ 1-3 半导体材料的测量技术15

第2章 外延生长.....23

§ 2-1 外延的基本概念23

§ 2-2 外延工艺25

§ 2-3 外延层质量控制28

§ 2-4 外延层的测量36

§ 2-5 其它外延方法简介41

第3章 氧化工艺.....46

§ 3-1 二氧化硅的结构和性质46

§ 3-2 SiO_2 -Si 界面性质47

§ 3-3 二氧化硅的制备方法50

§ 3-4 二氧化硅膜的质量检测54

第4章 掺杂技术.....61

§ 4-1 扩散原理61

§ 4-2 液态源扩散63

§ 4-3 固态源扩散67

§ 4-4 固-固扩散70

§ 4-5 其它扩散技术74

§ 4-6 扩散层质量的分析和检验75

§ 4-7 离子注入工艺80

第5章 光刻技术.....87

§ 5-1 光刻胶的特性和配制87

§ 5-2 光刻工艺过程92

§ 5-3 光刻质量分析96

第6章 制版技术.....98

§ 6-1 制版技术的光学基础98

§ 6-2 超微粒干版的显象原理100

§ 6-3 制版工艺过程104

第7章 表面钝化110

§ 7-1 掺氯氧化技术110

§ 7-2 掺磷氧化技术113

§ 7-3 覆盖介质膜116

§ 7-4 应用半绝缘膜124

§ 7-5 有机钝化膜127

第8章 隔离技术130

§ 8-1 pn 结隔离130

§ 8-2 等平面隔离133

§ 8-3 介质隔离136

§ 8-4 其它隔离方法138

第9章 电极制备及封装141

§ 9-1 欧姆接触141

§ 9-2 蒸发与溅射143

§ 9-3 多层电极与多层布线151

§ 9-4 键合与封装153

附录157

附录一 气体纯化157

附录二 超纯水的制备159

附录三 化学清洗工艺162

附录四 化学腐蚀166

附录五 超净知识166

附录六 安全生产知识170

附录七 常用数据及图表171

绪 论

§ 0-1 半导体器件工艺的发展概况

半导体器件工艺有一个发展过程，它从生长法制造 pn 结工艺、合金工艺、扩散工艺，发展到今天广泛采用的平面工艺。近二十年来，半导体工业正逐步向大规模、超大规模集成电路发展，新工艺新技术如雨后春笋、层出不穷，尤其是微细加工技术领域繁花似锦、方兴未艾。

1. 生长法制造 pn 结工艺 此工艺比较原始，且早已淘汰。它是在拉晶过程中改变掺杂浓度而制成的。

2. 合金工艺 它在五十年代初就已经采用了，由于其工艺简单、操作方便、价格低廉，故至今锗低频管、硅稳压管等仍用这种方法制造。

硅稳压管的制造方法是：将一根直径约 $450\mu\text{m}$ 的铝丝与(111)面 n 型硅片相接触，在 n 型硅与镍支架之间垫上一层作欧姆接触电极用的合金材料——金-锑合金。在真空中，将整个真空系统加热至 700°C 。当温度升至 577°C 时，即发生 Al-Si 共熔。晶片冷却以后，在靠近 n 型硅的一个小区域形成 p 型硅再结晶层(大部分为 Al-Si 共晶体)，于是形成了一个 pn 结。这种方法称为合金法，如图 0-1 所示。

为了提高晶体管的频率，自从合金管生产以后，人们曾在合金法的基础上作了种种结构或工艺上的改进，相继出现了面垒晶体管、微合金晶体管等半导体器件，但由于工艺上和应用上的局限性，这些工艺没有得到推广。

3. 扩散工艺 用扩散工艺制造晶体管，对半导体器件的发展起了很大推动作用，1958 年先后制成了合金扩散管和台面型晶体管，大大提高了晶体管的工作频率。

合金扩散工艺，目前仍在 3AK 系列、3AG 系列的锗晶体管中运用。典型的锗合金扩散工艺如下：

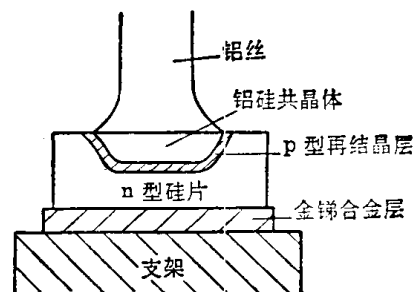


图 0-1 硅稳压管管芯结构示意图

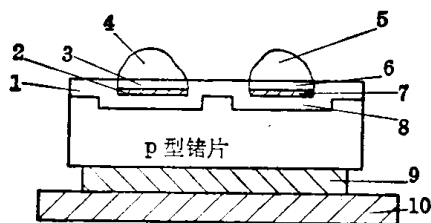


图 0-2 锗合金扩散管的管芯结构

1—n 型预扩散层；2—n 型再结晶层；3—合金与锗共晶体；4—基极小球 (Pb-Sb)；5—发射极小球 (In-Ga-Sb)；6—合金与锗共晶体；7—p 型再结晶层；8—第二扩散层 (n 型)；9—In-Ga 合金层；10—镍支架

在 p 型锗片上预先用开管真空扩散方法扩散一层 n 型预扩散层，然后在扩散层上放置一个 In-Ga-Sb 合金小球，另外在旁边放上一个作为欧姆电极用的 Pb-Sb 或 Pb-Sb-Sn 合金小球。在合金温度 (700°C) 下，合金小球熔化，与它接触的固体锗溶解到液态的合金小球中。冷却时，这一部分原先溶入合金球中的锗重新析出来，形成再结晶层。在再结晶层中，Ga 的杂质浓度远远超过 Sb 的浓度，所以再结晶层是 p 型半导体。与此同时，由于 Sb 原子的快速扩散，它穿过锗片上的预扩散层向 p 型 Ge 片内部扩散，形成第二扩散层，这样就形成了基区较薄的

pnp 晶体管。作为欧姆接触电极用的合金小球与 Ge 片上面的 n 型基区扩散层形成欧姆接触电极基极,如图 0-2 所示。

用扩散法制造的台面型结构,提高了器件的频率和击穿特性,尤其对大功率晶体管和整流器有一定的优越性。其典型工艺流程详见绪论 § 0-2。

4. 平面工艺 随着外延和氧化工艺的出现,人们把扩散工艺同这两个工艺结合在一起,形成了所谓外延平面工艺,用这种工艺做成的晶体管就称外延平面管。平面工艺不仅大幅度地提高了晶体管的频率特性和功率特性,而且与钝化技术相结合,使晶体管的可靠性与稳定性有了保证。随着超高频大功率晶体管、超高频低噪声晶体管、高反压大功率管等先后出现,使晶体管在数量、品种和质量上都达到了较高的水平。二十几年来,平面型晶体管一直处于主导地位。

紧接着,人们将平面工艺和薄膜技术相结合,很快又制成了集成电路,使器件的发展得到了一个飞跃。

早在六十年代初,就成功地制成了 MOS(金属-氧化物-半导体)场效应晶体管,为半导体器件的发展开创了一个新的领域,由于它工艺比较简单,加上有平面工艺的基础,故发展十分迅速。不久, MOS 集成电路、CMOS(互补 MOS)电路相继出现。在六十年代,由于氮化硅薄膜、三氧化二铝薄膜、多晶硅工艺的解决,又先后制成了 MNOS(金属-氮化硅-二氧化硅-半导体)、MAOS(金属-三氧化二铝-二氧化硅-半导体)、用多晶硅代替铝作为栅电极的硅栅 MOS 器件等。

1970 年,利用自对准的离子注入掺杂工艺,在同一芯片上制造出具有相同沟道的增强型和耗尽型 MOS 器件(*E/D* MOS); 同时又制成可作为大容量外存贮器的 CCD(电荷耦合器件); 蓝宝石上外延硅薄膜工艺的成熟,发展了蓝宝石衬底的 CMOS 电路(CMOS/SOS),使 CMOS 电路功耗、集成度、速度等几方面指标都有所提高。

半导体工艺的阔步发展和计算机一代一代的更新,使八十年代已步入超大规模集成电路的年代。它要求超净的生产环境、超纯的基础材料、高精度自动化的生产工艺,特别是微细加工技术。所以有人说,集成电路是一种综合艺术。

为了使学生在学习具体工艺前对半导体器件制造过程有个初步的完整概念,下面先介绍几种典型的半导体器件的工艺流程。

§ 0-2 制造半导体器件的工艺流程

1. 硅 npn 高频低噪声平面晶体管 3DG30 的工艺流程

(1) 衬底制备 衬底材料选用电阻率为 $10^{-8} \Omega \cdot \text{cm}$ 、位错密度小于 3000 个/ cm^2 的 n^+ 单晶,并通过切割、研磨、抛光,得到表面光亮、平整、无伤痕、厚度符合要求的(111)面硅片。

(2) 外延 在衬底上生长一层 n 型硅单晶层,称外延层。对于不同的器件,外延层的参数要求是不同的。3DG30 外延层电阻率为 $0.6 \sim 0.8 \Omega \cdot \text{cm}$,厚度为 $8 \sim 10 \mu\text{m}$,层错密度小于 100 个/ cm^2 ,位错密度小于 3000 个/ cm^2 。

(3) 一次氧化 将硅片放在高温下氧化,使其表面生长一层厚度约为 $0.8 \mu\text{m}$ 的二氧化硅层,以达到对杂质扩散起掩蔽作用和对器件表面起保护作用的目的。上述三个步骤示于图 0-3(a)。

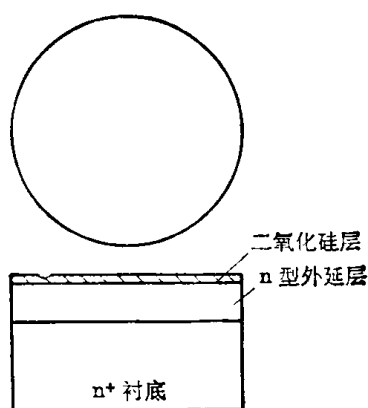


图 0-3(a) 衬底制备、外延、一次氧化

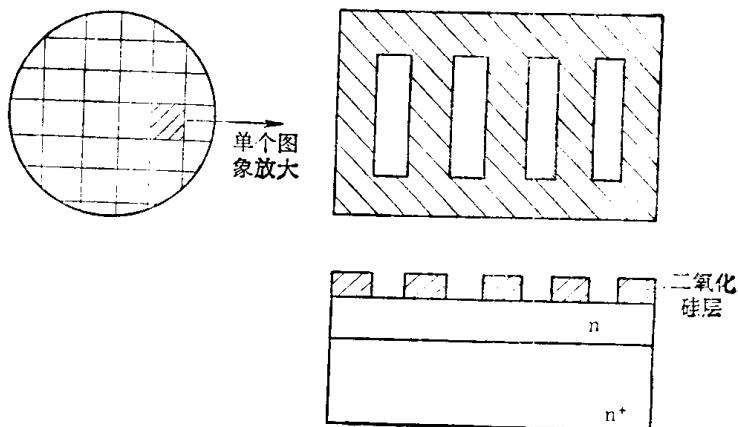


图 0-3(b) 一次光刻后的图形

(4) 一次光刻 用光刻技术把硅片基区电极部分的氧化层除去，在氧化层上形成光刻窗口，如图 0-3(b)所示。利用氧化层对杂质扩散的掩蔽作用，使高浓度硼杂质通过光刻窗口进入硅中形成 p^+ 区。

(5) 浓基区扩散 硼杂质通过光刻窗口扩散进 n 型外延层，形成浓基区，即 p^+ 区。浓基区扩散有时也叫高硼扩散，如图 0-3(c)所示。

浓基区扩散分预淀积和再分布两步。预淀积后的方块电阻 $R_{\square}=35\sim40\ \Omega/\square$ ，预淀积后的硅片，在通氮气保护的扩散炉中进行扩散再分布，硼硅玻璃中的硼继续向硅中扩散，再分布后方块电阻 $R_{\square}=3.5\sim4\ \Omega/\square$ ，结深 $x_j=2.5\sim3\ \mu\text{m}$ 。

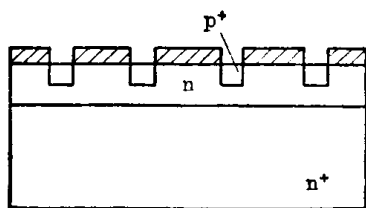
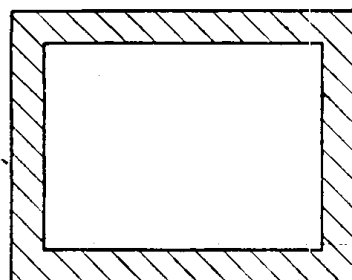


图 0-3(c) 浓基区扩散

图 0-3(d) 二次光刻后的图形

(6) 二次光刻 用光刻技术除去硅表面基区部分的氧化层，见图 0-3(d)。

(7) 淡基区扩散 也称低硼扩散，将硼杂质扩散进基区光刻窗口。淡基区扩散分低硼预淀积和低硼再分布两步，在低硼再分布的同时进行二次氧化。见图 0-3(e)。

预淀积后方块电阻 $R_{\square}=50\ \Omega/\square$ 。将预淀积后的硅片泡稀氢氟酸 20 秒左右，然后送进扩散炉，同时通入湿氧和干氧，进行低硼再分布和二次氧化，再分布后方块电阻 $R_{\square}=200\ \Omega/\square$ ，结深 $x_j=0.8\sim1\ \mu\text{m}$ 。氧化层厚度约 $0.5\ \mu\text{m}$ 。

(8) 三次光刻 在 SiO_2 层上用光刻技术开出发射区窗口，如图 0-3(f)所示。三次光刻后测量基区与收集区之间的单结特性，并进行背面减薄。

(9) 发射区扩散 发射区扩散即磷扩散，磷杂质通过发射区窗口扩散进 p 型基区，形成 n^+ 发射区。如图 0-3(g)所示。扩散温度和时间由测量样管的电流放大系数 β 值来决定。3DG30 要求 $\beta=45\sim60$ ，结深 $x_j\approx 0.4\ \mu\text{m}$ 。

(10) 泡发射极和四次光刻 用适当的腐蚀液泡去发射区上面的氧化膜，如图 0-3(h)所

示. 然后用光刻技术刻出基区电极引线孔, 见图 0-3(i).

(11) 蒸铝 用真空蒸发的方法, 在硅片表面蒸发淀积一层铝膜.

(12) 五次光刻 五次光刻就是反刻铝, 用光刻技术刻蚀掉电极以外的铝层, 见图 0-3(j).

(13) 蒸金 用真空蒸发的方法, 将金蒸发到硅片的背面.

(14) 合金化 在含磷气氛中进行磷处理和合金化.

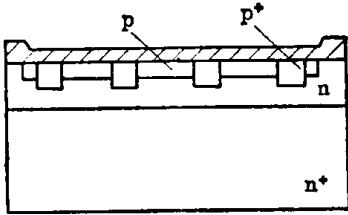
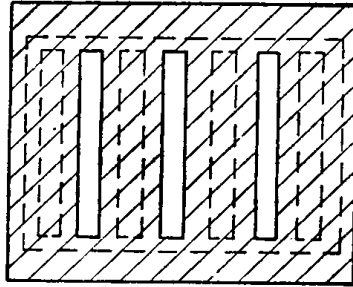


图 0-3(e) 淡基区扩散和二次氧化

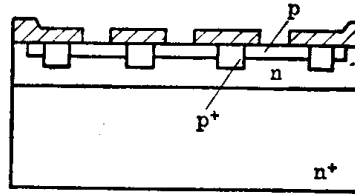


图 0-3(f) 三次光刻后的图形

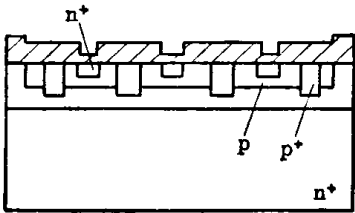


图 0-3(g) 发射区扩散

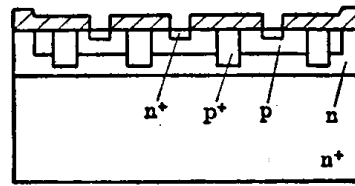


图 0-3(h) 泡发射极

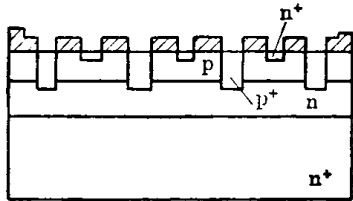
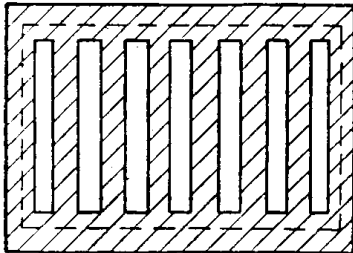


图 0-3(i) 四次光刻后的图形

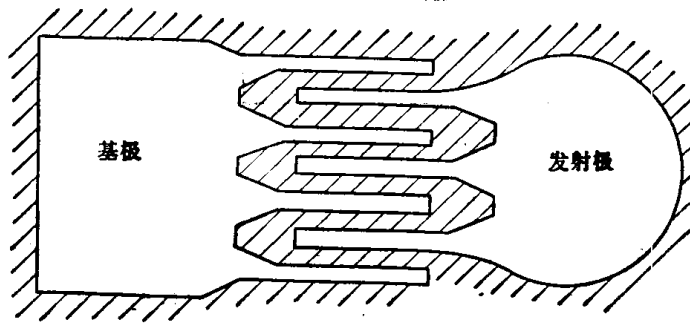


图 0-3(j) 五次光刻后的图形

(15) 中测和划片 将制造好的管芯进行初步测量, 不合格的打上记号; 然后用划片机将硅片分成小片, 每一小片一个管芯.

(16) 烧结 在氢气、或氮气、或真空中, 用适当的合金(如 Au-Sb 合金)片将管芯背面烧结在管壳底座上, 也可用银浆还原法将管芯焊接在底座上.

(17) 键合 利用超声压焊技术, 通过硅-铝丝把发射极、基极与管座外引线连接起来. 见图 0-3(k).

(18) 半成品测试 涂胶 最好用表面钝化工艺取代管芯表面涂胶工艺。

(19) 封装 将管芯密封在适当的管壳中, 管壳的形状、规格应根据器件的性能及要求具体选用。

(20) 工艺筛选 将封装好的器件进行检漏、高温老化、功率老化、潮湿、高低温循环等试验, 从而去除早期失效的器件。

(21) 测试分类、喷漆打印、包装入库 将晶体管的各种参数进行全面测量, 并根据规定进行分类。存放一定时间后进行复测, 然后根据不同型号进行分类打印, 包装入库。

上面讨论工艺流程时, 我们略去了所有化学清洗的步骤(以下各工艺流程均如此)。有关化学清洗的内容请参阅附录三。

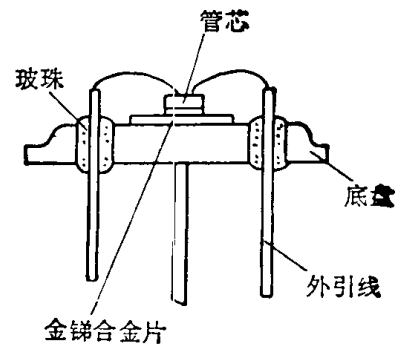


图 0-3(k) 烧结、键合工艺示意图

2. 硅 npn 高反压大功率管 3DA58 的工艺流程 3DA58 的工艺流程如图 0-4 所示。

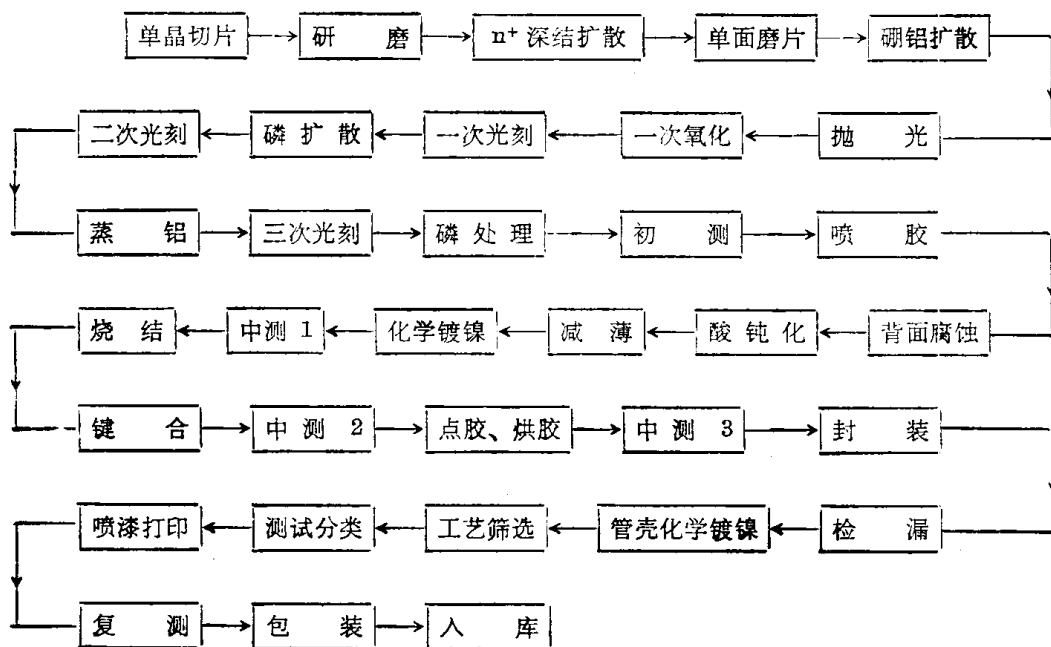


图 0-4 3DA58 工艺流程图

下面对主要工艺加以说明:

(1) 单晶切片、单面研磨 采用电阻率为 $40\sim 60\ \Omega\cdot\text{cm}$ 的(111)晶面的 n 型硅, 厚度为 $440\sim 460\ \mu\text{m}$, 研磨后为 $420\sim 440\ \mu\text{m}$ 。

(2) n^+ 深结扩散和磨片 n^+ 深结扩散称三重扩散, 扩散深度约 $100\ \mu\text{m}$ 。磨片是磨去毛面的磷扩散层。

(3) 硼铝扩散、抛光 采用溶解于无水乙醇中的硝酸铝、氧化硼进行涂层扩散(也可用片状氮化硼扩散, 或乳胶源涂层扩散), 扩散结深 $x_j=35\sim 40\ \mu\text{m}$, $R_{\square}=20\sim 40\ \Omega/\square$ 。抛光的目的是去除扩散后的合金点和调整 R_{\square} 的数值, 获得平整光亮的表面。

(4) 磷扩散 将磷扩散杂质扩散进发射区窗口, 分预淀积、再分布两步进行。扩散结果: $\beta\geq 20$, 基区宽度 W_b 约 $15\ \mu\text{m}$, 发射结结深 $x_{je}=15\sim 20\ \mu\text{m}$ 。

(5) 光刻 一次光刻为刻出发射区窗口; 二次光刻为刻出发射区和基区引线孔窗口; 三次光刻为反刻铝, 刻去电极以外的铝层。 SiO_2 腐蚀液采用 $\text{HF}:\text{NH}_4\text{F}:\text{H}_2\text{O}=3(\text{ml}):6(\text{g}):$

10 ml); 铝腐蚀液采用热磷酸。

(6) 喷胶 通常以带有栅格的不锈钢薄片为掩模喷黑胶(理想的工艺方法是采用耐酸的光刻胶保护),将硅片背面(若采用正面腐蚀台面,则将正面喷胶)的管芯部位保护起来,裸露待腐蚀成台面的那部分硅。

(7) 背面腐蚀 此处采用背面腐蚀,以获得正倾角台面,采用氢氟酸、硝酸、冰醋酸的不同配比,使之腐蚀成光亮平滑的台面,腐蚀角一般为 $30\sim 50^\circ$,其管芯结构如图 0-5 所示。腐蚀台面的目的是为提高器件的反向击穿电压。

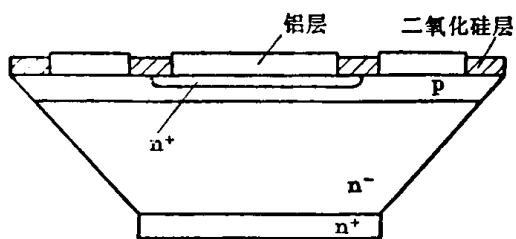


图 0-5 3DA58 管芯结构示意图

(8) 酸钝化 管芯经过初测、喷胶、腐蚀等工艺后,易受污染,故而必须进行表面钝化,以减少漏电、提高击穿电压。常采用液相和汽相钝化的方法。前者是将芯片浸没在甲苯(将盛有甲苯的

烧杯放在沸水浴)中,滴入数滴三氯甲基硅烷;后者采用 HF-HNO₃ 混合酸蒸汽钝化并结合三氯甲基硅烷处理的方法进行台面保护。一般说来,汽相钝化方法效果较好,但受环境气氛、湿度影响较大。较好的方法是采用半绝缘多晶硅、熔融玻璃以及非晶硅等钝化技术。

(9) 烧结 采用 Au-Sb 或 Pb-Sn 合金片,将管芯焊在底座上。烧结中,若金属蒸气沉积在台面上或沾润台面,将影响两个结的特性。

(10) 化学镀镍 其目的是将管壳镀镍。管壳镀镍是为了保证器件的可靠性与稳定性,镍层提供了优良的抗蚀性能和抗氧化的性能,同时还具有低的接触电阻和良好的导电、焊接性能。若封装不好有间隙,镀镍时电镀液可进入芯片,使管子损坏,所以镀镍工艺还能兼起筛选的作用。

3. 双极型集成电路制造工艺流程 集成电路是在平面管的基础上发展起来的。集成电路按其功能特性的不同,可分为数字集成电路、模拟集成电路(包括线性和非线性集成电路)、微波集成电路;按集成规模的不同,可分为小规模、中规模、大规模、超大规模集成电路;按制作工艺的不同,它又可分为半导体集成电路(包括双极型集成电路和 MOS 集成电路)、薄膜集成电路、厚膜集成电路、混合集成电路。这里先以双极型集成电路为例,介绍一下它的工艺流程及其特有工艺。

(1) pn 结隔离集成电路制造工艺流程 双极型集成电路中,常见的隔离工艺有 pn 结隔离和介质隔离两种。前者方法简单,成品率高,用得较普遍。图 0-6 为 pn 结隔离集成电路工艺流程图。

(2) 双极型集成电路的特有工艺 集成电路是将晶体管、二极管、电阻等元件做在同一硅片上,各元件之间既要相互隔离,又要相互连接,这就使得集成电路必须引入平面管生产所没有的新工艺,即隔离扩散和埋层扩散。下面叙述这两个工艺的主要目的和作用。

① 隔离扩散 隔离扩散的目的是形成穿透外延层的 p⁺ 型隔离墙,把外延层分隔成若干彼此独立的隔离岛,电路中需要隔离的晶体管、二极管、电阻等元件分别做在不同的隔离岛上,如图 0-7 所示。图中隔离墙与 p 型衬底是相通的,一般电路中都把隔离墙接上最低电位,而各个 n 型隔离岛接较高电位,形成 pn 结的反向偏置,达到把各个 n 型隔离岛彼此隔开的目的。

② 埋层扩散 集成电路中引出集电极的方法与晶体管不一样。晶体管是由掺杂浓度

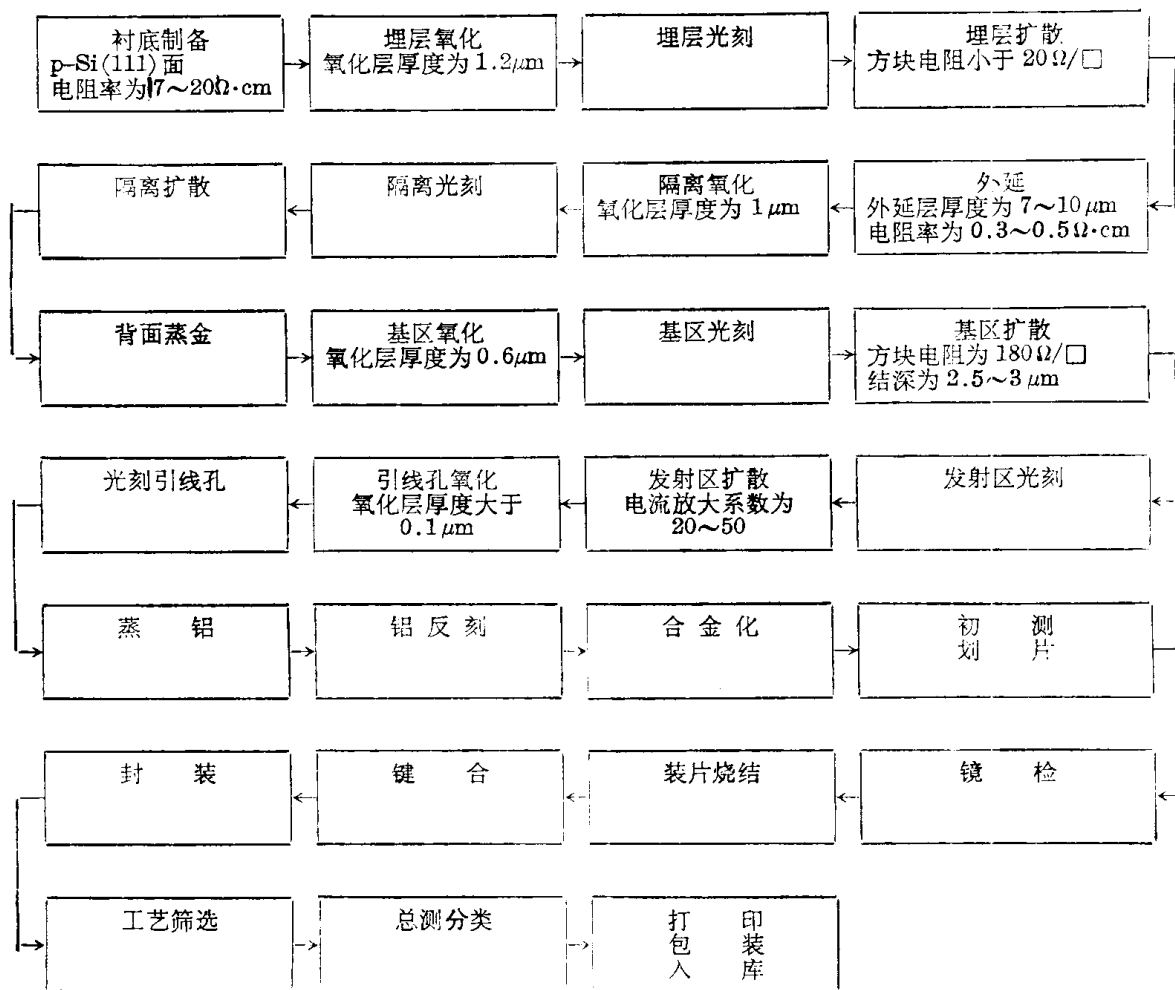


图 0-6 pn 结隔离集成电路制造工艺流程图

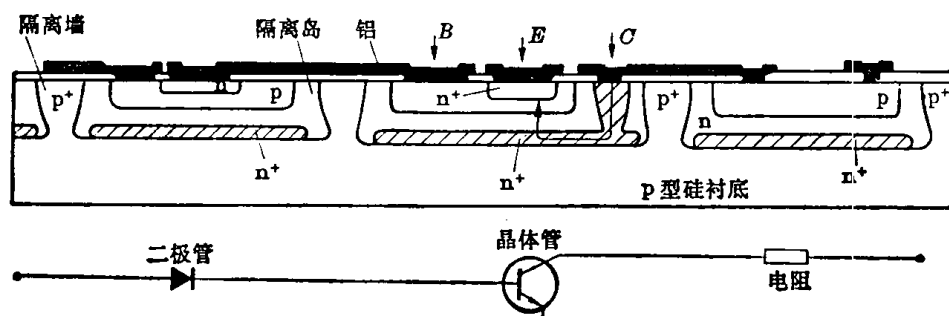


图 0-7 pn 结隔离集成电路芯片结构(上)和电路(下)

高的衬底引出的, 串联电阻很小. 集成电路的衬底是 p 型高阻区, 且元件之间要互连, 故集成电路中晶体管的集电极必须由上面引出, 如图 0-7 所示. 这样从集电极到发射极的电流, 必须从高阻外延层流过, 相当于在晶体管的集电极上串联一个大电阻, 增大了晶体管饱和压降, 使电路的输出低电平升高、负载能力及抗干扰能力降低. 为了解决这个矛盾, 在集成电路制造工艺中, 增加了埋层扩散工艺. 即在外延工艺进行之前, 先在 p 型硅衬底上形成了一个低阻的 n^+ 型薄层, 使集电极电流由低阻层通过(见图 0-7 中箭头所表示的), 从而有效地降低了集电区串联电阻.

在电阻区, 二极管区相对应的 p 型硅衬底上, 最好也进行埋层扩散. 这样, 既可以避免在隔离扩散时、由氧化层针孔形成的 p^+ 管道引起后来的 B-S(基区-衬底)穿通, 提高成品

率;又可以防止寄生 pnp 管放大作用的发生。

另外,在集电极的接触窗口处,扩散发射区的同时也扩散进 n 型杂质,形成 n^+ 区,使铝硅形成良好的欧姆接触。较为理想的方法是在隔离扩散后,进行深 n^+ 扩散,使集电极接触处经 n^+ 直接与埋层相连,如图 0-7 所示。

4. MOS 晶体管和硅栅 MOS 集成电路工艺流程 MOS 晶体管有两种类型(n 型沟道和 p 型沟道 MOS 管),它们的制造工艺基本相同。制作 n 型沟道的器件要以 p 型硅单晶作衬底材料;制作 p 型沟道的器件则用 n 型硅单晶作衬底材料。若要做 n 沟道耗尽型 MOS 管,则电阻率取 $5\sim 100\Omega\cdot\text{cm}$ 为宜;对于 n 沟道增强型 MOS 管,电阻率应选取 $1\Omega\cdot\text{cm}$ 以下。制作 p 沟道增强型晶体管一般选取电阻率为 $1\sim 10\Omega\cdot\text{cm}$ 的 n 型单晶硅作为衬底材料。

n 型沟道铝栅 MOS 晶体管的工艺流程如图 0-8 所示。

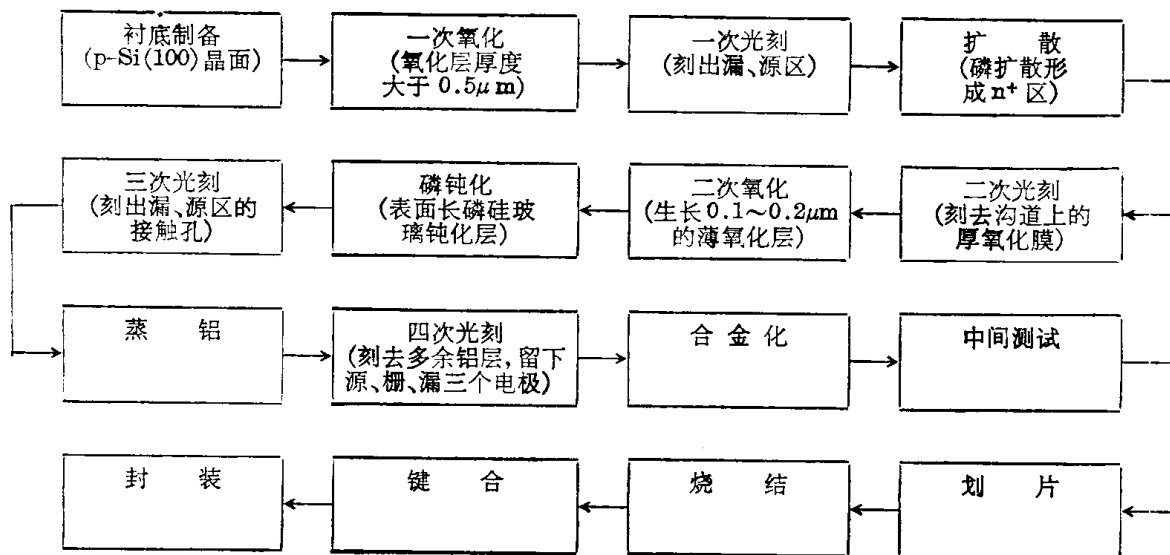


图 0-8 铝栅 n 型沟道 MOS 管工艺流程

MOS 集成电路与 MOS 晶体管的工艺大体相同,只是后道工序(通常指中间测试、划片、烧结、键合、封装等工序),有所区别。这里不再赘述。

由于制版和光刻精度的限制,栅电极的两侧必有一部分会盖在源、漏扩散区上,这样就会产生寄生的栅电容。当 MOS 晶体管和 MOS 集成电路工作时,这些电容的充放电将限制电路的开关速度。为了使栅电极尽量少盖在源、漏扩散区上,人们研究了“自对准工艺”,使栅电极能自动地对准沟道区。目前用得较广泛的一种是硅栅自对准工艺。普通的金属栅 MOS 工艺是用铝做栅电极的,而硅栅工艺是用掺杂的多晶硅代替铝做栅电极的。当然,它可以做成 p 型沟道或 n 型沟道 MOS 器件,下面结合图 0-9 简要介绍 p 型沟道硅栅 MOS 集成电路工艺过程。

(1) 衬底制备 用(100)晶面 n 型硅单晶,经切、磨、抛制成表面无损伤的光亮硅片。也可用(111)晶面,但做成的管子开启电压绝对值大。

(2) 场氧 场氧即一次氧化。将抛光好的硅片进行一次氧化,厚度在 $1\mu\text{m}$ 左右。

(3) 刻有源区 刻有源区是第一次光刻。在铝栅工艺中,一次光刻刻出了漏、源扩散区;在硅栅工艺中,一次光刻刻出漏、源、栅区。

(4) 栅氧化 栅氧化即二次氧化。在漏、源、栅区上再生长一层 $0.1\sim 0.2\mu\text{m}$ 的薄氧化

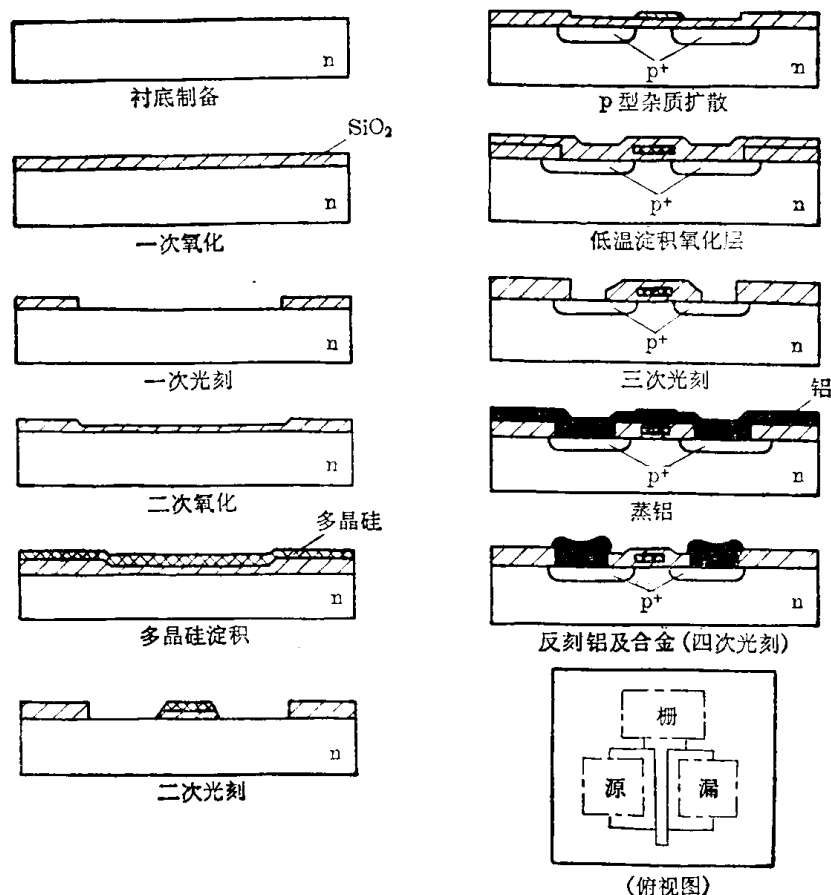


图 0-9 硅栅 p-MOS 制造工艺过程

膜。

(5) 多晶硅淀积 氧化以后在整个硅片表面上淀积一层多晶硅, 厚度为 $0.5 \sim 1 \mu\text{m}$ 。

(6) 刻多晶硅层 刻多晶硅层是第二次光刻。它是将不要的多晶硅层和多晶硅下面的薄氧化层一起刻蚀掉, 剩下的硅层成为晶体管的栅极, 所以这种工艺称硅栅工艺。

(7) 扩散 经过二次光刻, 由 0-9 图可以看出, 漏、源扩散窗口的边缘与多晶硅栅区边界自然对齐。这样, 由于多晶硅与栅氧化层复合膜的掩蔽作用, 高温下硼杂质只从窗口扩散进硅中, 所以硅栅与漏、源区就自动对准了。由此可见, 硅栅工艺对一、二次光刻精度要求不高。同时, 在高温扩散过程中, 杂质也扩散进多晶硅薄层中, 使其具有良好的导电性能。

(8) 低温淀积氧化层 这是第三次氧化。在硅片上低温淀积一层氧化层, 覆盖住多晶硅与扩散区的表面。

(9) 刻引线孔 刻引线孔是第三次光刻。在硅栅上和漏、源扩散区分别刻出接触孔。

(10) 蒸铝 在硅片表面用真空蒸发的方法蒸上一层铝, 用来引出电极。

(11) 铝反刻及合金 铝反刻即第四次光刻。它是用光刻法腐蚀掉多余的铝层, 留下源、漏、栅三个电极的引线。

其余工艺与硅平面工艺类同。

5. 互补 MOS (CMOS) 集成电路工艺流程 互补 MOS 集成电路里包括两种晶体管——p 型沟道和 n 型沟道的增强型 MOS 晶体管。这种电路有一系列的特点, 尤其是功耗低、抗干扰能力强和速度快, 是一种性能优越的集成电路。但是, 它的制造工艺较复杂, 要在同一块硅片上做成 n 型和 p 型两种沟道晶体管。铝栅 CMOS 集成电路管芯如图 0-10 所示。它

是由标准工艺做成的。标准工艺是：采用 n 型(100)面硅单晶，电阻率约 $10\Omega\cdot\text{cm}$ ，经切、磨、抛之后，进行一次氧化，形成 $0.8\mu\text{m}$ 厚的场氧化层。由一次光刻刻出 p 阱区的图形。然后进行 p 阱扩散，其表面浓度为 $8\times 10^{15}\sim 1\times 10^{16}$

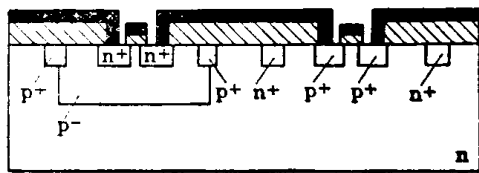


图 0-10 铝栅 CMOS 集成电路管芯示意图

cm^{-3} ，结深 $10\mu\text{m}$ 左右。p 阱表面浓度的控制是 CMOS 集成电路制造中的关键工艺之一，因为 n 沟道 MOS 管全部制作在 p 阱内(见图 0-10)，若它的表面浓度过低将使 n 型 MOS 管容易成为耗尽型，而表面浓度过高又会使 n 管的漏源击穿电压降低。

p 阱扩散之后进行第二次光刻，刻出 p 沟道 MOS 管的漏、源区和 p 型隔离环(为防止寄生效应)区。硼扩散形成 p 管的漏、源及 p 型隔离环。接着进行第三次光刻，刻出 n 沟道 MOS 管的漏源区和 n 型隔离环区。磷扩散形成 n 管的漏、源及 n 型隔离环。漏、源扩散结深均为 $1.5\mu\text{m}$ 左右。第四次光刻刻出栅氧化区、预刻引线孔，栅氧化和磷处理形成低电荷密度的薄栅层。栅氧化和磷处理是两个关键工艺，因为开启电压是受等效电荷控制的。栅氧化层厚度约为 $0.15\mu\text{m}$ 。下面继续进行引线孔光刻、蒸铝，反刻铝形成栅电极和互连引线，最后进行合金便完成了 CMOS 电路管芯(见图 0-10)。再经划片、超声键合、封装等工序即可。

目前，CMOS 电路的主要制造方法，除标准工艺外，尚有离子注入工艺、硅栅工艺、复合栅工艺、SOS 工艺以及等平面氧化工艺等。离子注入工艺是采用离子注入技术掺杂来达到控制开启电压和形成漏源区的；硅栅工艺是用多晶硅膜代替铝膜形成栅电极的；复合栅工艺是采用三氧化二铝和二氧化硅做栅介质层，以增加介电常数，使栅电容增加，且上述两种介质中的电荷相互补偿，有利于开启电压的控制与匹配；SOS 工艺是采用蓝宝石绝缘材料做衬底，然后在上层外延生长硅单晶层，再在单晶层上制作 CMOS 电路，可以获得更高的集成度、更高的速度以及更低的功耗；等平面工艺是在氮化硅膜的掩蔽下，在场区形成 $1\sim 1.5\mu\text{m}$ 的、与样品表面近乎于一样平坦的氧化层，它减小了器件之间的有源寄生和寄生电容，便于实现自对准和多层布线，可以提高集成电路的集成度和速度。

以上仅就几个典型例子介绍了半导体器件工艺的概貌，与现有种类繁多的半导体器件相比，与伴随着超大规模集成电路引起的新工艺、新技术相比，当然是挂一漏万的。但编者希望读者通过对这些基本工艺的了解，体会器件与工艺的关系和工艺之间的相互联系，从而有助于对本教材内容的理解与掌握。本书主要内容以平面工艺为主线，由衬底制备、外延技术、氧化技术、掺杂技术、光刻技术、制版工艺、表面钝化、隔离技术、电极系统和封装、附录等十个部分组成。书中对具体工艺阐述较为详细，必要时适当举些实例，而对工艺原理部分的叙述较为精炼。其目的为今后全面了解和掌握半导体器件制造工艺原理打下良好的基础。

第 1 章

衬底制备

§ 1-1 半导体材料概述

用来制作半导体器件的半导体材料不仅品类繁多,而且具有许多有别于其他材料的性质。其中最突出的是电阻率介于导体和绝缘体之间,为 $10^{-8} \sim 10^{10} \Omega \cdot \text{cm}$ 。此外,它还具有以下比较明显的性质:

- ① 电阻率的温度系数较大、且为负值。
- ② 电导可因杂质或缺陷的增加而显著地增加。
- ③ 霍尔效应及光电效应显著、与金属的接触常呈现出整流作用。
- ④ 电压-电流往往呈现非线性关系。

半导体从其材料结构方面来看可分为两大类:一类是以锗、硅为代表的元素半导体,它们是共价键结合的;另一类是各种化合物半导体,其中包括金属氧化物、硫化物、卤化物等离子晶体,砷化镓、铟化镓等金属间化合物以及有机半导体,它们一般是分子晶体或无定形态。

在半导体器件制造的早期,半导体材料以锗为主,后来由于硅平面技术的发展和硅提纯技术的进步,特别是由于集成电路的崛起,使硅取代锗成为半导体材料的主流。在化合物半导体领域中砷化镓以其优良性能,在许多领域内得到引人注目的应用。

半导体材料是半导体器件工艺的基础。半导体材料和半导体工艺互相促进,推动了器件的发展,其中集成电路发展尤其迅速。二十年来集成度几乎每年翻一番,目前已出现在一个芯片上集成几十万个元件的超大规模集成电路,这要求在近一平方厘米的芯片上没有足以导致器件失效的缺陷,显然这对材料提出了越来越高的要求。

具体地说,器件对半导体材料的要求可以归纳为以下三方面。

一是对杂质的要求。半导体材料对杂质的敏感性很强,硅中只要加入极少量的杂质,就会引起导电性质的显著变化。例如在纯硅中掺入千万分之一的磷或硼,就能使它的电阻率从 $2.3 \times 10^5 \Omega \cdot \text{cm}$ 减小到 $1 \Omega \cdot \text{cm}$,即相当于降低了 20 万倍。半导体材料的纯度越高,器件的性能越好,电子工业要求原始半导体材料的纯度在 $99.999999\% \sim 99.99999999\%$ 的范围。对硅而言,硼的分凝系数接近 1 而最难去除,所以常以硼含量(叫基硼浓度)作为衡量硅纯度的指标,一般要求在 0.1 ppb 以下。如果基硼浓度高,就会使 n 型材料的补偿度增大,影响器件性能。

除了施主和受主杂质以外,其它杂质也对半导体材料有各种影响。例如铜、铁等重金属杂质是硅中快扩散、深能级杂质,能起载流子俘获中心作用,使少数载流子寿命降低;重金属杂质与缺陷结合,还能对器件产生不良影响。硅中的氧在热处理过程中产生施主能级,使材料电阻率变化;碱金属离子在电场下漂移,这些都会影响器件性能的稳定性。所以在半导体材料的提纯、单晶制备和后来的加工工艺中必须最大限度地避免杂质沾污。

其次是对半导体材料结晶学方面的要求。硅、锗单晶是金刚石结构,它是由两个面心立方格子沿体对角线方向相互移动四分之一体对角线长所形成的复式格子。不同的晶向和晶面有不同的性质,因此晶体必须定向。结晶的不完整性叫晶格缺陷,它可以分为点缺陷、位错、层错和微缺陷四类。缺陷在半导体材料中有复杂的行为,对器件有很大影响,所以要降低材料的原生缺陷和工艺中引进的二次缺陷。

最后,对材料的均匀性的要求也越来越严格。这是因为随着大规模、超大规模集成电路的发展、图形加工的线条尺寸越来越小,已进入微米级;另一方面总的芯片面积却越来越大,硅单晶的直径已从过去的十几毫米增大到 150 毫米。均匀性的要求主要是指电阻率的均匀性,它将影响器件的击穿电压、阈值电压等参数。此外,硅片加工中的应力,表面平整度等也都可以包含在均匀性要求之中。

综上所述,半导体材料和器件的性能、成品率有密切关系。如果我们把影响器件性能的点的密度记为 d_0 ,称为缺陷密度,则已有许多人研究过 d_0 与成品率 Y 的关系,虽然依模型不同具体表达式不同,但共同点是 Y 随 d_0 增大而减小。例如有一种表达式为:

$$Y = \frac{1}{(1+A/A_0)(1+A/2A_0)(1+A/4A_0)} \quad (1-1)$$

式中 A 为器件对缺陷敏感部分的面积, A_0 为与缺陷密度有关的规一化面积,它与 d_0 成反比。由此可见,为了提高成品率,就要降低 d_0 ,这是整个半导体工艺的中心课题之一。

本章介绍硅材料的定向、切割、磨片、抛光等衬底制备工艺及半导体材料的测量技术。

§ 1-2 衬底加工

1. 晶体的定向、切割及腐蚀

(1) 晶体定向的意义 晶体硅、锗都是金刚石结构,和其他晶体一样,具有容易沿某个晶面裂开的特点,这种面叫解理面。解理面一般沿原子的密排面,因为密排面的面间距大,面与面之间的作用力弱。而对硅、锗来说,解理面不是沿晶体中的 $\{110\}$ 面,而是 $\{111\}$ 面,因为 $\{111\}$ 面间键密度最小。

锗、硅的不同晶面具有不同的性质,例如 $\{100\}$ 面的原子面密度小,表面态密度低,广泛用来制作 MOS 器件;在双极型器件制造中,为防止外延过程中的隐埋层图形变形及避免角锥体缺陷,常采用偏离最近的 (110) 方向 $3^\circ \sim 5^\circ$ 的 (111) 晶面,所以在切片之前要进行定向。

我们可以利用解理面的性质,来提高划片的成品率。这就是在圆形硅片上制作一个基准线,沿这个方向或垂直这个方向划片最易分开。对于 $\{100\}$ 片子,基准线沿 $\langle 011 \rangle$ 方向,划片也沿着 $\langle 011 \rangle$ 方向,这是 $\{111\}$ 面与 $\{100\}$ 面的交线;对 $\{111\}$ 面,基准线沿 $\langle \bar{1}\bar{1}2 \rangle$ 方向,划片沿 $\langle \bar{1}\bar{1}2 \rangle$ 和 $\langle 1\bar{1}0 \rangle$ 方向。如图 1-1 所示。

另外,为了同时区别出导电类型和晶向,国际上常用两个基准面表征,如图 1-2 所示。

(2) 光点定向原理 定向一般采用光点定向法。由于硅、锗的解理面是 $\{111\}$ 面,所以在生长、腐蚀、破碎时,最容易暴露出来的面就是 $\{111\}$ 面。如果用腐蚀液腐蚀硅锭的端面,就可以腐蚀出来许多 $\{111\}$ 小平面。它们具有几个确定的取向,好象许多平行的小镜子,能把入射的光点反射到一定的方向上。根据屏幕上的光点图象可以判断出晶向。图 1-3 显示

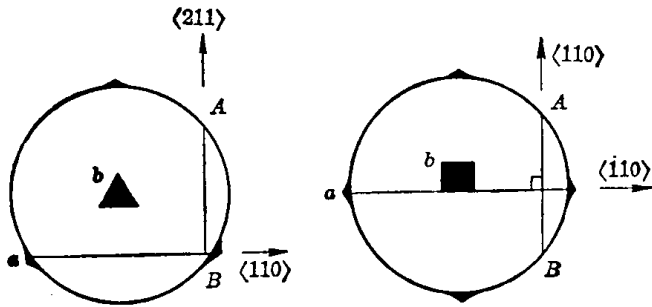


图 1-1 {111} 和 {100} 晶片的晶棱(a)、基准线(AB)和腐蚀坑形状(b)

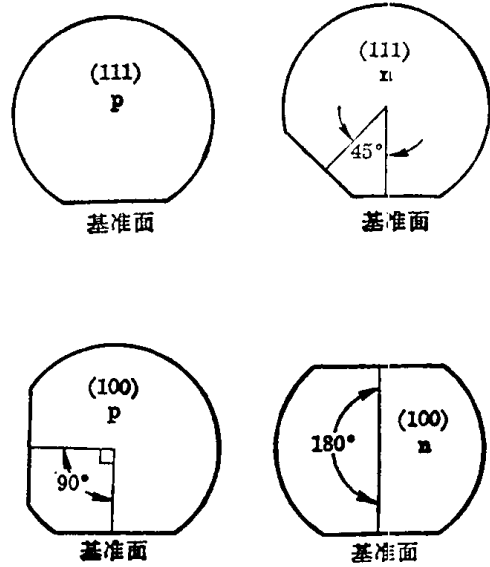


图 1-2 晶片取向和导电类型的宏观表示

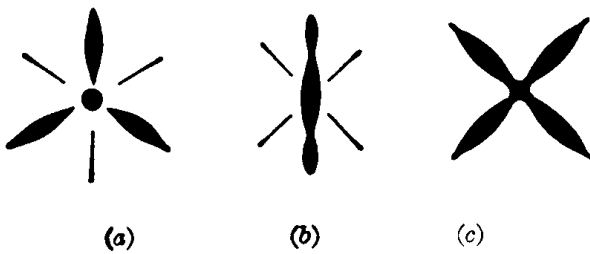


图 1-3 各种晶向的光点图
(a) (111)晶向; (b) (110)晶向; (c) (100)晶向

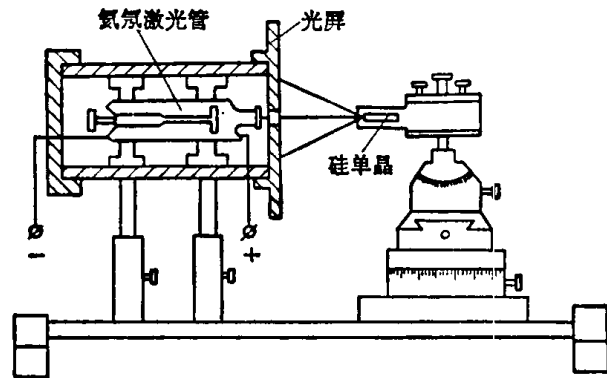


图 1-4 激光定向仪原理图

了各种晶向的光点图。在屏幕上观察光点图，同时调节单晶锭的取向，使得光点对称，便得到了准确的方向。图 1-4 显示了激光定向仪的结构图。

(3) 晶体的切割、腐蚀 切片一般用内圆切片机，切片之后常要进行化学腐蚀，以除去机械损伤。常用的硅腐蚀液见表 1-1 所示。

表 1-1 常用的硅腐蚀液

腐蚀液名	配 方	特 点
5-3-1	$\text{HNO}_3:\text{HF}:\text{CH}_3\text{COOH}=5:3:1$	易得到镜面。在粗糙面上腐蚀速度快，而一旦达到镜面腐蚀速度减慢
苛性碱液	1% 的 NaOH 或 KOH, 90°C	不同的晶向，腐蚀速度差别大
CP-4	$\text{HNO}_3:\text{CH}_3\text{COOH}:\text{HF}:\text{Br}$ =5:3:3:0.06	观察表面的腐蚀坑用

腐蚀时，因为大部分反应是放热反应，且往往伴随着气泡发生，所以应使腐蚀液温度恒定，并且加强搅拌。

2. 硅片的研磨、抛光 硅片经切割、研磨后，表面产生大量的机械损伤。机械损伤可分为两层：最上面一层比较薄，约占总损伤层厚度的十分之一，在这层中，包含微细裂纹和网络位错；下层为弹性形变层。这些机械损伤若残留在硅片表面，则在后来的工艺（如氧化过程）