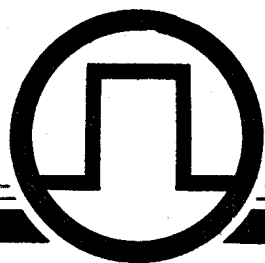


数字集成电路

第 二 辑



A 790904

上海无线电十九厂

上海市仪表电讯技术情报所

A790904

目 录

CAS412401

一、生产试制总结

四位移位寄存器试制小结.....	(1)
4 × 4 多路转接器.....	(7)
高速J-K触发器.....	(12)
肖特基二极管钳位高速D-型 触发器.....	(21)
TTL高速与非门若干问题的 讨论.....	(31)

二、译文

1. 综述

等离子腐蚀工艺评述.....	(56)
硅固态平面掺杂源的进展.....	(63)
国际圆片标准化——是事实还是幻想?	(67)
集成注入逻辑(I ² L)——现状与 未来.....	(71)
电子手表用的集成注入逻辑大规模集成电路——它的优点与可能性.....	(78)

2. 线路设计

晶体管的瞬态特性.....	(86)
达到CMOS抗扰度又保持T ² L速度的T ³ L.....	(122)
等平面结构高集成度存储器.....	(128)
最新双极型逻辑电路.....	(138)

3. 工艺

高速高密度双极存储单元面积缩小的隔离法.....	(152)
硅加盐酸的热氧化膜.....	(156)
半导体元件的表面处理方法.....	(159)
二氧化硅与金属界面的化学反应.....	(161)
铬掩模缺陷检查.....	(164)

多发射极晶体管的发射极金属化.....	(165)
去除LSI器件硅基片上的杂质与 缺陷.....	(165)
减缓隐埋层的外扩散.....	(166)
高成品率半导体硅衬底.....	(166)
光刻对准法.....	(167)
半导体工艺缺陷监控器.....	(168)
无缺陷硅单晶片的生产.....	(169)
4. 可靠性	
半导体塑料封装的密封性试验.....	(170)
日立半导体集成电路的可靠性管理.....	(172)
5. 设备	
涂胶烘胶机.....	(179)
引线焊接的自动化.....	(182)

四位移位寄存器试制小结

厦门大学物理系72级半导体专业

上海无线电十九厂五车间

一、电路逻辑功能

我们试制的四位移位寄存器是一个中速电路，它包含有并行输入、并行输出、右移串行输入、左移串行输入、工作类型控制输入和一条直接清洗线。它的特点是：并行送数、右移（沿 Q_A 向 Q_D 方向）、左移（沿 Q_D 向 Q_A 方向）和保持（等待，不工作，时钟被禁止）。图 1 为它的逻辑图。

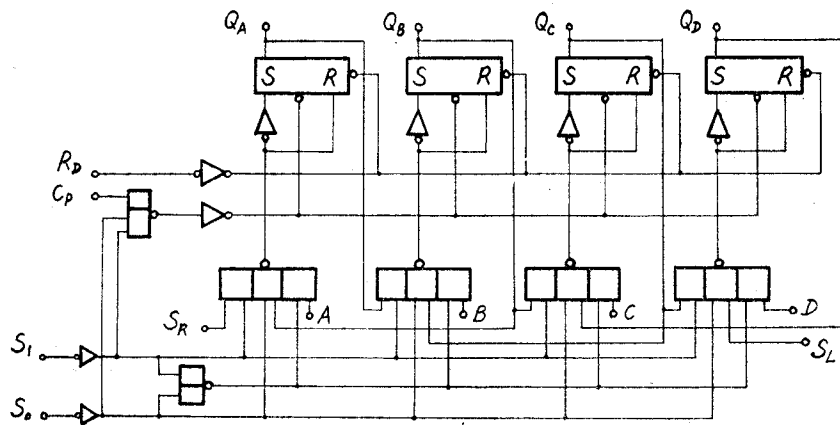


图 1 四位移位寄存器逻辑图

当 S_0 和 S_1 都为高电平，并行输入数据负载入相关的触发器，在时钟输入负跳变时同步输出，实现并行送数的功能。这时，串行送数的功能是禁止着的。

当 S_0 是高电平、 S_1 是低电平，串行数据 S_R 端（右移串行输入端）输入，在时钟输入脉冲负跳变时，实现同步右移功能。

当 S_0 是低电平、 S_1 是高电平，串行左移数从左移串行输入端 S_L 输入，在时钟输入脉冲负跳变时，同步实现左移功能。

当 S_0 、 S_1 都是低平时，触发器的时钟被禁止，电路不工作，保持原来状态。

当 R_D 是低平时，触发器被清洗。

二、线路形式及工作情况

1. 单元触发器

我们选用了图 2 的电路，用 $3D_{K3}$ 管作了模拟试验，实现了其逻辑功能。下面简单介绍一下各部分电路的工作。

总的要求是，当并行或串行输入时，时钟脉冲负边沿触发后，对应的输出必须和输入同

表 1 四位移位寄存器真值表

输 入										输 出			
清洗	型 式		时钟	串 行		并 行				Q _A	Q _B	Q _C	Q _D
	S ₁	S ₀		左	右	A	B	C	D				
0	×	×	×	×	×	×	×	×	×	0	0	0	0
1	×	×	0	×	×	×	×	×	×	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
1	1	1	↓	×	×	a	b	c	d	a	b	c	d
1	0	1	↓	×	1	×	×	×	×	1	Q _{AN}	Q _{BN}	Q _{CN}
1	0	1	↓	×	0	×	×	×	×	0	Q _{AN}	Q _{BN}	Q _{CN}
1	1	0	↓	1	×	×	×	×	×	Q _{BN}	Q _{CN}	Q _{DN}	1
1	1	0	↓	0	×	×	×	×	×	Q _{BN}	Q _{CN}	Q _{DN}	0
1	0	0	×	×	×	×	×	×	×	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

表中：1 = 高电平

↓ = 由高电平向低电平转变

0 = 低电平

× = 任意状态

Q_{Ao} 、 Q_{Bo} 、 Q_{Co} 、 Q_{Do} = 指定稳定状态建立前的 Q_A 、 Q_B 、 Q_C 、 Q_D 各自的电平

Q_{An} 、 Q_{Bn} 、 Q_{Cn} 、 Q_{Dn} = 时钟脉冲从高向低转变前 Q_A 、 Q_B 、 Q_C 、 Q_D 各自的电平

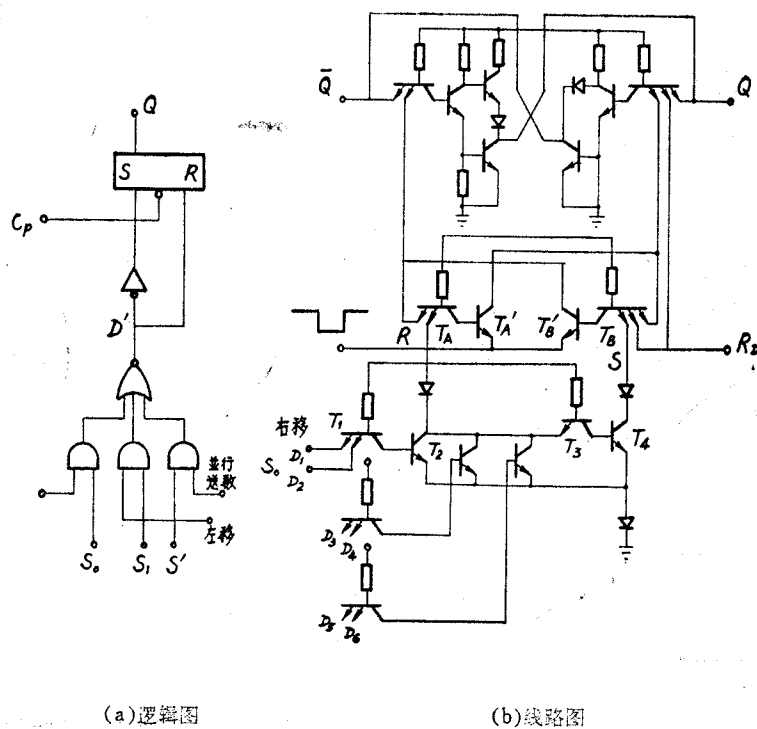
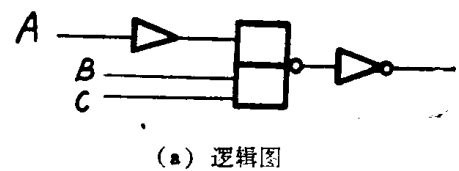


图 2 单元触发器

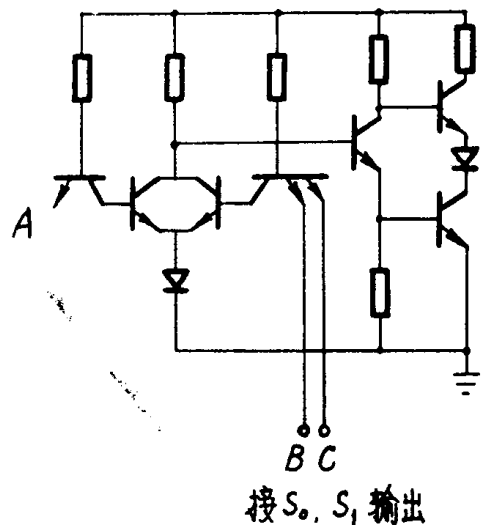
状态。但触发器下面的与非门有一次倒相，所以我们将触发器的R、S两输入端对换，再加上一次倒相，可以达到时钟触发后输出与对应输入同状态。（平常的D型触发器时钟触发后Q与D同状态）此线路时钟触发后Q和D'处在相反的状态。我们再看看它为什么是后沿触发的。假如触发器的初始状态是“0”状态（ $Q = 0$ ， $\bar{Q} = 1$ ）， D_1 、 D_2 是高电平输入，这时 T_2 管通， T_4 管截止。由于二个二极管抬高电位，所以 T_A 管的基极电位约1.8伏。当时钟正脉冲到来，电平由0→1.1伏上升变化时， T_A' 管通，而 T_B' 管的基极电位只比 C_P 电平高0.4伏，不能通，当 C_P 电平为1.1伏、 T_A' 管截止时， T_B' 虽然通，但其集电极电位是相当高的，仍能保证 $Q = 0$ ，触发器不翻转。当时钟脉冲负跳变、 C_P 电平下降到0.9伏左右时， T_B' 集电极电平只有1.1伏， Q 输出功率管截止，而 T_A' 的基极电位只有1.3伏，不能通。这就是说，这种触发器是脉冲后沿触发的。它不易因干扰而误动作。有较高的可靠性。

2. 时钟脉冲控制电路

整个时钟脉冲电路与或非门和一个非门串连，输入端A接时钟脉冲源，B、C端接 S_0 、 S_1 控制的输出端。当B、C输入端有一个是0或都是0时，则都有脉冲信号输出。当B、C都为1时，时钟输出始终维持在高电平，电路状态被保持。左右位移控制电路 S_0 、 S_1 和置位、复位电路 R_D 的工作情况这里不作介绍。



(a) 逻辑图



(b) 线路图

图3 时钟脉冲控制线路

三、版图设计

这次设计的四位位移寄存器参考了原来的版图。原版图的主要缺点是铝引线（特别是地线）弯曲、细长而引起低电平抬高，元件排列不紧凑，版面大，影响硅片利用率和成品率。

此次版图设计分三步：首先初拟草图，给出各元件的大致位置；然后确定各元件的图形结构及尺寸；最后调整各元件的位置排列，绘制总图。

拟草图

根据预先确定的外引线位置，为使铝引线尽量短，故先定下 Q_A 、 Q_B 、 Q_C 、 Q_D 4个输出管及A、B、C、D、 C_P 等输入管的大致位置。接着画出地线，电源线，时钟控制线和清洗线各线的走向。由于采用了两条地线、两条电源线，避免了地线、电源线与时钟控制线、清洗线的交叉，并使各触发器可以排得紧密。横走向的电源线、时钟线、清洗线、地线迫使版图中的各多发射极管采用竖的排列，以便使横向铝线穿越。这次版图力求使各元件间的铝引线直而短，以利于减小它们之间的相互感应。

上面提到原版图的主要缺点是低电位高，因此将输出管发射极接地线加宽至100 μ ，排在版图上端及左侧，从而使地线电阻从原来的17 Ω 左右降到5 Ω 左右，有利于降低低电平。

大致确定几个主要管子位置后，再根据就近、空位大小许可的原则，安排电阻。由于所用电阻较多，不能一下将电阻划分几个隔离区，而是等元件都画好后，经适当调整后再画

合为一个电阻区，作在一个隔离区内。

四、功能测试

功能测试包括并行送数，右移、左移和保持。

①输出观察

要准确测试，可用示波器观察 Q_A 、 Q_B 、 Q_C 、和 Q_D 的输出波形。简单的观察方法是用灯泡显示。这时，方波发生器要调到1周/秒的频率输出。由于移位寄存器的输出电流不够大，用灯泡显示时要加一晶体管放大。

②方波发生器的频率约为100千周/秒。如果要对四位移位寄存器的最高时钟脉冲频率进行粗略鉴控，方波发生器的频率可调到10兆周/秒（或其他分档频率）。

③用灯泡显示时，也可将A、B、C、D悬空，这时功能正常的电路四个输出都是高电平，四个灯泡全亮。（如A、B、C、D都和四分频输出相接，正常的电路其显示灯泡要同步地一闪一闪地亮）

④右移和左移两档的输出波形前面已讨论过了。

⑤保持这一档采用普通波段开关。当波段开关转向保持档， S_0 、 S_1 都要经过 $S_0 = 1, S_1 = 1$ 这一状态。如A、B、C、D开路，保持档只保持 $Q_A = Q_B = Q_C = Q_D = 1$ 这一状态。如在左（或右）移位置上再加一个微动开关，将 S_0 （或 S_1 ）接地，则功能正常的电路可令其保持右移（或左移）的一种状态。

⑥接 R_D 微动开关时， $R_D = 0$ ，不管功能换档开关在什么位置， Q_A 、 Q_B 、 Q_C 、 Q_D 、都为“0”（灯全熄）。

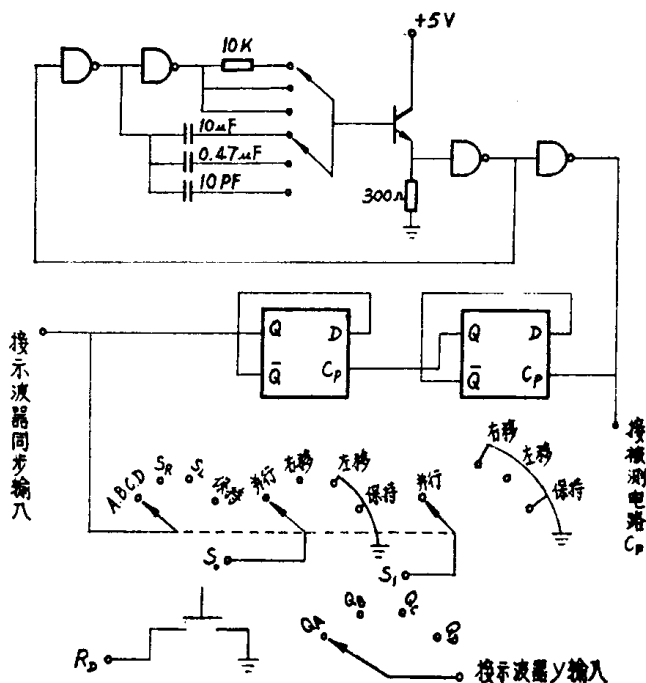


图5 功能测试仪方框图

五、测试结果

测试中发现，如果 R_D 无输出，有的电路能实现应有的左移、右移、并行送数和保持功能。如把 R_D 输入端二极管连线断开， R_D 也有使电路清洗，复位功能。这说明，此四位移位寄存器是能工作的。测出的右移串行输入的波形如图6所示。

测试中发现，①电路进行左、右移位工作时，时钟脉冲频率在16兆周/秒下，电路还是能正常工作的。②输入漏电流 I_{in} 在 $8\mu A$ 以下，说明反向和交叉漏电流较小，采用版图中的多发射极晶体管是可行的。③ Q_A （离接地压点最近）流过13mA负载电流时，铝线上的压降为0.08V。如 Q_A 、 Q_B 、 Q_C 、 Q_D 的负载电流都是13mA，则铝线的压降可达到0.20V。使电路低电平抬高。

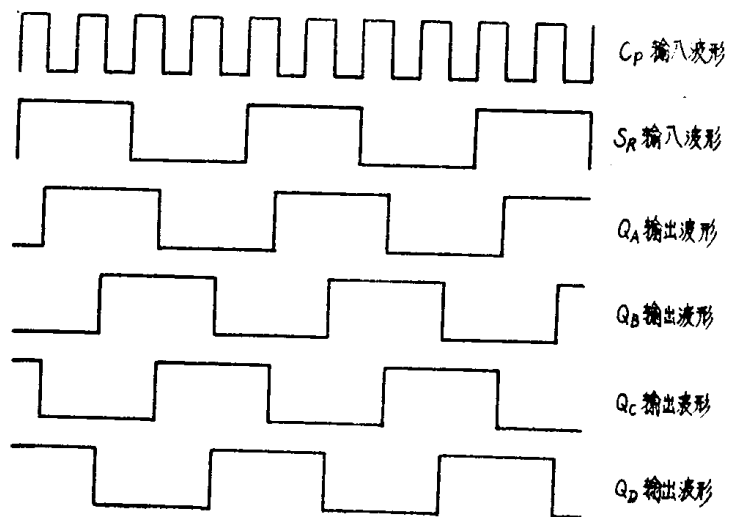


图6 右移串行输入的输出波形

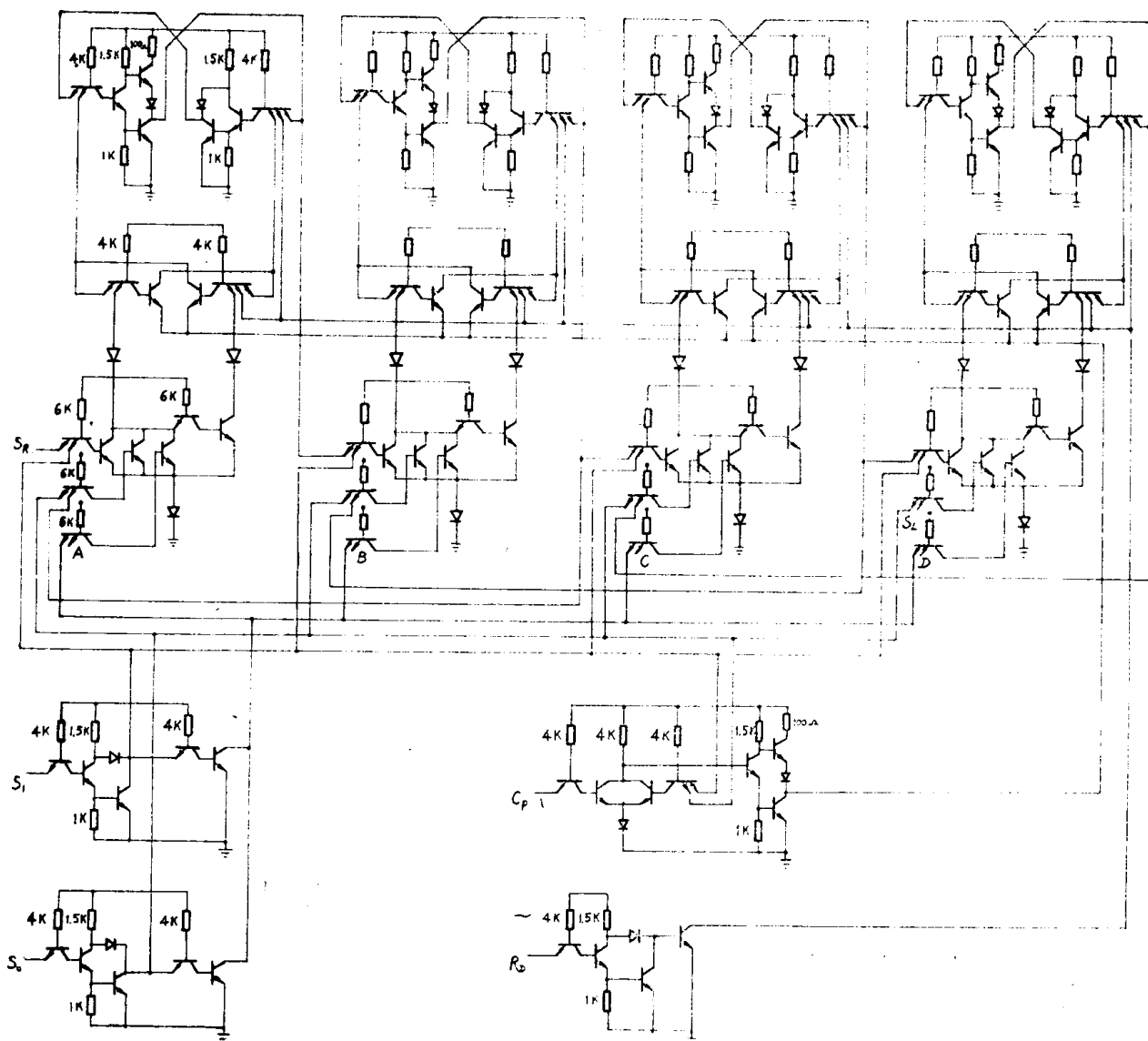


图7 四位移位寄存器线路图

4×4多路转接器

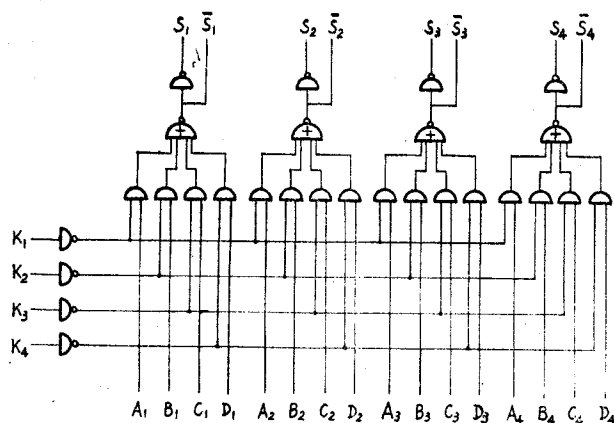
复旦大学微电子专业

上海无线电十九厂五车间

多路转接器亦称多路开关，顾名思义，它就是一种多通道的电子开关。4×4多路开关就是有4组4位的开关，它有4根控制线，分别控制每组中的一个数据。开关一般由控制门和与或非门组成。

4×4多路开关与D型触发器构成多功能移位寄存器，应用于计算机，特别是运控部分，还可当作各种数据接口通道，应用于自动化控制等方面。

一、设计



逻辑图

真值表

输入数据	控制输入	输出
A_n, B_n, C_n, D_n	K_1, K_2, K_3, K_4	
A_n × × ×	0 1 1 1	A_n
× B_n × ×	1 0 1 1	B_n
× × C_n ×	1 1 0 1	C_n
× × × D_n	1 1 1 0	D_n
× × × ×	1 1 1 1	1

注：凡是四位中任意一位

逻辑式

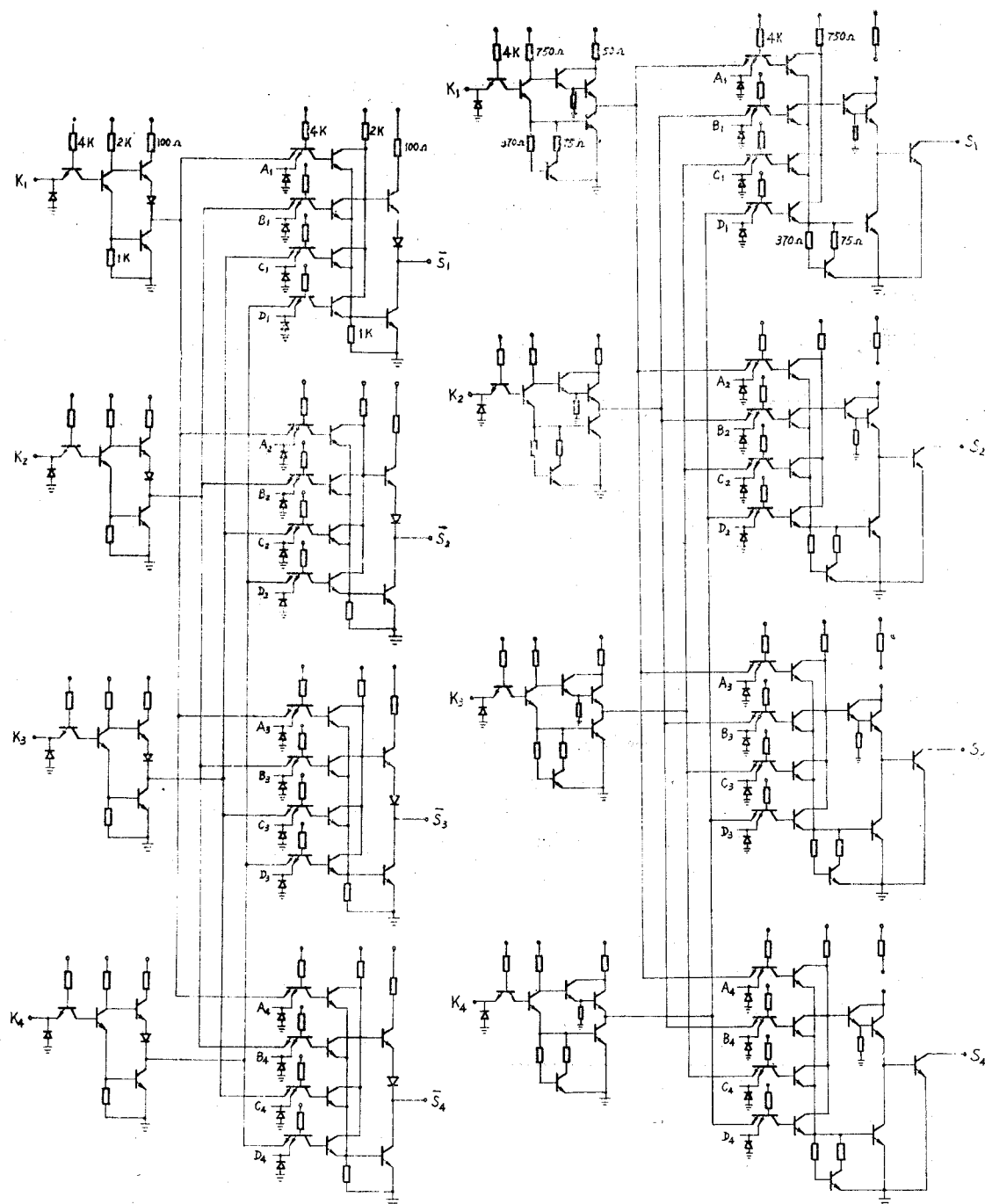
$$S_1 = \bar{K}_1 A_1 + \bar{K}_2 B_1 + \bar{K}_3 C_1 + \bar{K}_4 D_1$$

$$S_2 = \bar{K}_1 A_2 + \bar{K}_2 B_2 + \bar{K}_3 C_2 + \bar{K}_4 D_2$$

$$S_3 = \bar{K}_1 A_3 + \bar{K}_2 B_3 + \bar{K}_3 C_3 + \bar{K}_4 D_3$$

$$S_4 = \bar{K}_1 A_4 + \bar{K}_2 B_4 + \bar{K}_3 C_4 + \bar{K}_4 D_4$$

照使用单位要求，不需全部原码输出，有时也不用反码输出，因此我们采用两块反刻板。反码和原码的元件同时作在一块电路上，可分别连成两种电路。工艺没有增加，又减少了元件，又实现了原码和反码输出。原码用开集电极输出，线路简单，适当于外接或扩展。



原码输出线路图

开集电极原码输出线路图

由于电路比较简单,指标要求也比较宽,因此着重考虑提高成品率。版图设计注意紧凑,基本上没有空位,缩小总面积。在工艺水平许可下,减小间距。但必要的地方还是放宽,比如考虑到光刻误差引起bc短路,因而bc间距采取 12μ 。铝条间距短线 8μ ,长线 12μ 。为便于光刻套准,管子排列方向尽量一致。为防止地线过长而使输出低电平抬高,地线铝条普遍加宽,并尽量沿隔离槽走,防止引线孔产生针孔。 1μ 厚的铝条,电阻一般为 $0.03\sim 0.05\Omega/\square$ 。

在总版图中，地线从头到尾约200方块左右。测试表明，压降约0.1V。设计时留有较大余地，输出管集电极也较宽，因而保证了低电平指标。

版图总面积， $3.4 \times 1.5 \text{ mm}^2$ ，共132个元件。

用两块反刻板，一块反码输出，一块原码输出。

最小引线孔， $12 \times 20 \mu^2$ ， $16 \times 16 \mu^2$ 。

bc间距， 12μ 。

eb间距， 8μ 。

图形到隔离槽间距， 20μ 。

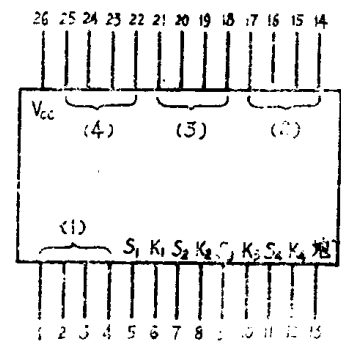
隔离槽宽， 16μ 。

输出管集电极条宽长， $20 \times 108 \mu^2$ 。

输入管用拉脖子，2方块左右，避免反向漏电。

输出管为双基极条或双发射极条。

按管脚排列设计版图。在总图的设计中，用了3只磷桥。为减小磷桥的漏电流，又采用了氮化硅保护层。



管脚排列

二、工 艺

流程

预氧化 $T = 1180^\circ\text{C}$ $t = 10' + 120' + 15'$

稳埋光刻

锑扩散 $T = 1220^\circ\text{C}$ 脱水20' $t = 180'$ $\rho < 15\Omega/\square$

外延 $\rho = 0.35 \sim 0.4\Omega/\square$

隔离氧化 $T = 1165^\circ\text{C}$ $t = 5' + 60' + 10'$

隔离光刻

隔离扩散 $T = 1070^\circ\text{C}$ $t = 35'$ $\rho < 10\Omega/\square$

再分布 $T = 1200^\circ\text{C}$ $t = 30'$

蒸金

基区氧化 $T = 1200^\circ\text{C}$ $t = 60' + 30' + 30'$

基区光刻

基区扩散 $T = 935^\circ\text{C}$ $t = 20'$ $\rho = 40 \sim 50\Omega/\square$

二次氧化 $T = 1165^\circ\text{C}$ $t = 1' + 35' + 14'$ $\rho = 100 \sim 120\Omega/\square$

发射区光刻

磷扩散 $T = 1140^\circ\text{C} \sim 1160^\circ\text{C}$ $t = 4' \sim 6' + 2' 30''$

三次氧化 $T = 910^\circ\text{C}$ $t = 15' + 15'$

引线孔光刻

淀氧化硅 $T = 720^\circ\text{C} \sim 750^\circ\text{C}$ $t = 15' \sim 20'$ $d = 2000\text{\AA} \sim 3000\text{\AA}$

套刻引线孔

蒸铝

反刻

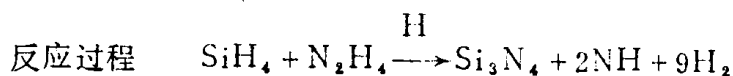
合金化 $T = 500^\circ\text{C}$ 左右 $t = 15'$

测试结果

BV_{be}	6.5~7V
BV_{bc}	50~100V
BV_{ce}	10~30V
β	15~30

淀氧化硅

氮化硅绝缘良好,介电常数较大。许多杂质在它中间的扩散系数都很小,特别是钠离子在其中的迁移率比在二氧化硅中小得多。二氧化硅一般在80℃~90℃下可观察到离子迁移现象,而氮化硅在400℃以下都没有可察觉的离子迁移。氮化硅比二氧化硅致密得多,所以它能防止水汽和金属离子的沾污。并能改善低击穿、软击穿和表面沟道等现象,从而提高器件的稳定性。但氮化硅同硅接触时,由于两者差异较大,从而产生应力,形成表面缺陷,复合中心和龟裂,而且它还给光刻带来困难。所以腐蚀工艺比较复杂,因此一般生长的是二氧化硅与氮化硅的混合物,以利于光刻。生长氮化硅的工艺是



H_2 流量 10l/分 N_2H_4 流量 3~4l/分 SiH_4 流量 0.1~0.3l/分

用5A分子筛和105催化剂提纯

生长速率100Å/分 腐蚀速率<500Å/分

经验表明,三次氧化和光刻的淀积氮化硅,现起钝化作用,防止引线孔产生针孔,又由于两次套刻引线孔,保证引线孔刻清楚,有利于提高成品率。同时,可在生长过程中控制含氧量来调节 β 的大小。

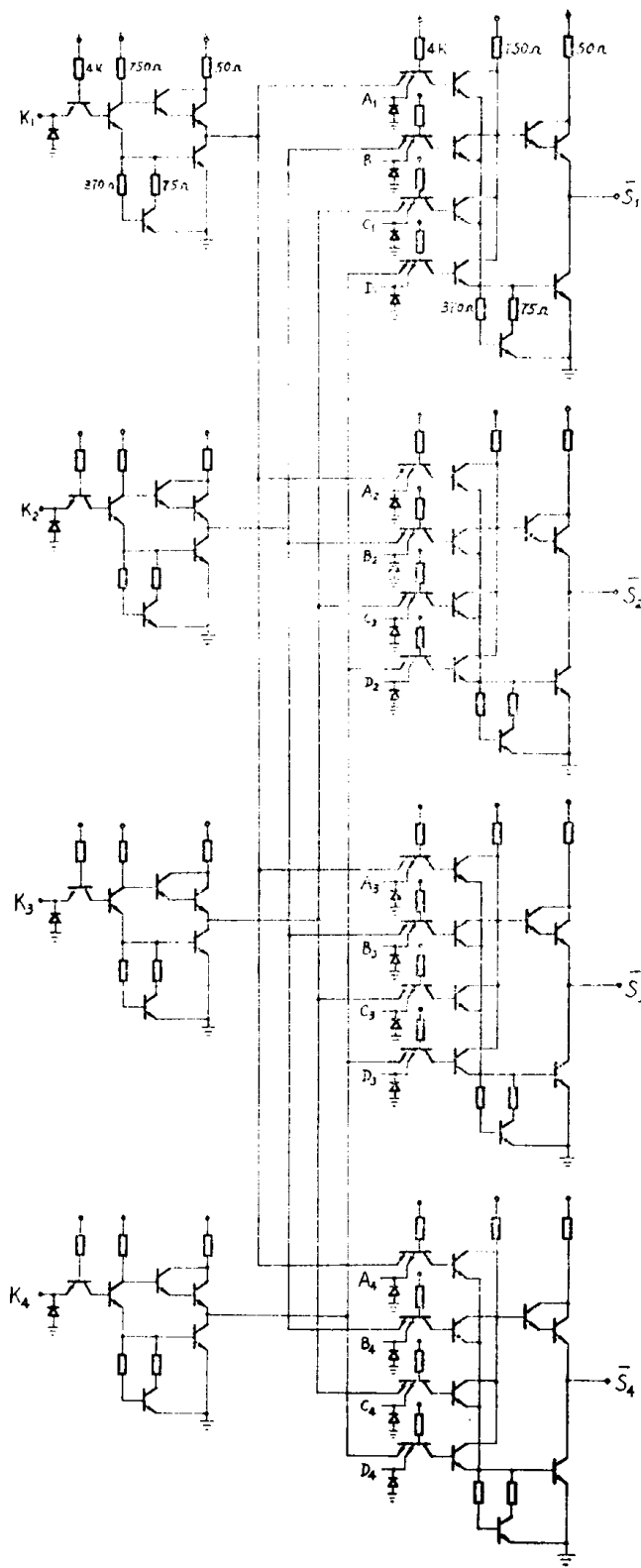
测试结果(反码输出)

$V_{CC} = 5V, T_A = 20^\circ\text{C}$

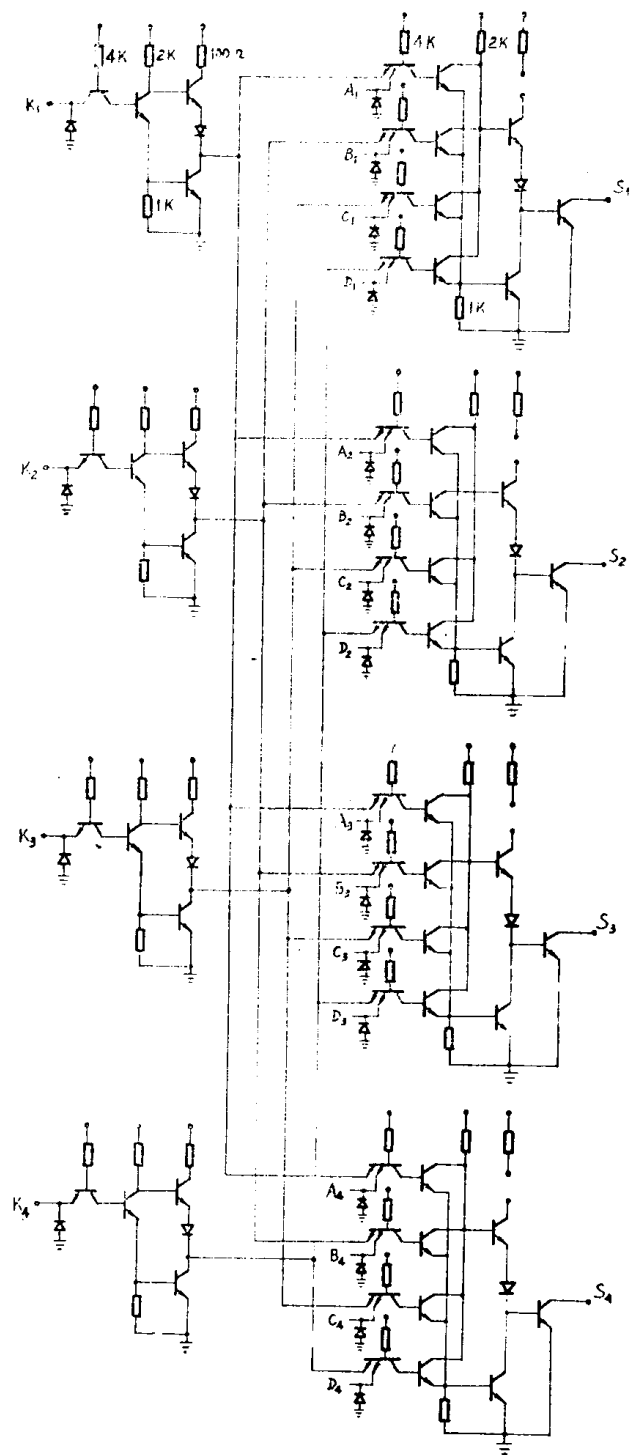
	$I_{CCL}(\text{mA})$	$I_{sc}(\text{mA})$	$V_{OH}(\text{V})$	$V_{OL}(\text{V})$	t_{Pa} (数据输入端悬空, 输入控制加1KC方波)	
					空载(ns)	360Ω(ns)
1.	22	0.35~0.70	3.9	0.25~0.32	35~50	40
2.	21	0.36~0.66	3.7~4	0.24~0.32	"	"
3.	22	0.36~0.66	4	0.25~0.32	"	"
4.	22	0.36~0.64	3.4~4	0.24~0.34	"	"
5.	22	0.36~0.64	4	0.26~0.34	"	"
6.	22	0.34~0.72	3.8~4	0.26~0.32	"	"
7.	24	0.34~0.74	4	0.26~0.34	"	"

第一批测试结果都符合预订指标,成品率平均30%左右。按用户要求,速度还需再提高。在保证成品率和速度小于30ns的前提下,我们用了不加肖特基二极管的浅饱和和有源泄放回路,并用 T_3, T_4 管组成的复合有源负载回路,据模拟试验,可以达到要求。仍用原反码和开集电极输出。

从模拟电路和样管的测试分析看来,要做好浅饱和电路还有许多工作要做。浅饱和电路的抗干扰能力和速度虽然都有提高,但浅饱和也有不利的一面,那就是饱和越浅,输出低电



反码输出线路图



开集电极原码输出线路图

平越高。我们是保证低电平满足要求并在一定的负载电流下，尽量使 T_s 管处于饱和 比较 浅的状态。我们将饱和深度控制在 2 左右。

高速J-K触发器

厦门大学物理系七二级半导体专业高速J-K触发器小组

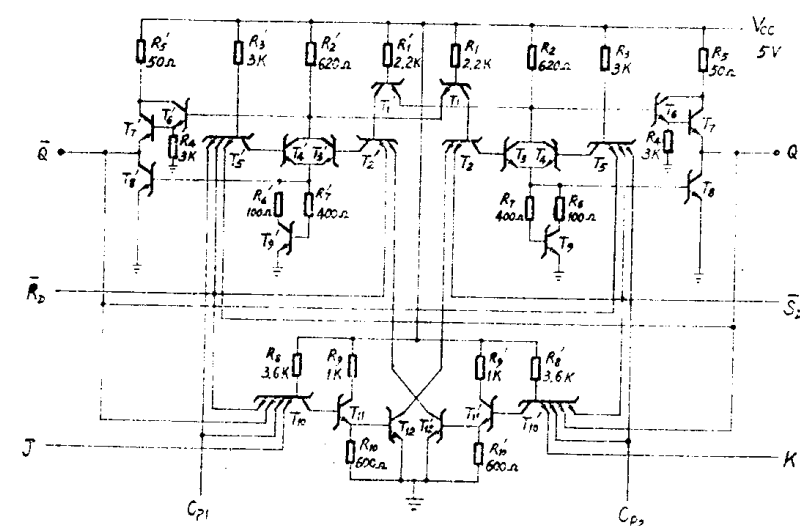
上海无线电十九厂四车间

电路工作原理及版图结构考虑

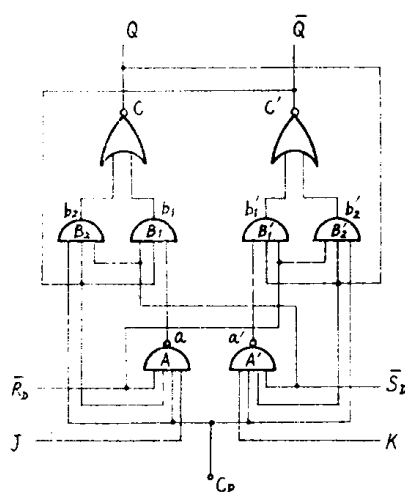
表1 J-K触发器逻辑表

J	K	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$
1	0	1	0
0	1	0	1
1	1	$\bar{Q}_n$	Q_n

表1是J-K触发器的逻辑表，从它的功能中可以看出其特点是：克服了R-S触发器不定的状态，当 $J=K=1$ 时触发器亦能可靠地翻转。这种形式的J-K触发器由电路原理图和它的逻辑图大致可以分为两个部分：一部分由二个对称的“与非门”电路组成主触发器，一部分由二个对称的“与或非”门电路相互反馈组成从触发器，Q与 $\bar{Q}$ 二边是完全对称的。主从触发器之间的电性耦合是利用分布参数及存贮时间在时间轴上的相移差来实现的。我们之所以选择这种电路是因为它的工作方法是采用输入的CP时钟脉信号的后沿部分进行触发的方式，因而它具有工作频率高、稳定性较好，通用性强的双稳电路。但是这种触发器由于采用了“与或”型后沿触发方式，所以要使完成J-K功能，稳定，可靠地翻转就得满足一定的条件。当满足了条件CP由“1”变为“0”时触发器在CP脉冲的后沿时间里怎样翻转呢？下面我们从其逻辑表的逻辑功能和主要端的波形的变化进行定性分析：



高速J-K触发器线路原理图



高速J-K触发器逻辑图

设：触发器在 t_n 时刻状态为“0”，即 $Q = “0”$ ， $\bar{Q} = “1”$

且 $J = K = S_D = R_D = 1$

C_P 时钟脉冲信号由“1”→“0”，与非门“A”的输出端a由“0”→“1”延迟了 t_1 ，再由与门“B₁”输入使其输出端b₁的输出由“0”→“1”，又延迟 t_2 ，同时， C_P 输入至“与门B₂”，b₂输出延迟了 t_3 。

当设计满足 $t_1 + t_2 > t_3$ 时，那么b₁、b₂输出在某一时刻即 $t_1 + t_2 - t_3 = t$ ($t > 0$)，同时出现“0”，根据“与或非”的逻辑关系使“与或非”“C”的输出由“0”→“1”，（即Q由“0”→“1”）并且反馈到 $\bar{Q}$ 一边

“与或非”门的二个与门的输入端（当切断反馈线时由示波器中我们可以观察到是正的尖脉冲，如C图所示）

对于 $\bar{Q}$ 一边的“与或非”门与Q一边一样，其与门“b'₂”由 C_P 直接控制使其输出由“1”→“0”，同时也延迟 t_3 时间。同样，“与或非”门“A”的输出端a'由“0”→“1”也延迟 t_1 由与门“B'₁”输入，所以当Q端反馈到与门“B'₁”的尖脉冲由“0”→“1”且有一定的宽度与a'的输出“相碰”处于“1”、“1”时，使与门“B'₁”的三个输入端都处于高电平，使其输出端b'₁'输出为高电平“1”。根据“与或非”门的逻辑关系使“与或非”的输出端“c'”的输出由“1”→“0”（即 $\bar{Q}$ 由“1”→“0”），从而完成了一次可靠的翻转。

前面提到要使触发器能可靠地翻转必须满足 $t_1 + t_2 > t_3$ ，只要使 $t_1 + t_2$ 比 t_3 大到使二个“与或非”相互反馈达到稳定状态就行，否则会影响到频率的提高。

如果 $t_3 \geq t_1 + t_2$ ，那么在 C_P 由“1”→“0”时主从触发器之间靠分布参数及存贮时间在时间轴上没有相移差或者在“与或非”的输出端（C端）就不会出现正的尖脉冲，因而就不会出现触发器的可靠翻转。

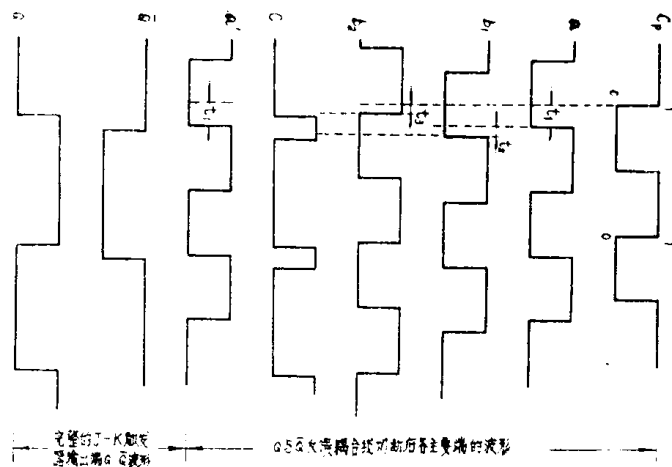
根据这种触发器的工作原理，我们在设计时着重考虑到如何去满足它的翻转条件。从这角度出发，鉴于本厂目前工艺水平，对版图结构电路中各主要元件的图形和尺寸及主要电阻的阻值进行了估算和确定。为了鉴别有无加SBD对工作频率即提高速度的效果，在一块版面上分别设计了全无和全加SBD的二块版一起进行试制。

根据电路的原理和试制的要求，对于版图的结构布置在本厂的工艺水平和不影响电性能的基础上，我们尽量地合理安排版面紧凑，减少版面的面积，版图结构的最小尺寸是：电极引线6 μ ，铝条的宽度为16 μ ，铝条的间距为12 μ ，发射极到引线孔到e区边沿为4~6 μ ，发射区边沿到b区的边沿为8 μ 。

对于版图的结构我们尽力合理安排布线。电路的左右交叉线共有八根，为了解决交叉线，除了把电路的主触发器部分相互左右对调外，力求无交叉线，经过反复多次实践，终于实现了没有交叉线。这对于目前仍未解决表面钝化措施以前减少面积和提高电路性能和成品率都有好处。

根据这种电路的工作特点和条件，我们对电路中主要管子和电阻进行了必要的考虑，

在 C_P 由“0”→“1”的过程要使触发器保持原来的状态，设计时必须满足 $t_{off} T_s >$



波形图

t_{onT_4} , 即 $R_8(C_{T_{10}} + C_{T_{11}}) + R_9C_{T_8} + R(C_{T_1} + C_{T_2}) + t_{ST_3} > R_3(C_{T_5} + C_{T_4})$, 所以我们采取多发射管的每个发射区面积相同取 $1008\mu^2$, 而

T_{10} 的发射区总面积为 $(36 \times 28) \times 4 = 4032(\mu^2)$

T_5 的发射区总面积为 $(36 \times 28) \times 3 = 3024(\mu^2)$

这样使 T_{10} 的分布电容比 T_5 的分布电容来得大。又 T_{11} 的面积略大于 T_4 的面积, 即 T_{11} 的面积为 $32 \times 116 = 3712(\mu^2)$ [加 SBD 为 $138 \times 116 = 16008(\mu^2)$],

T_4 的面积为 $14400(\mu^2)$ 。

并且选择电阻 $R_8 > R_3$ ($R_8 = 3.6K$, $R_3 = 3K$)

在 C_T 由 “1” $\rightarrow$ “0” 时要使触发器可靠地翻转一次, 设计时必须满足 $t_{onT_3} > t_{offT_4}$, 即 $t_{ST_{11}} + t_{ST_{12}} + R_1(C_{T_1} + C_{T_2} + C_{T_3}) > t_5(T_4) + R_2C + R_1'(C_{T_1}' + C_{T_2}' + C_{T_3}')$, 其中 R_2C 为输出端的时间常数, 一般尽量取小, 因为已选取 T_{11} 的面积略大于 T_4 的面积, 所以 $t_{ST_{11}} > t_{ST_4}$, 所以着重考虑 $t_{ST_{12}} > R_2C$ 。为了满足这个条件, 我们尽量根据本厂的实际工艺水平缩小器件的尺寸, $T_3 + T_4$ 取 $28800\mu^2$, 结构布置尽量缩短它们之间的连线距离, 以达到减少或门输出端的时间常数, 同时我们也从加大 T_{12} 的饱和深度和储存电荷的释放时间来实现。在不太影响工作频率的前提下, T_{12} 的面积略取大些, T_{12} 面积为 $72 \times 84 = 6048\mu^2$ [如加 SBD 的面积为 $6272\mu^2$] 和电阻 R_{10} 的阻值取大些, 取 600Ω , R_9 取小些即 $1K$ 。为了满足后沿触发条件, 我们选取 T_3 与 T_{12} 的基区面积比约 $1:2.9$, (即 $2100\mu^2:6048\mu^2$), T_{11} 面积略大于 T_3 或 T_4 。我们选取 T_9 与 T_8 的发射区面积比为 $1:2.6$, (即 $1200\mu^2:3192\mu^2$) [如加 SBD 的 T_3 与 T_4 的基区面积比为 $1:3.5$, (即 $1700\mu^2:6270\mu^2$)。 T_9 与 T_8 的发射区面积比约为 $1:2.8$ (即 $1120\mu^2:3192\mu^2$), 以兼顾从触发器的关闭时间和输出的负载能力。

对于加肖特基的各图, 我们从满足这种触发器翻转条件出发而定出各管子的肖特基面积如下:

$$T_2: 24 \times 42 = 1008\mu^2; T_5: 24 \times 52 = 1248\mu^2$$

$$T_{10}: 28 \times 42 = 1176\mu^2; T_8 \langle \text{输出管} \rangle: 102 \times 24 = 2448\mu^2$$

$$T_9: 16 \times 58 = 896\mu^2; T_3 = T_4: 16 \times 38 = 608\mu^2$$

$$T_{11} = T_{12}: 10 \times 44 = 440\mu^2$$

实验与结果

在投片的过程中, 为了对如何提高速度, (在原有工艺条件的基础上) 在工艺条件方面得到一些了解和启发, 我们分别分为三种情况进行实验性投片。其中八片是采用车间原有的较稳定的工艺条件(称正常结); 4 片采取浅结扩散, 这样作使基区横向扩散宽度容易控制, 又可以得到足够高的 b 区杂质浓度以及由材料或工艺的不均匀性对结平坦性的影响会得到改善, 有利于控制薄基区, 以达到提高频率的目的。4 片采用二次蒸金扩散(第二次蒸金扩散是在光刻好 e 区, 处理好片子后进行的)来达到缩短贮存时间提高频率的目的。

一、外延: 电阻率取 $0.3 \sim 0.5\Omega\text{cm}$, 外延层的厚度为 $7 \sim 9\mu$ 。

二、硼扩: $T: 950^\circ\text{C}$, $t: 10' + 10'$ (通源, $10'$ 后调个头)。

再分布

(1) 正常结与二次蒸金片子: $T: 1145^\circ\text{C}$, $t: 3' + 34' + 20'$

(干)(湿)(干)