

✓
高等学校教学用书

超大规模 集成物理学导论

童勤义 著

电子工业出版社

高等学校教学用书

超大规模集成物理学导论

童勤义 著

电子工业出版社

内 容 提 要

本书从理论上深入分析了推动集成电路向超大规模集成电路发展的主要理论基础——“按比例缩小”理论及其在实际应用中出现的新的物理效应和局限性的物理本质。介绍了超大规模集成电路所受到的基本理论、材料、器件、系统及电路五个方面的限制及其发展的极限;介绍了小尺寸器件的计算机模型和分析模型。全书共分六章。

本书可作为高等院校有关专业的本科生、研究生的教材,也可供从事微电子系统、集成电路、计算机辅助设计等工作的工程技术人员参考。

超大规模集成物理学导论

童勤义 著

责任编辑 詹善琼

*

电子工业出版社出版(北京市万寿路)

星城印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

开本: 850×1168 1/32 印张: 12.375 字数: 310 千字

1988年5月第1版 1988年5月第1次印刷

印数: 3500册 定价 2.50元

ISBN7-5053-0081-4/TN·44

主要符号表

C	沟道区净掺杂浓度分布
C_g	单门栅电容
C_d	硅耗尽区单位面积电容
C_{FS}	MOS 管快表面态电容
$C_n(C_p)$	空穴(电子)在 n 型(p 型)硅中的 Auger 系数
C_m	栅-漏覆盖密勒电容
C_L	负载电容
C_{OX}	栅氧化层单位面积电容
C_{OXP}	场氧化层单位面积电容
C_s	单门间互连线及栅-源覆盖电容
$d_o(d)$	长沟道(短沟道) MOS 器件沟道耗尽区宽度
$D_n(D_p)$	电子(空穴)扩散系数
E_p	平行于沟道电流的横向电场强度
E_t	垂直于沟道电流的垂直电场强度
$E_C(E_V)$	导带底(满带顶)能量
E_F	费米能级
E_{sw}	单门开关能量
$E_{Fn}(E_{Fp})$	电子(空穴)准费米能级
E_i	本征费米能级
E_{Si}	硅中耗尽区电场强度
E_{Ox}	二氧化硅中电场强度
f_T	晶体管特征频率 ($\beta = 1$)
G	载流子产生率
G_s	碰撞电离产生率
G_B	单位面积基区中准中性区域掺杂原子数目。称为 Gummel 数

G	热产生率
G_s	表面产生率
I_{DS}	漏源电流
I_B	衬底电流
$I_D(I_S)$	漏电流(源电流)
I_{sub}	亚阈值电流
J_n	电子电流密度
J_p	空穴电流密度
k	波尔兹曼常数
$k_n(k_p)$	NMOS(PMOS) 管工艺增益因子
K	下拉管与上拉管宽长比之比
L	沟道长度
L_D	德拜长度; 扩散长度; 沟道长度的调制值(沟道缩短的量)
m	电子有效质量; 粒子质量
m_0	自由电子质量
$n(p)$	电子(空穴)密度
n	$1 + \frac{C_d}{C_{OX}} + \frac{C_{FS}}{C_{OX}}$
N	掺杂浓度
N_A	沟道等效(离子注入)掺杂浓度
N_B	沟道净掺杂浓度; 双极晶体管基区净掺杂浓度
N_{SUB}	衬底掺杂浓度
N_{ch}	沟道区净掺杂浓度
N_I	离子注入剂量
N_W	n 阱掺杂浓度
q	电子电荷
Q_{ch}	沟道反型层电荷面密度
Q_I	离子注入电荷面密度
$Q_B(Q_{Bo})$	基区中载流子电荷总量(基区内建电荷量)
R_C	接触电阻
R_p	离子注入射程
ΔR_p	离子注入标准偏差

R_s	源和漏寄生电阻
$R_{\square}$	扩散区薄层电阻
$s_n(t_p)$	电子表面复合速度(空穴表面复合速度)
v_d	漂移速度
v_{SAT}	载流子饱和(漂移)速度
V_{DS}	漏源电压
V_{BS}	衬底电压
V_{GS}	栅源电压
$V_{TN}(V_{TP})$	NMOS(PMOS) 管阈值电压
V_{TL}	长沟道 MOS 管阈值电压
V_{TB}	双极晶体管阈值电压
V_{ω}	输出逻辑摆幅
V_{DD}	电源电压
$W_d(W_s)$	漏(源) pn 结耗尽区宽度
x_j	pn 结结深
$\alpha_n(\alpha_p)$	电子(空穴)电离系数
α	双极晶体管共基极电流放大系数;按比例缩小因子
α_c	芯片中长引线按比例增大因子
β	k_n/k_p , 共发射极电流放大系数
ϵ_0	真空电容率
ϵ_{SiO_2}	二氧化硅相对介电常数
ϵ_{Si}	硅相对介电常数
$\mu_n(\mu_p)$	电子(空穴)低场迁移率
$\mu_{n0}(\mu_{p0})$	电子(空穴)低场迁移率
μ_{neff}	电子等效迁移率
ρ	电阻率
σ	电导率
τ	沟道载流子渡越时间
τ_{dp}	对偶延迟时间
τ_p	单门延迟时间
$\tau_n(\tau_p)$	电子(空穴)寿命
ϕ_{bi}	结内建电势

$\phi_{Fn}(\phi_{Fp})$	n 型硅 (p 型硅) 体费米势
ϕ_{MS}	功函数差等效电势值
$\phi(\phi)$	静电势
ϕ_{sn}	长沟道 MOS 管阈值处的表面电势
ϕ_c	时钟电压

前 言

本书是本人在南京工学院为研究生授课的讲义基础上写成的。一九八四年夏曾以本书的主要内容作为课题,举办了有全国有关高校、研究所及产业部门参加的高级讲学班,得到了许多同志热情的鼓励和帮助。

本书的主要目的在于使读者对于作为新产业革命基石的超大规模集成电路的物理性质有一个较为清晰的认识,进而掌握超大规模集成电路的发展规律、所需解决的主要问题及能达到的极限;使设计和研制集成电路的工作建立在科学的理论基础之上。目前唯一趋向成熟的超大规模集成电路是用硅为衬底而制成的,故本书以硅超大规模集成电路为主要内容;但砷化镓集成电路也在蓬勃发展,为此,本书给出了粗略的介绍。

本书一方面力求总结在超大规模集成电路物理学方面较为肯定的理论,另一方面又力求体现这个领域的最新发展。由于微电子技术发展十分迅速,这个要求是难以完善地实现的。这也正是本书取名为“导论”的含义。我希望本书能为有志于微电子学研究的人们提供一个人门的途径,也希望今后对本书的内容作进一步的充实。

超大规模集成电路的发展是多学科结合的产物。对超大规模集成电路物理性质的研究,涉及器件结构、工艺技术、材料性能及电路设计方法等许多方面。同时,超大规模集成电路正在逐渐发展成为单片电子系统,即所谓“硅系统”,电子系统的知识显然是非常重要的。因此,本书在突出研究超大规模集成电路物理性质的基础上,兼顾了材料、器件、工艺、电路及系统的效应,并力求对问题的阐述具有鲜明的物理意义,避免繁琐的数学推导。由于本人

经验不足和水平的限制,本书一定存在许多缺点,恳求读者们热情提出批评建议,以便使本书今后能逐步完善起来。

本书在写作过程中,南京工学院微电子中心提供了良好的工作条件,该中心的同事给予了热忱的帮助。南京固体器件研究所林金庭总工程师细致地审阅了书稿,南京大学吴汝麟教授给予了极为亲切的鼓励。没有他们及其他同事们的努力,本书是不可能产生的。本人谨此对一切为本书作出贡献的同事们深表谢意。

童勤义

一九八五年六月于南京

目 录

第一章 超大规模集成 (VLSI) 导论	1
1.1 集成电路技术的发展规律	1
1.1.1 莫尔定律	3
1.1.2 芯片面积增大	5
1.1.3 器件尺寸的缩小	9
1.1.4 集成效率的提高	12
1.1.5 ASIC 及设计技术的进展	14
1.2 集成电路制备工艺的进展	19
1.2.1 水平方向缩小尺寸	20
1.2.2 垂直方向缩小尺寸	25
1.2.3 互连线技术	30
1.2.4 硅片尺寸的增大	36
1.2.5 绝缘衬底上的硅技术	39
1.2.6 超高速集成电路及砷化镓集成电路	47
1.3 系统集成和整片集成	56
1.3.1 VHSIC 计划	58
1.3.2 系统集成概念	59
1.3.3 数字工艺比较	60
1.3.4 模拟工艺比较	62
1.3.5 数字/模拟接口技术	65
1.3.6 低压/高压接口技术	67
1.3.7 传感器集成电路	70
1.3.8 硅的整片集成 (WSI)	72
1.4 VLSI 的新课题	74
1.4.1 二级效应和器件尺寸缩小的理论	75
1.4.2 VLSI 在理论和实践上的极限	75
参考文献	77
第二章 按比例缩小理论	80

2.1 按比例缩小的基本理论——CE 理论	81
2.1.1 器件和引线按 CE 理论缩小的规则	81
2.1.2 按 CE 规则缩小的器件性能	84
2.1.3 按 CE 规则缩小的集成电路性能	97
2.2 按比例缩小的 CE 理论的局限性	114
2.2.1 阈值电压的控制和抗干扰能力	115
2.2.2 亚阈值电导特性	118
2.2.3 互连线电阻和电流密度特性	124
2.2.4 高能粒子电离效应	126
2.2.5 电源电压的兼容性	128
2.3 按比例缩小的 CV 理论	129
2.3.1 按比例缩小的 CV 规则	129
2.3.2 按 CV 规则缩小的器件性能	130
2.3.3 按 CV 规则缩小的集成电路性能	133
2.4 按比例缩小的 CV 理论的局限性	139
2.4.1 高电场效应	139
2.4.2 高电流密度和高功耗密度效应	142
2.4.3 互连线的电压降落及时间常数效应	143
2.4.4 等效迁移率降低效应	143
2.5 按比例缩小的 QCV 理论及器件设计最佳化	145
2.5.1 按比例缩小的 QCV 规则	146
2.5.2 统一的按比例缩小的理论	149
2.5.3 按比例缩小的经验理论和器件设计最佳化	152
2.5.4 小结	158
参考文献	160
第三章 超大规模集成电路的极限	163
3.1 VLSI 的基本理论限制	165
3.1.1 数字系统和恢复逻辑	165
3.1.2 热力学和统计物理的限制	169
3.1.3 量子力学的限制	177
3.2 VLSI 中器件和材料限制	183
3.2.1 导通态下 MOS 器件的物理限制	184
3.2.2 截止态下 MOS 器件的物理限制	217
3.2.3 窄沟道效应和沟道长度调制效应	227

3.3 VLSI 中电路和系统的限制	232
3.3.1 E/D NMOS 超大规模集成电路性能极限	232
3.3.2 多晶硅电阻的限制	234
3.3.3 引线的限制	239
3.4 小结	241
参考文献	242
第四章 CMOS 超大规模集成物理	245
4.1 CMOS 电路的物理模型	245
4.1.1 小尺寸 PMOS 器件模型	249
4.1.2 小尺寸 CMOS 倒相器的延迟时间	259
4.1.3 小尺寸 CMOS 倒相器的抗干扰能力	265
4.1.4 小尺寸 CMOS 传输门延迟时间	272
4.1.5 小尺寸 CMOS 电路的自锁效应	279
4.2 静态 CMOS 电路的极限	286
4.2.1 最低阈值电压的确定	287
4.2.2 最低电源电压的确定	288
4.2.3 最薄栅氧化层厚度的确定	289
4.2.4 最小沟道长度的确定	290
4.2.5 结深和沟道掺杂浓度的限制	291
4.2.6 VLSI 静态 CMOS 电路设计最佳化	292
4.3 动态 CMOS 电路极限	295
参考文献	300
第五章 VLSI 中的双极型器件	302
5.1 小尺寸双极型器件的物理模型	303
5.1.1 双极型器件的阈值电压	303
5.1.2 双极型器件的功耗-延迟乘积	306
5.1.3 禁带宽度变窄效应	307
5.1.4 俄歇 (Auger) 复合效应	309
5.2 按比例缩小的双极型电路的分析	311
5.2.1 双极型器件提高性能的途径	311
5.2.2 缩小双极型器件尺寸的分析	315
5.2.3 双极型电路尺寸缩小的极限	323
参考文献	324

第六章 小尺寸 MOS 器件的数值模型及其应用	326
6.1 集成电路的计算机辅助设计	326
6.2 MOS 器件的数值模型及其求解	330
6.2.1 基本半导体方程组	331
6.2.2 数值解技术	335
6.3 二维 MOS 器件数值模拟的模型分析	342
6.3.1 数学模型	342
6.3.2 物理参数模型	345
6.3.3 数值方法	352
6.4 二维 MOS 器件模拟的典型应用	353
6.4.1 器件性能的预测	353
6.4.2 工艺灵敏度分析	361
6.4.3 器件性能的研究	367
6.4.4 在电路模拟中的应用	377
6.5 小结	379
6.5.1 二维数值模拟的方法	380
6.5.2 二维数值模拟的可靠性	381
参考文献	383

第一章 超大规模集成 (VLSI) 导论

以大规模 (LSI) 和超大规模集成 (VLSI) 技术为基础, 以计算机为核心的信息技术, 带来了新的世界性产业革命。集成规模的增大使集成电路的性能/价格比随之而迅速提高, 并深入渗透到了人类生活的每一个领域, 引起了生产质量和数量的大幅度提高。集成技术影响之深远程度是以蒸汽机出现为第一次产业革命以来任何其它技术所不能相比拟的。掌握 VLSI 技术的一个关键是: 具体了解其发展的内在规律, 并从目前技术的进展和面临的课题, 预测其今后的发展。

1.1 集成电路技术的发展规律

为了掌握集成电路技术的发展规律, 有必要回顾一下其发展历史。1947 年世界上第一个晶体管的发明直接导致了 1959 年半导体集成电路的出现。集成电路与由分立元件组成的电路相比较, 成本降低, 可靠性及速度提高, 功耗下降, 体积和重量减小, 即性能/价格比大幅度提高, 因而引起工业界及学术界极大的重视。开始时, 由于缺乏相应的工艺技术, 采用选择性化学腐蚀台面或采用机械方法 (合金球) 形成 pn 结。采用金属板作为蒸发时的掩膜以形成引线, 使器件的最小尺寸及引线宽度均在 $100\mu\text{m}$ 以上, 集成度极低。1961 年硅平面工艺问世, 采用了光刻技术, 在二氧化硅膜及铝膜上, 刻出扩散掺杂区及引线图形; 采用了硅衬底上生长的二氧化硅膜作为选择扩散的掩膜和 pn 结的钝化膜。这就使得精确控制性能稳定的表面及器件尺寸成为可能。这种扩散及氧化 $\rightarrow$ 光刻 $\rightarrow$ 腐蚀的过程重复多次, 即可在同一硅片上制备二极管、三极

管、电阻、电容等多种元件，制备成平面型集成电路。分步重复照相技术使得同时制备数量众多的集成电路成为现实，从而开拓了硅集成电路工业化大生产的前景。材料和器件物理的研究，尤其是硅-二氧化硅界面物理的研究成果，使得制备稳定而具有低电荷密度的二氧化硅表面成为现实。这种稳定的二氧化硅表面又使采用金属-氧化物-半导体（MOS）结构的晶体管的集成电路得以在1964年产生。MOS集成电路结构简单，制备工艺简化，比早期采用的双极型集成电路在集成度及成品率方面优越，因而逐渐成为大规模集成电路（LSI）及超大规模集成（VLSI）的器件结构的主流。同时双极型集成电路在速度及驱动能力方面的优势也得到了相应的发展。随着设计和工艺技术的进步，集成电路的集成度迅速提高。所谓“集成度”是指每个集成电路芯片所包含的元件数目，而“集成密度”则是指每单位面积芯片上集成的元件数目。下面将介绍，由于集成度的提高，使得集成电路的性能/价格比提高。因而集成度成了衡量集成电路技术进步的标志。

集成电路的发展（以下均指半导体集成电路，又称单片集成电路，以区别于混合集成电路，即各种元件用印制互连线在陶瓷衬底上联接成的电路），经历了小规模集成（SSI），中规模集成（MSI），大规模集成（LSI）及超大规模集成（VLSI）四个阶段。它们之间的划分并不是建立在严格的定义基础上的。不过，通常可以按以下规模来确定其集成度：

小规模集成电路的集成度小于10个门电路或小于100个元件；

中规模集成电路的集成度在10~100个门电路或元件数在100~1000之间；

大规模集成电路的集成度在100个门电路或元件数在1000个以上；

超大规模集成电路的集成度标准，至今尚未一致。但一般认为，集成度在100k个门电路（或存储器位数）以上的集成电路可

以认为是超大规模集成电路。因此, 256k 动态存储器可以认为是真正的 VLSI 集成电路的开始。

1.1.1 莫尔定律

1975 年美国 Intel 公司的 G. Moore 总结了集成度随年份增长的数据, 得出每一芯片集成的元件数目平均每年增加一倍(即乘 2) 的结论, 称为莫尔定律^[1]。图 1.1 是每个芯片集成的元件数目随年份增长的实际曲线。

由图可见, 二十多年来, 集成度确实是按指数规律迅速增长。这种趋势目前仍在继续, 虽然其增长速率已减缓为约每一年半增加一倍。1984 年, 动态随机存储器 (DRAM) 的集成规模达到 1 兆位。1986 年可达到 4 兆位, 到 1989 年前即可有 16 兆位以上问世, 此时集成度将达到每个芯片包含数千万元件。

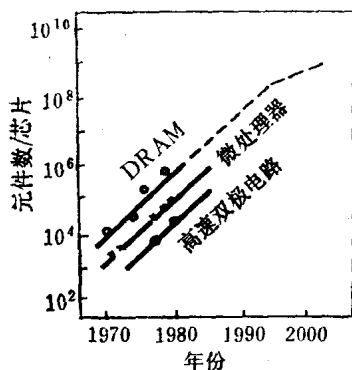


图 1.1 集成度随年份增长的曲线

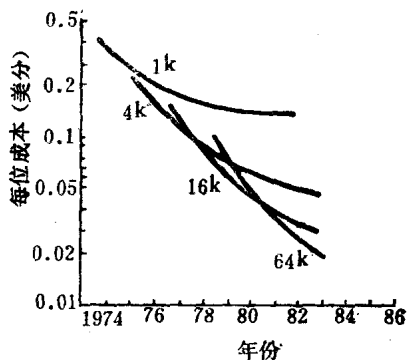


图 1.2 DRAM 每位成本随年份减小曲线^[2]

集成度的提高使得集成电路的成本下降, 可靠性提高, 性能改善。图 1.2 给出了近十年来由于集成度提高, 动态随机存储器每一位成本下降的曲线。总的趋势是大约每二年成本降低二分之一。1961 年, 硅平面集成电路采用 $25\mu\text{m}$ 的线条几何尺寸, 集成度为每

个芯片 4 个门, 管芯面积为 18mm^2 , 当时价格为每片 2.5 美元; 1981 年硅平面集成电路采用 $5\mu\text{m}$ 线宽, 集成度为 3500 门, 芯片面积为 17.3mm^2 , 价格也是 2.5 美元左右。可以有理由预计, 九十年代初期, 当亚微米线宽的生产技术成熟时, 象 IBM370 这样的大型计算机系统就可以集成在面积小于 30mm^2 的硅片上, 价格甚至会低于 2.5 美元^[2]。

集成电路相对于分立元件电路不仅体积小、重量轻, 而且可靠性高。这是因为, 电路失效的主要根源之一是焊接点的失效。集成电路内部用铝线连接, 需要焊接到外部的引线数与器件的总数之比随集成度的提高而急剧减小。图 1.3 是近十年来, 逻辑门相对失效率随集成度的提高而下降的情况。由图可见, 相对失效率以大约每二年降低二分之一的速度下降。

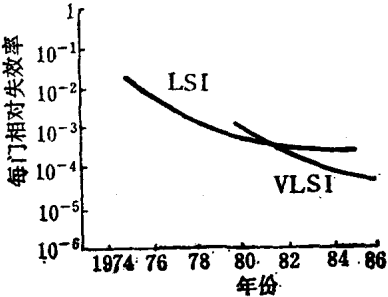


图 1.3 相对失效率随集成度的变化^[4]

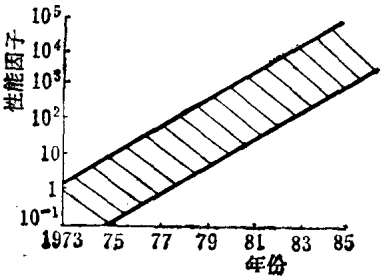


图 1.4 集成电路性能因子的进展^[5]

集成电路性能的两个重要指标是单门延迟时间 τ_p (表征速度) 及单门功耗 P 。通常用单门的延迟时间和其相应的功耗的乘积来作为集成电路的性能的品质因素。图 1.4 是十年来集成电路性能因子随时间变化的曲线。所谓性能因子, 就是前述的单门延迟时间与功耗乘积的倒数。可见, 在过去十年中, 随着器件几何尺寸的缩小及集成度的提高, 性能因子有了四个数量级的改善。

另一个描述集成电路性能的参数是功能(信息)吞吐率(FTR)。