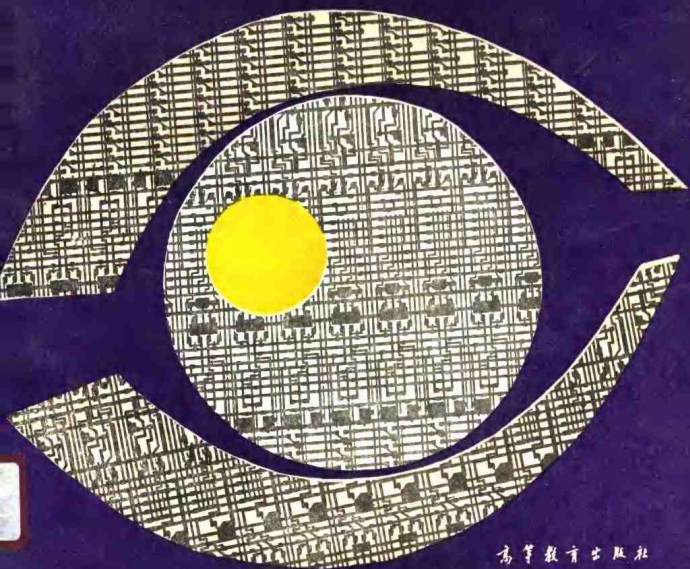


# CMOS VLSI 设计原理 和系统展望

★ [美] NEIL WESTE, KAMRAN ESHRAGHIAN

★ 茅于海 杨之廉 刘宝琴 译



高等教育出版社

本书英文版系美国 Addison-Wesley 图书出版公司出版的灯大规模集成系统丛书之一。从集成电路的行为特性、逻辑结构、芯片物理实现三个方面讲述了发展前景极为广阔的 CMOS VLSI 的设计原理，着重介绍了层次化和结构化设计方法及设计中采用的符号版图法。该书出版后，受到国内外广泛欢迎。

本书分三大部分。第一部分有五章，主要讨论 CMOS 电路的工作原理、工艺技术、特性和性能估计、电路和逻辑设计原理；第二部分有三章，重点介绍结构化设计和测试、符号版图设计系统及子系统设计；第三部分一章，介绍了五个定制设计的 CMOS 电路芯片的实例。书中有大量习题和富有特色的图例，并列举了丰富的参考资料。

本书可作为高等学校理工科电子类、通信类专业研究生及高年级学生的教材，也可供高等学校师生及工程技术人员参考。

责任编辑 姚王洁

## Principles of CMOS VLSI Design—A Systems Perspective

Neil Weste & Kamran Eshraghian  
Addison-Wesley Publishing Company, 1985.

### CMOS VLSI 设计原理和系统展望

Neil Weste, Kamran Eshraghian 著  
茅于梅 杨之康 刘淑琴 译

·  
清华大学出版社出版  
新华书店北京发行所发行  
北京顺义县印刷厂印装

·  
开本 787×1092 1/16 印张 27.25 字数 610 000  
1989 年 6 月第 1 版 1989 年 6 月第 1 次印刷

印数 0091—1,540

ISBN7-04-000844-0/TN·50

定价 10.35 元

## 译者的话

在现代超大规模集成(VLSI)电路中,互补金属-氧化物-硅(CMOS)电路获得了迅速的发展,它具有功耗低、噪声容限大、可适应较宽的环境温度和电源电压等一系列优点。Neil Weste和Kamran Eshraghian合著的《Principles of CMOS VLSI Design: A Systems Perspective》(1985年版)主要介绍CMOS工作原理、系统的设计方法。它是Addison-Wesley图书出版公司出版的VLSI系统丛书之一。

本书附有大量插图和例题,并列出了语音、图象处理和微处理器等方面的五个CMOS VLSI设计的实例。它是一本较好的教科书,也可供半导体器件专业人员和电路系统设计人员参考。具有大专以上水平的学生、技术人员便可阅读。

参加翻译工作的有茅于海(译序、前言、第一和九章)、杨之廉(译第二、三、六、七章和附录)和刘宝琴(译第四、五和八章)。茅于海对全部译稿进行了校阅。原书有些错误在译文中已经改正。限于译者水平,难免有错误或不妥之处,恳请读者批评指正。

译者

1986年8月于清华大学无线电系

## 序

超大规模集成(VLSI)系统这个主题跨越了极为广泛的学科领域,包括半导体器件和工艺、集成电子电路、数字逻辑、用于研制复杂系统的设计规则和方法以及整个超大规模集成系统的结构、算法和应用。Addison-Wesley 图书出版公司所出版的超大规模集成系统丛书构成了一组教科书和研究参考书,这些书介绍了在振奋人心的各种各样的领域中最新的研究成果,而每一本书则为其主题提供了其有关学科的发展前景。

由 Neil Weste 和 Kamran Eshraghian 撰写的“Principles of CMOS VLSI Design: A Systems Perspective” («CMOS VLSI 设计原理和系统展望») 一书同时为大学生和实际系统设计师提供了采用互补 MOS (CMOS) 工艺的定制超大规模集成电路设计方面的坚实基础。在过去的几年中,高度复杂的数字微电子学所选择的工艺快速地从 nMOS 转移到了 CMOS。之所以发生这种转移是因为 CMOS 可以在低功耗的同时提供高性能,尤其是当其尺寸按比例缩小时更为突出。尽管 CMOS 有很多优点,而且它已经广泛地应用于半定制门阵列和定制商品器件中,但仍然有待于从事超大规模集成系统设计的人们把它的全部潜力挖掘出来。CMOS 的电路设计和版图设计呈现出某些吓人的复杂性,然而 Weste 和 Eshraghian 两位作者采用了层次式和结构化的设计方法以及 CMOS 工艺的版图抽象化的方法有效地解决了这些问题。

本书提供了有条理的设计格式以及很多实际设计例子,使本书既可以当做教科书,又可以当做参考书。那些已经具备 nMOS 超大规模集成电路设计技巧的读者将会发现本书提供了几乎立即可用的 CMOS 设计方面的知识以及很多 CMOS 超大规模集成系统设计的起步常识。本书还阐明了各种类型 CMOS 工艺的异同及其对系统设计的影响。本书提出的符号版图法进一步帮助设计者从各种工艺变种的不同细节中回到其共同点上来。我们相信当设计师、研究人员以及设计方法构造人员联合起来探索 CMOS 超大规模集成电路设计的前沿时,都将发现本书是一本有价值的参考书。

Lynn Conway

于密执安州 Ann Arbor

Chuck Seitz

于加利福尼亚州 Pasadena

## 前 言

近年来,有志于从事设计和分析集成电路的人员越来越多了。而且,现在有两个主要的动向。由Mead和Conway统著的教科书“Introduction to VLSI Systems”(《超大规模集成电路系统导论》)中所主张的一种现在通常称之为“结构层次分级设计”方法中,伴随有一套精简和简化的几何和电气设计准则。这本书是基于nMOS耗尽型负载工艺的。设计任务一直扩展到画出版图细节。另一种动向则主要是由产业部门(而不是学术界)所支持的,这种动向是按照很多系统设计师的意向把定制集成电路的设计能力局限于逻辑设计的水平上。这主要表现为CMOS门阵列的形式,最近则是CMOS标准单元的形式。

编写本书的目的是为了帮助那些希望能超出标准单元和门阵列方法的人,使之实现能充分利用硅表面潜力的全定制设计。

本书的内容分为几个部分。第一部分主要讨论CMOS电路设计和CMOS的制造工艺;第二部分涉及到设计问题和子系统设计;最后一部分则给出了大量定制设计的CMOS电路的实例,读者可以从中汲取其它超大规模集成电路设计师的经验。

本书的一个中心论题是在CMOS设计中采用一种符号版图法。大多数版图的例子是以这种形式给出的,而对典型的体硅CMOS工艺,则是给出某些掩模级的版图。然而,在要求版图具有一定的寿命时,就可以采用符号版图。

这本书起始于一门课程,即作者Weste 1982年春季在北卡罗利那(North Carolina)大学(在Chapel Hill)和杜克(Duke)大学中所讲授的课程。后来作者Eshraghian 1983年春季在杜克大学以及1983/84年在阿德莱德(Adelaide)大学讲授了一门扩充了的课程。Kishor Trivedi博士在1984年春季讲授了杜克大学的CMOS课。类似的课程曾于1983年在AT&T的贝尔实验室(在Holmdel)也曾讲授过。

作者愿在此向那些在整理本书时作出支持和帮助的很多人表示感谢。Bryan Ackland对本书的出版作出了重要的贡献,其中有关键性的第二章和第四章的重写;Kishor Trivedi则在他讲授CMOS的课程中纠正了本书底稿中的很多错误;Steven H. F. Law, Gershon Kedem, Dave Ditzel, Don MacLennan, Malcolm Haskard, Alan Marriage, Marcus Paltridge, Jim Cherry, Richard Lyon, Mike Maul, Randy Katz, Jonathan Allan以及在AT&T贝尔实验室的计算机系统研究实验室中工作的同事们对本书第一稿提出了很多批评和建议;Jay Borris则在编写本书原稿时提供了很多资料。还要对R. L. Andersson, S. C. Knauer, J. H. O'Neill, A. Huang, John W. Poulton, Henry Fuchs, Alan Paeth, R. H. Krambeck and N. S. Vasanthavada等人对本书第九章中所作出的贡献表示感谢。此外, Alex Dickinson, Charles Poirier和Martin Levy在本书的最后阶段提供了支援。

最后,作者还要感谢 AT&T 贝尔实验室的管理人员所提供的经验、工作条件和资料,没有这些是不能完成本书的。此外,北卡罗利纳的微电子学中心以及相应的大学,尤其是杜克大学和北卡罗利那大学(Chapel Hill)提供了学术环境,正是在这样的环境中开始着手编写本书的。阿德莱德大学和 Symbolics 公司在本书编写的过程中提供了帮助。

Neil Weste

于马萨诸塞州 Cambridge

Kamran Eshraghian

于南澳大利亚 Adelaide

## 作者简介

Neil Weste 是美国杜克(Duke)大学计算机科学系的一位副教授,他还是Symbolic公司的超大规模集成电路系统部的主任。在加入 Symbolic 公司之前,Weste 在新泽西州 Holmdel 的 AT&T 贝尔实验室工作了六年。他还在北卡罗利那州的微电子学中心工作了一年,同时还担任杜克大学和北卡罗利那大学(Chapel Hill)的教学工作。Weste 是从南澳大利亚的阿德莱德大学获得他的学士、硕士和博士学位的。

Kamran Eshraghian 是南澳大利亚阿德莱德大学电机工程系的高级讲师。除了 CMOS VLSI 设计之外,他的研究工作还包括信号处理。Eshraghian 也是从南澳大利亚的阿德莱德大学获得他的学士、硕士和博士学位的。他还在北卡罗利那州的微电子学中心以及杜克大学工作了一年。在从事教学工作以前,Eshraghian 是飞利浦公司的一位集成电路设计师。

# 目 录

## 第一部分 CMOS 技术导论

<b>第一章 CMOS 电路基础知识</b> .....	3
1.1 引言.....	3
1.2 MOS 管.....	4
1.3 MOS 管开关.....	9
1.4 CMOS 逻辑.....	6
1.4.1 倒相器.....	6
1.4.2 组合逻辑.....	7
1.4.3 与非门.....	8
1.4.4 或非门.....	10
1.4.5 复合门.....	11
1.4.6 多路选择器.....	13
1.4.7 存储器.....	14
1.5 其它的电路表示法.....	15
1.5.1 行为特性表示法.....	15
1.5.2 电路结构表示法.....	15
1.5.3 物理结构表示法.....	18
1.6 CMOS 和 nMOS 的比较.....	22
1.7 本章小结.....	23
1.8 习题.....	23
<b>第二章 MOS 管理论</b> .....	25
2.1 引言.....	25
2.1.1 增强型 nMOS 管.....	26
2.1.2 pMOS 管.....	28
2.1.3 开启电压.....	29
2.1.4 开启电压的调整.....	29
2.1.5 衬底调制效应.....	30
2.2 MOS 器件的设计方程.....	30
2.2.1 电压-电流特性.....	32
2.3 CMOS 倒相器的直流特性.....	33
2.3.1 $\beta_n/\beta_p$ 比值对传输特性的影响.....	37
2.3.2 噪声容限.....	38
2.4 其它的 CMOS 倒相器.....	40
2.5 传输门的直流特性.....	42

2.6 门锁效应.....	44
2.7 习题.....	46
<b>第三章 CMOS 工艺技术</b> .....	47
3.1 硅半导体工艺概述.....	47
3.1.1 硅片的加工.....	47
3.1.2 氧化.....	48
3.1.3 选择性扩散.....	49
3.1.4 硅衬工艺.....	50
3.2 CMOS 工艺.....	51
3.2.1 p 阱工艺.....	52
3.2.2 n 阱工艺.....	60
3.2.3 双阱(槽)工艺.....	65
3.2.4 绝缘体上硅(SOI)工艺.....	68
3.2.5 CMOS 工艺的改进.....	72
3.3 版图设计规则.....	76
3.3.1 层的表示方法.....	77
3.3.2 p 阱工艺的以 $\lambda$ 为基准的设计规则.....	80
3.3.3 SOI 工艺的以 $\lambda$ 为基准的设计规则.....	85
3.3.4 双金属层的设计规则.....	87
3.3.5 设计规则小结.....	88
3.4 工艺的参量化.....	88
3.4.1 抽象层.....	89
3.4.2 间距规则.....	89
3.4.3 构造规则.....	89
3.5 本章小结.....	92
3.6 习题.....	92
<b>第四章 电路特性和性能估计</b> .....	93
4.1 引言.....	93
4.2 电阻值的估计.....	93
4.2.1 非矩形区的电阻值.....	94
4.3 电容量的估计.....	96
4.3.1 MOS 电容的特性.....	96
4.3.2 MOS 器件的电容.....	97
4.3.3 扩散区的电容.....	100
4.3.4 连线的电容.....	101





6.3 自动综合.....193	7.6.1 整体构造.....223
6.3.1 过程化(程序化)模块的确定.....193	7.6.2 文件组织.....224
6.3.2 硅编译器.....194	7.6.3 软件组织.....224
6.4 常规的设计工具.....197	7.6.4 芯片设计过程.....225
6.4.1 引言.....197	7.6.5 单元设计过程.....226
6.4.2 电路级模拟.....198	7.6.6 交互式图形编辑器.....226
6.4.3 时序模拟.....198	7.6.7 电路解释程序.....227
6.4.4 逻辑级模拟.....198	7.6.8 虚网络的压缩.....229
6.4.5 开关级模拟.....199	7.6.9 基于图的压缩.....232
6.4.6 时序验证程序.....199	7.6.10 掩模生成.....233
6.4.7 电原理图编辑器.....199	7.6.11 单元验证.....233
6.4.8 网单表的比较.....200	7.6.12 模块组装.....235
6.4.9 版图编辑器.....200	7.7 未来的方向.....235
6.4.10 设计规则检查程序.....200	7.7.1 可变单元.....235
6.4.11 电路提取程序.....201	7.7.2 专家系统.....236
6.5 测试.....201	7.8 本章小结.....237
6.5.1 引言.....201	7.9 习题.....237
6.5.2 故障模型.....202	<b>第八章 CMOS 子系统设计.....238</b>
6.5.3 可测性设计.....204	8.1 引言.....238
6.5.4 特设(Ad hoc)的测试.....204	8.2 加法器及其有关的函数.....238
6.5.5 可测性的结构化设计.....205	8.2.1 组合逻辑加法器.....238
6.5.6 自测试和内含测试.....206	8.2.2 动态组合逻辑加法器.....242
6.5.7 提高可测性的版图.....209	8.2.3 传输门加法器.....244
6.5.8 测试问题小结.....209	8.2.4 超前进位加法器.....246
6.6 本章小结.....209	8.2.5 曼彻斯特进位加法器.....250
6.7 习题.....209	8.2.6 二进制超前进位(BLC)加法器.....252
<b>第七章 符号版图设计系统.....210</b>	8.2.7 选择进位的加法器.....257
7.1 引言.....210	8.2.8 奇偶校验产生器.....258
7.2 粗网络的符号版图.....210	8.2.9 比较器.....260
7.3 栅阵列版图.....212	8.3 二进制计数器.....260
7.4 框形版图.....215	8.3.1 异步计数器.....260
7.5 虚网络的符号版图.....215	8.3.2 同步计数器.....261
7.5.1 语言.....216	8.4 乘法器.....263
7.5.2 器件.....217	8.4.1 串行乘法器.....261
7.5.3 接触孔.....218	8.4.2 串-并行乘法器.....261
7.5.4 连线.....219	8.4.3 并行乘法器.....267
7.5.5 引线点.....220	8.4.4 其它乘法器结构.....271
7.5.6 实例.....222	8.5 随机存取存储器.....271
7.5.7 表示法.....223	8.5.1 静态 RAM 单元.....272
7.6 符号法设计工具.....223	8.5.2 CMOS 静态 RAM 单元的设计.....274

8.5.3 动态 RAM(DRAM)单元	275	9.3.2 回顾: 视频信号的格式化	321
8.5.4 ROM 单元	276	9.3.3 芯片结构	323
8.5.5 行译码器	278	9.3.4 版面布置	328
8.5.6 列译码器	282	9.3.5 部件单元举例	329
8.5.7 读/写电路	283	9.3.6 芯片总成	332
8.5.8 后进先出的堆栈	285	9.3.7 优化	333
8.6 数据通道	286	9.3.8 设计校验	333
8.6.1 寄存器	286	9.3.9 物理芯片检验	333
8.6.2 算术逻辑单元	287	9.3.10 结论	334
8.6.3 桶形移位器	287	9.4 自动寻线交换网络	335
8.7 可编程逻辑阵列	288	9.4.1 引言	335
8.7.1 引言	288	9.4.2 排序和扩展网络的分割	336
8.7.2 CMOS PLA 的电气和物理结构的设计	289	9.4.3 芯片版图设计	346
8.7.3 准 nMOS 或非门	290	9.4.4 芯片电路模拟	353
8.7.4 动态两相时钟 CMOS	291	9.4.5 孤立功能的芯片检验	353
8.7.5 动态四相时钟 CMOS	292	9.4.6 小结	356
8.7.6 详细的 PLA 版图	293	9.5 象素平面图形机	357
8.7.7 else 子句的 PLA 实现	295	9.5.1 引言	357
8.7.8 PLA 设计要点	295	9.5.2 光栅扫描图形原理	358
8.7.9 可编程逻辑(PPL)	296	9.5.3 象素平面系统概述	359
8.8 习题	297	9.5.4 芯片的电气设计	366
		9.5.5 芯片的构成和版图设计	379
		9.5.6 时钟分配	380
<b>第三部分 CMOS 系统实例研究</b>		9.6 单片 32 位 CPU 的层次式版图设计	381
<b>第九章 系统实例研究</b>	301	9.6.1 引言	381
9.1 引言	301	9.6.2 设计方法	382
9.2 动态时间折弯处理器	301	9.6.3 工艺的可更新性和版图校验	395
9.2.1 引言	301	9.6.4 结果	398
9.2.2 问题的提出	301	9.6.5 结论	399
9.2.3 算法	303	9.7 结束语	399
9.2.4 功能概述	304	[附录] CMOS 和 nMOS 倒相器 噪声容限的计算	
9.2.5 详细的功能指标	307	参考资料	404
9.2.6 结构化的版面布置	314	文献目录	413
9.2.7 物理结构设计	317	英汉名词对照表	416
9.2.8 制造	320		
9.3 实时视频矩发生器芯片	321		
9.3.1 引言	321		

# 第一部分

## CMOS技术导论

这一部分把系统设计师引导至 CMOS 技术。第一章给出了 CMOS 电路设计的简单概述。第二章则介绍了基本的 MOS 管理论。第三章综述了一些 CMOS 处理工艺,并引入了典型的几何设计规则。第四章介绍了评估 CMOS 电路性能的一些技术。第五章则在某种程度上概括了 CMOS 电路设计师所能得到的各种电路类型。



# 第一章 CMOS 电路基础知识

## 1.1 引言

在过去几年中,互补金属-氧化物-硅(简称 CMOS)工艺在世界集成电路工业中起着越来越重要的作用。这并不是说 CMOS 工艺全是新东西,实际上 MOS 场效应管的基本原理早在 1925 年就由 J. Lilienfeld 提出来了,而且 O. Heil 在 1935 年就提出了一种极象现代 MOS 管的类似结构。但材料问题挫败了这些早期的尝试。早期的场效应管的实验导致了双极型晶体管的发明,这种器件的成功使人们逐渐对 MOS 管失去兴趣。60 年代初期发明了硅平面工艺以后, MOS 器件不再是一种稀奇的器件了,不过直到 1967 年前后,材料和质量控制问题还一直妨碍着 MOS 器件进入商业应用[参看 Cobb 70]。就是在那时候,发展得比较顺利的还只是单极型的 p 型 MOS 管或 n 型 MOS 管。在同一芯片上同时采用两种极型的器件最初只应用于极低功耗的场合(例如电子表)。由于在制造 CMOS 电路时所需的处理工艺远比单极型 MOS 管来得复杂,使得 CMOS 不能随便用到普通的设计系统中去。随着 nMOS 的制造过程变得越来越复杂,相比之下基本的 CMOS 工艺所增加的复杂性就显得不那么重要了。与此同时,系统设计师们面临着需要极大芯片尺寸和降低功耗的困难局面。由于这个原因和编写本书期间变得越来越明显的其它原因, CMOS 工艺作为一种超大规模集成电路工艺已经大大地提高了其重要性。

本书的目的是为了使硬件或软件系统设计师们能够对 CMOS 工艺、电路设计、版图设计和系统设计有足够的了解,以便使他们能对这种工艺具有充分的自信心。这本书把这种工艺分析得详尽到版图的水平,从而提供了一座从电路到可以进行制作这样一种形式之间的桥梁。目前,相对自动的设计方法可以将逻辑图自动转换为芯片的版图。然而,这种方法并没有真正地利用于集成电路的基本对象——晶体管。我们希望利用象本书一样的众多书籍后,读者可以汲取专家们的知识来构成各种软件系统,以至能在很短的时间里精确地构成极为复杂的任意结构或是构件化的硅系统。

本书分为三个主要部分:第一~第五章主要从电路观点来探讨 CMOS 集成电路的设计。第一章中介绍了比较理想化的 CMOS 工艺概貌,并介绍了一些逻辑电路及存储器的基本形式。这样做的目的是为了对整个工艺提供一幅完整的形象,而不致于钻进无关紧要的细节中去。第二章较深入地讨论了 MOS 管的工作以及 CMOS 倒相器和其它几个感兴趣电路的直流工作情况;还讨论了通常称之为闳锁的现象。CMOS 制作工艺的一些基础知识则在第三章中述及;这一章既描述了通用的基本工艺,也涉及到一些感兴趣的高级工艺;在这一章中也介绍了一些有代表性的设计规则。第四章中讨论了性能估计和电路工作特性这样一些重要的问题,其中包括速度和功耗;有一节还简述了一阶的尺寸按比例缩小的影响。第五章则对基本的 CMOS 电路形式进行了综合;还讨论了各种时钟电路方案,重点放在电路和版图设计。第二部分包括第六~第八章。

这些章节从子系统的观点来阐述 CMOS 电路设计。第六章中集中讨论了一系列现行的设计方法,并指出哪些地方在 CMOS 中是同样适用的;有一节介绍了测试技术。在第七章中讨论了符号版图设计技术,着重介绍了由作者之一实现的设计系统,这是为了使读者对定制 CMOS 设计系统所要求的一些要素有一个概念。第八章是有关子系统设计较重要的一章,其中利用了第五章中所介绍的电路,论述是从一系列加法器的设计开始的,然后再述及 RAM、ROM 和 PLA。最后一部分也就是第九章,它包括有五个不同复杂程度的 CMOS IC 的例子。这些章节的目的是描述一系列的结构抉择,直至最终完成全定制芯片设计;其中着重指出了和 CMOS 工艺有特殊关系的那些部分。

## 1.2 MOS 管

MOS(金属-氧化物-硅)结构是由导体、绝缘体和构成管子的材料等多层叠在一起组成的。经过一系列处理步骤后,就可以形成一种典型的结构,它包含有扩散层、多晶硅和金属层,其间用绝缘层相隔。CMOS 工艺提供了两种类型的 MOS 管(本书中有时也称为器件),即 n 型管(nMOS)和 p 型管(pMOS),它们或是用富有电子(带负电)的 n 掺杂硅材料做成,或是用富有空穴(电子的对偶,带正电)的 p 掺杂硅材料做成。这两种类型 MOS 管的典型物理结构示于图 1.1。对 n 型管,它的结构包含有一块 p 型硅和隔开的两个 n 型硅的扩散区;而分隔 n 区的那块面积

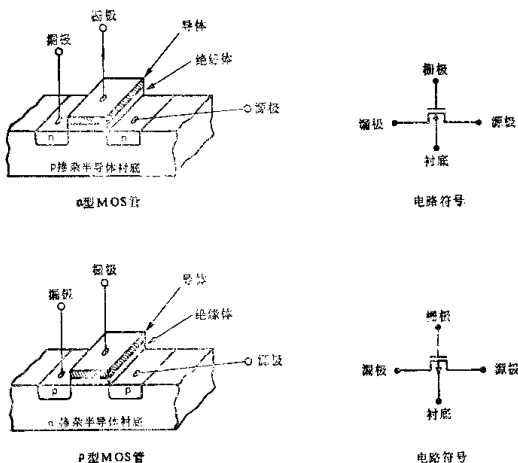


图 1.1 MOS 管的物理结构

上覆盖一个夹层状结构,它由一个绝缘层和一个称为栅极的导电电极构成。与此类似,对p型管,其结构包括一块n型硅和隔开的两个p型硅的扩散区;p型管也有栅极。为说明方便起见,我们将假定这个MOS管还有两个附加的连接,它们被称为漏极和源极,这是由n型(在p型管中为p型)扩散区所形成。栅极为一控制输入的电极,它影响了漏和源之间的电流。实际上,漏和源可以看作是二个开关的接点,它们在物理上是等效的,而其命名取决于电流的方向。从现在开始,我们将认为它们是可以互换的。

### 1.3 MOS管开关

栅极控制了漏和源之间的电流流通。简化为极端情况时,可以把MOS管看作是一个简单的通断开关。在下面的讨论中,我们将假定“1”为高电平,通常设置为5V,并称之为电源或 $V_{DD}$ ;而符号“0”将假定为低电平,它通常置于0V,并称之为地或 $V_{SS}$ 。“1”和“0”信号的强度可以变化。信号的“强度”是它吸收或产生电流能力的一种度量。通常,信号越强,它所能吸收或产生的电流就越大。在那些用输出和输入这种术语的地方,输出将是比输入要强的“1”和“0”的“源”;而电源( $V_{DD}$ 和 $V_{SS}$ )则是最强的“1”和“0”的“源”。

nMOS开关(N型开关)示于图1.2a。在电路表示图的旁边也画出了开关表示图。图中栅极标上信号s,漏极为a,而源极为b。在N型开关中,漏和源导通时,开关为闭合或接通(这发生在栅极加上“1”的时候);漏和源断开时,开关就打开或断开(在栅极上加“0”信号就确保了这一条件)。这些状态都综合在图1.2b中。当一个“0”信号从输入加到输出(即a至b)时,N型开关几乎是一个理想的开关;然而,当通过一个“1”信号时,N型开关就是一个不理想的开关,这时,“1”的电平值将会减小一点(这将在2.5节中解释)。这些情况示于图1.2c。pMOS开关(P型开关)示于图1.2d。它具有和N型开关不同的特性。当栅极上为“0”时,P型开关就闭合(或是接通);当栅极上为“1”时,该开关就打开(或是断开)。图1.2e中表列了这些情况。注意pMOS和

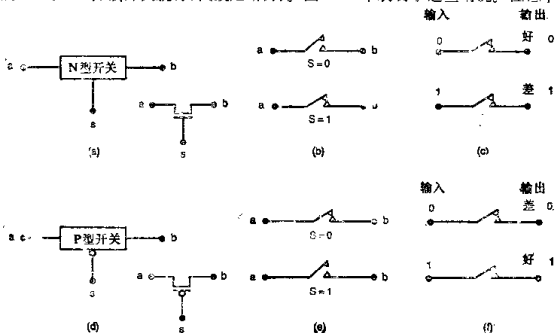


图1.2 看作开关的MOS管



nMOS 开关是在互补的栅极信号情况下通或断的。我们用一个表示倒相的小圆圈来标注 P 型开关的这种差别。P 型开关在通过“1”信号时,几乎是完全理想的;但在通过“0”信号时,则是不理想开关。这些情况画在图 1.2f 中。

如果把一个 N 型开关和一个 P 型开关并联地组合起来(图 1.3),我们就可以得到一种“0”和“1”都能以可接受的形式通过的新的开关。我们把这种开关称之为互补开关或是 C 型开关。在一个只需要通过“0”或“1”的电路中,相应的另一个子开关(N 型或 P 型)就可以省去,这时又恢复成为一个 P 型开关或是 N 型开关。应当注意到,互补开关隐含着一种双轨逻辑(控制输入及其互补值加到所有需要的地方。即控制信号加到 n 型管,而其互补信号则加到 p 型管)。

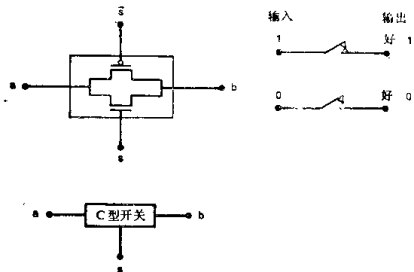


图 1.3 互补开关

## 1.4 CMOS 逻辑

### 1.4.1 倒相器

表 1.1 中给出了为实现逻辑倒相器所需要的状态。检验这个表就可以发现,当输入为“0”时,其输出为“1”,这就意味着可以用一个 P 型开关把“1”的源( $V_{DD}$ )连接至输出(如图 1.4a 所示);当输入端为“1”时,就应将“0”信号加到输出,这意味着在输出和“0”的源( $V_{SS}$ )之间再加上一个 N 型开关。整个电路示于图 1.4b。必须注意,如果下面的开关只要求通过一个“0”信号时(“0”的  $V_{SS}$  源要比倒相器的输出强度强),就只需要一个 N 型开关;与此类似,当上面的开关只要求通过一个“1”信号时,就只需要一个 P 型开关。倒相器的 MOS 管电路图和逻辑图示于图 1.4c。通常,完全互补的 CMOS 门电路永远有一个 N 型开关(向下拉)阵列把输出连接到“0”( $V_{SS}$ )和一个 P

表 1.1 倒相器的真值表

输入	输出
0	1
1	0