

★ EDA 工程系列丛书之

3

可编程器件 应用导论

曾繁泰 侯亚宁 崔元明 著



清华大学出版社

<http://www.tup.tsinghua.edu.cn>

EDA 工程系列丛书之三

可编程器件应用导论

曾繁泰 侯亚宁 崔元明 著

清华大学出版社

(京)新登字 158 号

内 容 简 介

为了帮助 EDA 工程人员在项目设计中选择合适的可编程器件,本书阐述了可编程器件的原理、结构和性能;介绍了世界上最新的可编程器件;展望了可编程器件的发展方向;介绍了半导体制造工艺对可编程器件的发展起到的推动和限制作用;阐述了深亚微米半导体工艺对 EDA 工程、设计方法和设计理论提出的挑战。学习、掌握好可编程器件结构和性能特点,才能量材使用,提高设计水平。本书是 EDA 工程系列丛书之三,可以作为 EDA 工程人员必备的工具书,也可以作为电子类、计算机类、硬件专业的本科生、研究生的参考书。

版权所有,翻印必究。

本书封面贴有清华大学出版社激光防伪标签,无标签者不得销售。

图书在版编目(CIP)数据

可编程器件应用导论/曾繁泰,侯亚宁,崔元明著.北京:清华大学出版社,2001

(EDA 工程系列丛书;3)

ISBN 7-302-04312-4

Ⅰ.可… Ⅱ.①曾…②侯…③崔… Ⅲ.可编程序控制器… N.TP332.3

中国版本图书馆 CIP 数据核字(2001)第 14451 号

书 名:可编程器件应用导论

作 者:曾繁泰 侯亚宁 崔元明 著

出 版 者:清华大学出版社(北京清华大学学研大厦,邮编 100084)

<http://www.tup.tsinghua.edu.cn>

责任编辑:唐玲

印 刷 者:清华大学印刷厂

发 行 者:新华书店总店北京发行所

开 本:787×1092 1/16 印 张:20 字 数:466 千字

版 次:2001 年 4 月第 1 版 2001 年 4 月第 1 次印刷

书 号:ISBN 7-302-04312-4/TP·2535

印 数:0001~5000

定 价:30.00 元

前 言

随着技术的进步，电子产品更新换代速度可谓日新月异。电子产品开发研制的动力源、加速器就是 EDA 工程。现代电子设计技术的核心也是 EDA 工程。EDA 工程的理论基础是自动化理论，软件工程，编译原理，电路理论，微电子学，半导体工艺等学科。它的知识体系结构为：

- 现代电子设计理论
- 硬件描述语言
- EDA 设计方法论
- EDA 工具的开发及应用
- 可编程器件的原理、结构及应用
- EDA 工程的应用及实践

EDA 工程在我国尚未普及，电子设计专业人员，电子类、计算机类的大学生、研究生急需掌握 EDA 技术。为了完整的建立起这门学科，构筑 EDA 工程知识体系，有必要将这些理论、方法、工具、工艺和实践系统完整地组织起来，创建一门立论严谨，基础坚实，方法先进，国民经济建设急需的先进学科，这是作者的义务；EDA 工程属于电路理论、半导体物理、计算机软件的边缘学科，创建 EDA 工程专业，这是作者的设想。出版界的朋友，选题准确，决策果断，与作者协商，计划出版一套 EDA 工程丛书，介绍给国内读者。初步计划为：

- | | |
|-----------------|--------------------|
| • 《EDA 工程概论》 | 丛书之一，曾繁泰 李冰 著 |
| • 《VHDL 程序设计》 | 丛书之二，曾繁泰 陈美金 著 |
| • 《可编程器件应用导论》 | 丛书之三，曾繁泰 侯亚宁 崔元明 著 |
| • 《EDA 设计方法学导论》 | 丛书之四，曾繁泰 沈卫红 著 |
| • 《EDA 工程实践》 | 丛书之五，曾繁泰 曾峰 著 |

《EDA 工程概论》阐述了 EDA 工程的知识体系，以及 EDA 工程与传统电子设计方法的根本区别，内容涉及 EDA 工程理论基础、EDA 软件工具开发、PLD 硬件结构和 IC 设计实践诸方面。

《可编程器件应用导论》从应用的角度阐述了可编程器件的三种基本形式：数字、模拟、混合可编程器件的原理、结构、参数和最新进展。阐述了嵌入式(ESP)PLD、SOC 芯片、主流器件在深亚微米条件下的电路性质以及对电子设计人员提出的挑战。

《VHDL 程序设计》主要由两篇组成，上篇阐述了 VHDL 语言的语法基础和程序结构；下篇阐述了组合、时序逻辑、微处理器、总线接口模块的设计方法，以及可测试设计，优化设计方法。上篇介绍 VHDL 语言基础，力求概念清楚。下篇介绍 VHDL 程序设计，力求实践丰富。书中实例，都是作者从工程项目实践中精选出来的，这些实例读者可以做成 IP

模块,建立自己的IP库,以便重复利用。本书力求能够讲清硬件描述语言的语法,程序结构,编程方法,同时把大量的基础IP模块奉献给大家,使之对设计工作有所帮助。

《EDA 设计方法学导论》阐述了在专用集成电路(ASIC)设计、系统集成(SOC)中的逻辑综合,器件实现,系统仿真,时序分析,故障诊断,形式验证,优化设计等专题。归纳了EDA方法学的一般规律,建立了现代电子设计理论的基础。一些前沿课题正在研究、探索之中。

《EDA 工程实践》通过实例,阐述了利用EDA工程进行电子系统设计、ASIC设计、SOC设计的方法;利用深亚微米工艺条件下的电路性质和计算机软件工程进行EDA工具软件设计、测试平台设计、软硬件协同验证环境设计的方法。探讨了我国EDA专业软件产业的发展方向,探讨了无芯片EDA公司(从事IP模块生产)、无生产线集成电路设计公司的运作。

本书是《EDA 工程系列丛书》之三。

这套专著的出版,像五块奠基石,奠定了EDA工程的学术基础,建立了EDA工程的知识体系;它对推动我国EDA工程的发展,加快更新传统电子设计方法,改变我国电子产业落后面貌,将起到积极作用;如果它能对电子工程师们的设计工作有所帮助,我们将感到十分欣慰,因为一切为读者着想,是作者的写作目的,也是出版者的责任。我们呼吁教育管理部门,加快更新陈旧教材;改变我国电子工程教育落后于科技发展的局面。作者也希望能有三尺讲坛,将这门学科介绍给后人。

完成这套丛书的写作工作,是一项十分繁重、艰苦的劳动,涉及面广,资料缺少,难度很大,十分具有挑战性。出版界的朋友——清华金地公司的同志给予我们大力支持,联络出版具体事务;ALTERA公司赵典锋先生给予了大力支持,提供了优秀EDA工具;山东大学EDA中心的同志分担了我许多繁杂的工作,使我有精力和时间完成这项工作。在此向支持帮助我的各界朋友、学校领导、同事表示衷心感谢。

本书由曾繁泰、侯亚宁、崔元明三位EDA中心的工程人员,通力合作完成。参加本书编写工作的还有陈美金、李冰、李传海、齐鲲鹏、徐丽、周长虹等同志。由于作者水平所限,书中不妥之处,请广大读者批评指正。

作者

2000年12月

目 录

第 1 章 概述.....	1
第 1 节 可编程器件概述.....	1
第 2 节 可编程技术方法.....	2
1.2.1 编程技术	2
1.2.2 发展趋势	3
第 3 节 专用集成电路(ASIC).....	4
第 4 节 可编程逻辑器件 PAL 和 GAL	5
第 5 节 可编程器件的分类.....	6
第 6 节 复杂的可编程器件(CPLD).....	8
第 7 节 现场可编程逻辑门阵列(FPGA).....	10
第 8 节 可配置计算逻辑阵列.....	12
第 9 节 可编程专用集成电路(ASIC)	14
第 10 节 流行可编程器件一览.....	16
第 2 章 可编程器件原理.....	19
第 1 节 概述	19
第 2 节 可编程器件基本结构.....	20
2.2.1 简单 PLD.....	20
2.2.2 可编程阵列逻辑(PAL)的内部结构	20
2.2.3 复杂的 CPLD 器件结构	21
2.2.4 FPGA 器件结构	21
第 3 节 基于熔丝技术的可编程器件	29
第 4 节 基于 EPROM 和 EEPROM 技术的可编程器件	31
第 5 节 基于 SRAM 技术的可编程器件.....	32
第 6 节 基于 Flash 的可编程器件.....	34
2.6.1 闪存结构原理	34
2.6.2 基于闪存的可编程器件.....	36
2.6.3 用于闪存的可编程器件的 EDA 工具.....	37
2.6.4 基于快速闪存的 ProASIC 500K 器件	38
第 7 节 流行 PLD 器件的特征	40
第 8 节 FPGA 器件的选用指南.....	42
第 3 章 可编程器件边界扫描机构	45

第1节 概述	45
第2节 集成电路测试标准——JTAG	45
3.2.1 JTAG 逻辑测试电路结构	45
3.2.2 JTAG 支持的指令	46
第3节 标准模块描述	46
3.3.1 测试接入端口 TAP	46
3.3.2 TAP 控制器	46
3.3.3 指令寄存器	47
3.3.4 边界扫描寄存器	48
第4节 集成电路在系统编程标准——JTAG	49
第5节 JTAG 编程应用	53
3.5.1 功能描述	53
3.5.2 下载方式	53
3.5.3 Byte BLASTER 信号定义	54
3.5.4 JTAG 配置单个 FLEX10K 器件	55
3.5.5 JTAG 编程单个 MAX9000 和 MAX7000 器件	55
3.5.6 JTAG 编程或配置多个器件	56
第4章 CPLD——MAX7000 系列器件结构	58
第1节 高密度、低功耗的 CPLD 和 FPGA	58
第2节 MAX 7000 系列器件的结构和性能	60
第3节 MAX7000 系列器件概述	61
4.3.1 功能描述	62
4.3.2 逻辑阵列块	63
4.3.3 宏单元	63
4.3.4 可编程连线阵列	66
4.3.5 I/O 控制块	67
4.3.6 可编程速度/功耗控制	68
4.3.7 电压摆率控制	69
4.3.8 3.3V 或 5V 电源下的 I/O 工作电平	69
4.3.9 设计加密	69
4.3.10 定时模型	69
4.3.11 一般性测试	71
第4节 MAX+PLUS II 开发系统	71
4.4.1 器件编程	71
第5章 CPLD——XC9500 系列	72
第1节 结构描述	73

第2节 功能块(FB).....	74
第3节 开关矩阵 FastCONNECT	78
第4节 I/O 块(IOB).....	79
第5节 XC9500 器件的其他特性	81
5.5.1 持续性	81
5.5.2 设计保密性	81
5.5.3 低功耗模式	81
5.5.4 加电特性	81
第6节 XC9500 时序模型	82
5.6.1 时序模型	82
5.6.2 基本时序模型的参数	84
第7节 系统内编程	85
5.7.1 下载设计文件	85
5.7.2 JTAG 用于系统内编程	86
5.7.3 ISP 编程	88
第8节 系统级设计问题	89
第9节 引脚锁定能力	90
5.9.1 XC9500 器件的引脚预分配	91
5.9.2 数据通道的资源估算	91
5.9.3 控制通道资源估算	92
5.9.4 引脚预分配的一般规则	92
第10节 优化设计	92
5.10.1 优化密度	93
5.10.2 优化时序	93
5.10.3 原理图优化设计方法	94
5.10.4 VHDL 程序优化设计方法	94
第6章 FPGA——XC4000 系列	96
第1节 概述	96
第2节 结构	99
6.2.1 基本积木块	99
6.2.2 可配置逻辑功能块(CLB)	100
6.2.3 输入/输出功能块(IOB)	112
6.2.4 三态缓冲器	118
6.2.5 周边多输入译码器	119
6.2.6 片内振荡器	120
第3节 可编程互连	120
6.3.1 互连概述	121

6.3.2	CLB 布线连接.....	121
6.3.3	可编程开关矩阵.....	123
6.3.4	I/O 布线.....	125
6.3.5	全局网线和缓冲器.....	127
第 4 节	功率分布.....	132
第 5 节	边界扫描电路.....	133
6.5.1	XC4000/XC5000 边界扫描特性概述.....	133
6.5.2	与 IEEE1149.1 标准的偏差.....	133
6.5.3	边界扫描硬件描述.....	134
第 6 节	配置.....	139
6.6.1	专用引脚.....	139
6.6.2	配置模式.....	140
6.6.3	配置顺序.....	144
6.6.4	配置时序.....	149
第 7 章	ACEX 可编程逻辑系列.....	156
第 1 节	特点.....	156
第 2 节	器件性能.....	157
第 3 节	嵌入式阵列块 EAB.....	160
第 4 节	逻辑阵列块 LAB.....	163
第 5 节	逻辑单元 LE.....	164
第 6 节	进位链和级联链.....	165
第 7 节	LE 的工作模式.....	167
第 8 节	快速通道互连布线结构.....	170
第 9 节	I/O 单元(IOE).....	173
7.9.1	行到 IOE 的连接.....	175
7.9.2	列到 IOE 的连接.....	175
第 10 节	封装.....	176
第 11 节	时钟锁定和时钟自举.....	177
第 12 节	I/O 配置.....	178
第 13 节	电源时序和热插拔操作.....	180
第 14 节	JTAG 边界扫描支持.....	180
第 15 节	一般性测试.....	181
第 16 节	定时模型.....	182
第 17 节	功耗估算.....	185
第 18 节	配置和操作.....	185
第 8 章	具有多核结构的 PLD 器件.....	187

第 1 节 APEX 20 可编程逻辑器件系列	187
第 2 节 一般描述	189
第 3 节 功能描述	190
8.3.1 MegaLAB 结构	191
8.3.2 逻辑阵列块	192
8.3.3 逻辑单元	193
8.3.4 进位链和级连链	194
8.3.5 LE 操作方式	195
8.3.6 FastTrack 互联	197
8.3.7 乘积项逻辑	200
8.3.8 宏单元	201
第 4 节 嵌入系统块 ESB	203
8.4.1 钟控读/写方式	204
8.4.2 钟控 I/O 方式	205
8.4.3 单口 RAM 方式	205
8.4.4 按内容寻址存储器(CAM)	205
8.4.5 驱动信号到 ESB	206
8.4.6 ROM 中的逻辑实现	207
8.4.7 可编程速度/功耗控制	207
第 5 节 I/O 结构	207
8.5.1 专用快速 I/O	209
8.5.2 高级 I/O 标准支持	210
第 6 节 相同构造输出引脚	211
第 7 节 时钟锁定和时钟引擎	212
8.7.1 APEX20KE 时钟锁定机构	212
8.7.2 外部 PLL 反馈	212
8.7.3 时钟倍频	212
8.7.4 时钟相位和延时调节	213
8.7.5 LVDS 支持	213
8.7.6 时钟锁定和时钟引擎的时序参数	213
8.7.7 SignalTap 嵌入式逻辑分析仪	214
第 8 节 支持 IEEE 1149.1 标准边界扫描	214
8.8.1 一般测试	216
8.8.2 工作条件	217
8.8.3 时序模型	220
8.8.4 配置和操作	221
第 9 章 可编程器件设计方法	226

第1节 可编程器件设计流程.....	226
9.1.1 可编程器件的设计流程.....	226
9.1.2 可编程器件的设计方法.....	228
第2节 EPLD 设计指南.....	229
9.2.1 时钟	229
9.2.2 清除和置位信号.....	233
9.2.3 组合输出寄存	233
9.2.4 异步输入	233
9.2.5 竞争状态	234
9.2.6 最小延时	235
9.2.7 加电复位和主复位信号.....	235
9.2.8 滞留状态	236
9.2.9 扩展项锁存器和触发器.....	237
9.2.10 小结	237
第3节 EPLD 的定时关系.....	237
9.3.1 引言	237
9.3.2 EPLD 内部延时参数.....	238
9.3.3 交流参数	239
9.3.4 EPLD 定时模型.....	240
9.3.5 计算时间延时	240
9.3.6 示例	241
9.3.7 小结	242
第4节 解决 EPLD 设计中的时间配合问题.....	242
9.4.1 引言	242
9.4.2 消除毛刺	243
9.4.3 避免异步计数方式.....	245
9.4.4 寄存器异步输入信号.....	246
9.4.5 小结	246
第5节 MAX 7000 器件的试配设计.....	246
9.5.1 引言	246
9.5.2 试配原则	246
9.5.3 安放 LCELL 和 SOFT 缓冲器.....	248
9.5.4 编译器错误信息.....	250
9.5.5 小结	251
第6节 EPLD 器件编程故障排除.....	251
9.6.1 引言	251
9.6.2 编程硬件	251
9.6.3 编程软件	252

9.6.4 校验编程硬件	252
第 7 节 EPLD 器件的功能性故障问题	252
9.7.1 引言	252
9.7.2 排除故障	253
9.7.3 解决定时问题	254
第 8 节 PLD 应用技巧	254
9.8.1 选择合适的器件, 进行合理的逻辑设计	255
9.8.2 注意定时关系, 消除竞争冒险	255
9.8.3 其他技巧	256
第 10 章 可编程器件的测试和设计验证	257
第 1 节 可编程器件基准测试方法	257
第 2 节 可编程器件验证方法	257
第 3 节 可编程器件测试设备	260
第 4 节 改进验证和测试方法	264
第 5 节 设计流程中的组合测试方案	265
第 6 节 可编程器件质量标准	268
第 11 章 可编程器件发展趋势	272
第 1 节 片上系统	272
11.1.1 片上系统概述	272
11.1.2 系统级芯片设计的集成平台方法	276
11.1.3 基于 IP 模块的片上系统设计技术	278
11.1.4 真正的系统芯片展望	281
11.1.5 单芯片系统设计方法的比较	283
第 2 节 嵌入式现场可编程单片系统	285
第 3 节 模拟可编程器件	287
11.3.1 在系统可编程模拟电路的结构	288
11.3.2 PAC 的接口电路	291
11.3.3 ispPAC 的增益调整方法	293
第 4 节 混合可编程器件	299
第 5 节 激光可编程器件	301
第 6 节 可编程器件技术展望	301
参考文献	303

第1章 概 述

第 1 节 可编程器件概述

可编程器件经过几年的发展,芯片规模、密度、性能有了惊人的变化。可编程逻辑器件成为计算机应用、通信技术、自动控制、仪器仪表等领域广受技术人员欢迎的器件,它是科学实验、样机试制、小批量生产的最佳选择。现在的电子设计师,不仅要设计电子线路,设计 PCB 板,还要设计 ASIC(Application Specific Integrated Circuit)芯片。掌握现代电子设计方法,熟悉可编程器件结构是当前我国电子企业工程师的当务之急,是高校电子类、计算机类本科生、研究生的必修课。

自 Jack Bill 博士发明第一片 IC 起,逻辑器件已经走过了 40 个春秋。从简单的门电路到复杂的微处理和存储器,从可编程器件到 DSP 和 ASIC,逻辑器件与整个半导体工业一道成长壮大。

PLD 业界有三大发展方向:一、向密度更高、速度更快、频带更宽的百万门系统级方向发展。二、向嵌入标准或通用功能方向发展。三、向低电压、低功耗的绿色元件方向发展。

可编程逻辑器件,主要是指 CPLD 和 FPGA,能应用在不同的高科技研发领域,如数字电路设计、微处理器系统、DSP、电信、可重构计算机及 ASIC 设计。由于以 EEPROM、SRAM 或 FLASH 为基础,用户可以通过计算机对芯片进行编程,大大降低成本和缩短开发时间。在中国,通信设备制造商是 PLD 的最大用户。此外,也有厂家正用 PLD 开发 DVD,机顶盒、可视电话和 Internet 家庭娱乐设备。

近几年,我国在消费电子和通信设备制造方面成绩不菲。21 世纪是知识经济时代,人们需要的是“高价值”的产品,而非“高产量”的产品。那么,有没有办法让我国的电子产品来一个“飞跃”,迅速从“低端”跨到“高端”呢?回答是肯定的,有效利用 PLD 技术是解决方案之一。

随着中国的企业由制造型向设计型转变,利用 FPGA 作原型设计及前期样品生产的方法将会逐渐流行。通过使用 FPGA/CPLD,可得到降低成本和上市时间快的好处。

数据通信的应用需求量很大,我国路由器产品采用 CPLD 起了很大作用。近几年我国工程师,设计能力明显提高。能够把 IC 的功能研究得非常细,通过增加功能,设计出与众不同的产品。根据市场要求研究 IC 能否支持这些功能,从而设计出面向市场的产品。

遗憾的是,许多工程师并未充分意识到 PLD 作用,他们仍然停留在过去的看法上,如成本高、性能低、只适合 ASIC 原型设计等等,其实今天的 FPGA 已经可以做系统级芯片了。

第2节 可编程技术方法

人们通常用“ASIC”这个术语来指门阵列、标准单元器件和完全定制的集成电路，但这些都只是设计师的界定，其最后的构成还是掌握在器件生产厂家的手里。不过从更为普通的用法上看，“ASIC”还包括了那些人们熟知的“现场可编程器件(FPD)”的系列器件。

“FPD”亦可理解为用户能在应用现场定制的任何集成电路(IC)的统称。也就是说，具有掌握专用的 EDA 软件实用程序和相关物理器件编程工具的用户，为完成一项任务或创造一种功能，他自己就能够自己定制一个 FPD。FPD 的种类繁多，术语本身也在不断变化。例如，在 1995 年的“FPD”一般只用于数字式逻辑电路，如简单的 PLD(简单可编程逻辑器件)、CPLD(复杂可编程逻辑器件)和 FPGA(现场可编程门阵列)。但现在已发展到把现场可编程模拟器件(FPAD)、现场可编程混合信号器件(FPMSD)也包括在内。

点接触式晶体管问世是 30 多年的事。20 世纪 50 年代初期，双极型晶体管(BJT)取代了点接触式器件，此后 10 年又出现了 MOSFET(金属氧化物半导体场效应晶体管)。在此期间虽有许多报导，但 PLD 还是到了 20 世纪 70 年代初才发展起来，但是仙童(Fairchild)公司在 1967 年就推出了微镶嵌(Micromosaic)技术，许多人认为这是现代 ASIC 的先驱。与此同时，数字式 FPGA 也在 20 世纪 80 年代末登台亮相；其相同的现场可编程模拟器件(FPAD)则在 1994 年问世；现场可编程数字/模拟混合信号器件(FPMSD)在 1997 年末或 1998 年初出现。

1.2.1 编程技术

“编程技术”是指用以生成 FPD 用户可编程转换的物理技术。其最常用的技术有熔断丝型链接、反熔断丝型、EPROM 和 EEPROM 单元电路、晶体管和 SRAM 单元电路。熔断丝型链接器件与家用电器的保险丝相类似，加过大电流会直接改变其电性能。两类主要的熔断丝型链接技术是指采用旁侧式熔断丝或是垂直式熔断丝。旁侧式熔断丝有一种与 BJT 串联的钨钛合金丝，当有足够大的电流流过时就会使其熔断。这种类型的熔断丝开始处于短路状态，在对其编程后则变为开路。而垂直式熔断丝是在晶体管在 BJT 基极、发射极处形成一个垂直熔断丝。这种类型的链接开始处于开路状态，因为 BJT 的作用像两个背对的二极管，从而阻碍电流的流通。但是如果强迫一个序列的电流浪涌通过 BJT 的发射极，那就会发生雪崩效应，发射极即“崩溃”并熔化，呈现短路状态。

作为另一种类型的熔断式链接，是某些 FPD(主要是 CPLD 和 FPGA)采用反熔断丝技术。反熔断丝链接是在两层金属层之间有一条非晶硅(非结晶态的)通道。在未编程状态时，非晶硅是绝缘体，其阻值大于 $1\text{G}\Omega$ ，但是用户可以对该器件的输入加大电流(约 20mA)信号，以对反熔断丝链接进行编程。这种编程电流信号，使绝缘的非晶硅变成导电的多晶硅，从而使链接有效地“增长”。熔断丝型链接和反熔断丝技术都是人们熟知的“一次性可编程”(OTP)技术，因为一旦对其完成了编程，就无法恢复原来状态，也不能再改变其状态(虽然对未编程的链接你还可以修改)。

传统可编程器件(SPLD)的设计一般都以 AND 阵列、OR 阵列为基础的 PLA。在 PLA 中 AND 功能的数量不受输入数量的限制。OR 功能的数量也不受输入数量和 AND 功能数量的限制。同时, SPLD 也不需要 AND 输入阵列反馈到 OR 输出阵列;某些器件有两个 NAND(与非)阵列,其他的有两个 NOR(或非)阵列,有的则有一个 NAND 阵列驱动一个 NOR 阵列。甚至有“折叠逻辑”,以一个单一的阵列为基础,将其输出反馈回阵列以实现“和一积”表达式。

许多应用并不要求 AND 和 OR 阵列都是可编程的。例如,在 PAL 器件中,AND 阵列是可编程的,而 OR 阵列则是预先定义的。PLA 比 PAL 更为灵活,但 PAL 的运行速度较快,因为硬线连接所用的转换时间比相应可编程所用的时间要少。事实上由于速度快、造价也低,所以 PAL 是所有 SPLD 中最为常用的方式。

SPLD 器件系列中最后一种是 PROM,它可以看成是一个驱动预先定义了的可编程 OR 阵列的 AND 阵列。(事实上 PROM 的内部层次结构更近似于一个驱动可编程 OR 阵列的解码器)。人们常常把 PROM 看成是存储器件,其中加给输入的每个地址都返回器件一个编程的数值。但是从传统经典的意义上看,PROM 也是 PLD。

除了核心功能外,SPLD 还有各种其他的可编程的任选功能,例如可作三态的和寄存的输出。用作寄存输出时,许多器件都允许用户对所需要的寄存器型号进行编程,如 D 型锁存或 SR 型锁存或 D 型、T 型、或 JK 触发器。此外,许多器件也允许用户对其外部引脚编程为输入、输出或是双向的应用。

对于熔断丝链接和反熔断丝技术(一次可编程性)的关注,也是对 PROM 的关注,因为它们存储的数据是要改变的,这与其他 SPLD 相似,所有的元器件包括二极管、晶体管和保险丝在内,都是在单片硅的衬底表面上生成的;它的有用之处,是可以具体看到器件是由明显的两层组成,并且可以想象如何用 EPROM 或 EEPROM 晶体管来代替熔断丝型的链接。

GAL 器件是电可擦除的 PLD(EEPLD)中一种复杂的编程器件。可重新编程的器件继承了熔断丝型和反熔断丝链接的器件的优点,能经受出厂前更严格的检测,在给最终用户发货前要完成一项或多项编程和擦除循环试验。另外,还有系统内可编程器件可提供用户在印制电路板上对其编程。

1.2.2 发展趋势

FPD 更为诱人的发展趋势之一是它可以扩展进入模拟和混合信号领域。IMP 公司(加州圣何塞市)向市场推出了第一批 FPAD 中的一个品种,它就是 IMP50E10。IMP 公司称之为电编程的模拟电路(EPAC),它含有几个模拟模块,如模拟多路复用器、取样保持放大器等。IMP 公司也提供了一种易于使用的编程接口 Analog Magic,这种编程接口可以允许用户自己设定模块的参数,如放大器的增益和补偿以及连接模块的方法。IMP 公司计划推出一系列这样的器件,并且在最近又宣布推出了 IMP50E30,这种产品的设计目的是用于监视、诊断和给限制外的模拟状态设定标志。这种新器件特别适用于办公设备、计算机外设以及电源控制等应用领域。这些以 SRAM 为基础的 EPAC,使用户能在运行中对它们重新编程,

但它们也有一个板上的 EEPROM 块,可以装入配置数据,这样在通电时,就可以用作缺省配置的数据。这类器件是面向模拟信号处理设计师的,但是那些在自己的设计中也需一定数量模拟器件的数字电路设计师们,也会对它们感兴趣的。EPAC 的主要问题是它们并不特别通用,而且把 Analog Magic 接口与其他工具链接,给用其他器件来对它们进行仿真带来了不便。

另有一种有趣的器件是 Adapfive Logic 公司(加州圣何塞市)的 AL220 可编程模拟模糊逻辑微控器,这是一种用于各种控制系统的理想器件。但是这种器件也不是广义的通用可编程模拟器件。事实上第一个真正的通用 FPAD,由 Motorola 公司推出。Pilkington 公司(英国 St.Helens 市)建立了战略研究与开发小组,叫做 Pilkington Microelectronics(PMEL),它的开发获得 Motorola 公司许可。最初推出的这种器件是一个由 20 个模拟单元电路组成的 4×5 单元阵列,可以对每个单元进行配置以完成一个高级功能,如放大器、加法器/减法器、积分器/微分器等等。用户可以对每个单元个别地配置参数,如放大器的增益,而且可以安排编程的方式,使所有的单元都连接起来,从而实现复杂的模拟功能。此外,这个以 SRAM 为基础的器件与 Motorola 公司的数字式 FPGA 有同样的配置机制;而且两种器件都支持一种接口总线,允许它们连接以实现两个芯片混合信号的设计。Motorola 公司已具备 β 采样(beta sampling)所用的功能硅元件。

第 3 节 专用集成电路(ASIC)

ASIC 出现于 20 世纪 80 年代后期至 90 年代初期,顾名思义是为某类整机系统设计和制造的专用 IC。

ASIC 大致可分为:门阵列电路,标准单元电路,可编程逻辑电路(PLD),全定制电路(Full Custom IC)。其中前三类电路又称为“半定制电路”(Semicustom IC)。

一般而言,“半定制电路”或采用带有基本单元的“母片”(又称“基板”),或采用标准单元库中的标准单元。设计师所关心的只是利用这些标准单元,根据系统的要求来选择布线方案以构筑不同的系统。当然,标准单元的意义已由早期的门、触发器,扩展到当前的微处理器、存储器等,这些规模较大的标准单元在专业上又称为“核”。“全定制电路”则从基本单元到整个系统均由系统设计师来构建。所以当今的专用 IC 已是:“Today's boards are tomorrow's ASICs”。

系统设计师必须清楚地了解各类 ASIC 的含义,以选取最适合自己设计系统的 ASIC 芯片。

20 世纪 80 年代中期出现了复杂可编程逻辑器件(CPLD),这类器件通常被称为可编程专用 IC。而前面介绍的 ASIC 称为掩模(mask)ASIC。可编程 ASIC 与掩模 ASIC 相比,不同之处在于前者具有用户可编程特性。

利用可编程 ASIC,电子系统设计师可在办公室或实验室设计出所需的专用 IC,实现系统的集成,从而大大缩短了产品的开发、上市时间,降低了开发成本。此外,可编程 ASIC 一般还具有静态可重复编程或在线动态重构特性,使硬件的功能可像软件一样通过编程来

修改, 不仅使设计修改和产品升级变得十分方便, 而且极大地提高了电子系统的灵活性和通用能力。

ASIC(Application Specified Integrate Circuit)是指相对于通用集成电路而言的用户专用集成电路。ASIC 器件由用户的电子工程师定义器件功能, 由半导体厂家的工艺师画线路板图。这个设计过程需要几个星期或数月, 硅片制造过程也要花费几个月, 其制造成本高, 工期长。这种 ASIC 设计制造方法称为半定制制造方法。

ASIC 器件的另一设计制造方法是由半导体厂家生产的门阵列完成。门阵列是一个预制造的硅矩阵, 该矩阵可由用户根据自己定义的功能, 按照一定的模式去连接。用户的电子工程师选择阵列中的与非门、触发器、缓冲器、RAM 单元、互连导线等器件资源来构成自己的逻辑设计。

VLSI 的工艺设计是由半导体厂家的工艺工程师通过物理设计、几何设计等过程完成。VLSI 设计方法、制造工艺不是本书讨论的内容。本书讨论由用户设计系统功能, 定义芯片结构, 完成 ASIC 器件设计的方法; 介绍怎样利用一块 VLSI 可编程器件开发出新产品, 制造出新样机的方法。如果样机成功, 而产品量大还可以返回去让半导体厂家去掩模, 这又回到了 VLSI 半导体工艺的环节上去了。

VLSI 的范畴包括 ASIC, 可编程 VLSI 是设计开发 ASIC 的最方便的器件。它是电子工程师、整机设计师设计集成电路、集成系统的捷径。是基于半导体工艺师提供的可编程 VLSI 器件基础之上的设计方法。所以 ASIC 设计, 需要数字逻辑基础、电子线路的知识、VHDL 语言程序设计。本书主要讨论可编程器件的原理、结构和设计方法。

可编程 ASIC 种类繁多, 有早期的现场可编程逻辑阵列(FPLA), 低密度、20 引脚的可编程阵列逻辑/通用阵列逻辑(PAL/GAL), 及 20 世纪 80 年代中后期出现的可擦除、可编程逻辑器件(EPLD)和现场可编程门阵列(FPGA)等。

第 4 节 可编程逻辑器件 PAL 和 GAL

可编程逻辑器件 PLD(Programmable Logic Device)的概念比较广泛, 不论中小规模器件, 还是大规模器件, 只要有由用户定义功能的器件, 就是可编程器件。不论是熔丝技术的 PAL(Programmable Array Logic)器件, 还是采用 E²PROM 技术的 GAL(Generic Array Logic)器件, 都是早期的可编程器件的雏形。随着半导体工艺的发展, 超大规模可编程器件已风靡世界, 把一个电子系统写入一个芯片之中, 已是很轻松的事情。从 ALTERA 公司的 CPLD(Complex Programmable Logic Device)到其他公司的 FPGA(Field Programmable Gate Array)器件, 都属于超大规模可编程器件。

PAL 是一种现场可编程的门阵列逻辑器件, 内部电路由“与”阵列和“或”阵列两部分构成。“与”阵列的输出信号是“或”阵列的输入信号。主要特征是“与”阵列是可编程的, “或”阵列是不可编程的。PAL 器件分两种:

第一种 PAL 器件特点是:

输出极性可编程: 即输出高电平有效还是低电平有效, 通过开关编程来定义。