

电视信号数字化

(译文集)

浙江大学科技情报资料室

1 9 7 9 年

电视信号数字化译文集

前言

这是一组介绍国外对电视信号数字化处理的研究报告。把彩色电视信号压缩在数字通讯的三次群中进行传送这个研究目标多年来在国内外广泛地为人们探索着，目前正逐步接近解决，走向实用化。

电视信号数字化处理首先必须要有一个高精度高速度的A—D变换器。大竹孝平介绍的是一种串—并联A—D变换器，它采用简单的IC化与非门作为比较器，为了消除前后段间配合的“接缝误差”，采用三值比较方法对误差实现校正。当A—D变换器编码速率为100Mb/S时，信噪比和9 bit理想值相比较劣化5 db。NHK的二宫佑一报告的也是一种串并联A—D变换器，它采用扩大后段动态范围来消除“接缝误差”，用电荷转移放大器代替运算放大器，在编码速率接近100Mb/S时，样机的信噪比仅比8 bit理想值劣化0.31db，得到很好的结果。

这里收集的关于电视信号频带压缩处理的报告，主要是介绍不必采用大容量存储器的帧内编码，和硬件设备比较简单的予测量化系统即DPCM系统。O'Neal的报告很好地总结了DPCM的统计最佳线性预测的压缩界限，提出了一套设计非自适应系统的方法，这对DPCM系统的研究工作至今仍有一定的参考价值。在W. Z. Schunke的报告里提出了轮廓测定的自适应予测法，他利用前面的象素估计出图象的轮廓方向改换予测方案，这不需要复杂的设备，实验结果表明，当图象的对比度大，轮廓变迁快，比特数取3比特/样元，其平均量化噪声要比最好的固定予测法的结果改善4 db。Bell实验室的Sharma和Netravali根据心理物理学的一些实验，介绍了一种视觉阈的求法，并利用它设计具有最小均方主观超阈误差的量化器，他们对这种量化器实验结果表明：DPCM用27个量化层可以得到和8 bit的PCM能相比拟的图象质量。而文献中广为引用的按最小均方误差设计的量化器却不一定总有最好的图象主观质量。西德AEG—德律风根研究所的B. wendland和F. May介绍了一种综合高细节和自适应对比度掩盖相结合的DPCM方案，即对图象的平坦部份采用6比特/象素编码和对边缘部份压缩冗余度后用4比特/象素编码数据压缩率达1:4.4，实验结果表明图象高细节的质量稍有下降。日本泽田克敏和小寺博的二篇报告，分别对NTSC采色电视信号提出全电视信号直接编码和分离编码二种方案。方案主要特点是采用比乃奎斯特频率稍低的取样频率，结合使用梳形滤波器，和帧内平面予测，并用4 bit/3 bit准可变编码，充分利用行消隐期传送图象数据。结果在32Mb/S直接编码时，得到讯噪比（不加权）达到46.5—47.8db，在32Mb/S分离编码时得到讯噪比S/N（不加权）为49db达到了更好的结果。已经接近于实用化了。（注）

我们由于受水平限制，对论文的选择和翻译难免有不妥之处，恳切希望同志们给予指正。

浙江大学无线电系信息处理教研室

1979年6月

[注].在我们编完这本译文集后，见到美国《Electronics》1979年3月15日报导的一条消息，说英国广播公司(BBC)对PAL制彩色电视的全电视信号用DPCM技术，已成功地使数据率由100兆比/秒降至34兆比/秒，并仍保持满意的广播质量。

目 录

1. 大竹孝平: 实验用三值并联比较级联式编码器的研究.....(1)
2. 二宫佑一: 电视信号用的A—D变换器.....(23)
3. J.B.O'Neal: 传输电视信号的予测量化系统.....(36)
4. W. Zshunke: 利用自适应预测的DPCM 图象编码.....(58)
5. Shavma, Nevaval: 供图象信号的DPCM编码用的量化器的设计.....(68)
6. B. wendland F. May: 用频带分割和自适应对比度掩盖的编、译码器.....(80)
7. 泽田克敏 小寺博 NTSC 彩色电视信号直接DPCM编码.....(88)
8. 泽田克敏 小寺博 用二维予测准可变码长编码的
DPCM的彩色电视信号的分离编码.....(99)

实验用三值并联比较级联式编码器的研究

大竹孝平

(译自电气研究所 研究实用化报告1972年21卷第9号P1641——1659)

内 容 摘 要

为了求得到编码速度精度的界限,现论述具有误差校正装置的三值比较方式及并联比较和级联式组合的编码方式。这种编码由于把各编码段的动作时间延迟到取样周期末,缓和了对于各编码段必要的精度直到最后编码段的精度要求,进而对于这种编码方式的速度精度的界限作了研究。并对这种编码器的构成,编码结果转换成自然二进制,局部译码器的构造,以及和反馈编码器,折迭型编码器的比较都进行了研究。在最后,给出每段3比特编码三段构成共9比特的编码方式,试作了速度为100Mb/S的编码器的实验装置,对信噪比实测结果得到 $S/N = 40.5\text{db}$,数量众多的比较器是简单的,使用IC门作比较器结果十分满意。还对各部分具体电路实测结果的误差原因作了论述和分析。

一、序 言

伴随着PCM通讯方式的高速化的研究和发展,在终端机中对于FDM多路信号,以及电视那样的宽频带的信号,采用高速度高精度编码方式的必要性越来越高,快速编码的许多方案被提了出来。

高速编码器有:实行一个动作编1个比特码的反馈式编码器⁽¹⁾⁻⁽⁶⁾不用定时的在运算放大器加二极管进行非线性反馈,连续进行编码的折迭型编码器⁽⁷⁾⁻⁽⁹⁾,把比较器对多门值同时进行比较识别的并联型编码器⁽¹⁰⁾⁽¹¹⁾等等主要的方案。

对所期望的比特数,与在取样周期内以时间分割的逐次反馈比较编码器相比,以空间分割的折迭型编码器和并联型编码器虽然对高速度这一点是有利的,但精度上得不到改善,由于构造变得复杂要想得到高精度变成很困难。为了提高速度精度的界限,介绍了具有误差校正装置的三值比较方法以及并行识别行波级联组合型编码器,这种分割的方式根据空间在速度和精度改善上达到了它的限度。

二、三值比较串并联型编码器

对于分成几段,折迭连接进行并联比较、在取样周期内,各段动作以得到所期望的比特数的行波式串并联编码器的编码方式以及速度极限作了研究。这种情况下,各编码段编码精度并不需要一样,它和后续段比特数有关系。例如:在每段三个比特,三段九个比特编码的

情况下，在第一段中三个比特编码都要求判别 9 比特的精度，第二段则要求判别 6 个比特的精度，第三段只要判别 3 比特的精度，随着越后面的编码段，精度要求越低。对于各段必要的精度，以及相对应于这一段编码比特数所确定的编码型式以及能达到精度极限，由于采用了三值比较并有误差校正装置在这里成为可能，各段必要的精度在各段附加 1 比特以内的精度上实现正确编码。

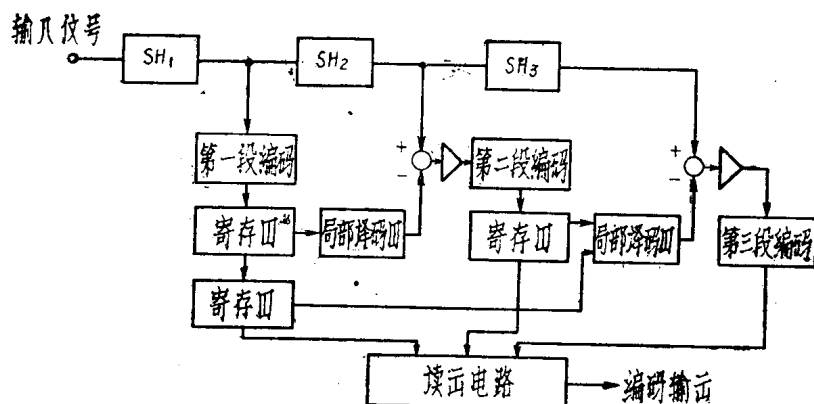


图 1 是本编码方式的行波式串并行编码的方框图，图中编码段数在模拟信号延迟失真允许范围内进行选择。

2-1 编码段的构成

这里称作三值比较方法是：信号和某一个基准值进行比较，判别信号比基准值大还是比基准值小。和通常的二值比较不同的是在基准值附近设有一个不确定区域，讯号判别成比基准值大，在基准值近傍，或比基准值小三种情况之一。在图 2 中表示，多种比较电平有 $L_1, L_2, L_3, \dots$ 等等，在某一个基准值例如在 L_1 的附近即小于上一基准值 L_2 和它自身的平均值 $(L_1 + L_2)/2$ 和大于下一个基准值 L_0 和它自身平均值 $(L_0 + L_1)/2$ 的范围内，信号如果在这个区域内，都叫做在 L_1 值的近傍这种三值比较适用图 1 所示的串并联编码器，在这里，每个编码段进行三个比特的编码，全部构成 9 个比特编码。这里第一段和第二段采用三值比较，最后第三段采用通常的二值比较方法。所有段都是对七种电平同时并联进行比较。

根据这种结构，各段用先行段编码结果来进行编码，最后将经误差校正装置的逻辑操作得到正确的所希望比特数的编码表示出来。

图 1 第 1 段第二段和第 3 段的比较电平如图 3 所示。对于第二段以后编码信号分别是把输入信号和部分译码器输出之差的 2^3 倍或 2^6 倍加到图中的比较器上，此外，局部译码器 1, 2 都是根据先行的编码段所编成的码代表范围的中间值产生出来的。也就是说，就局部译码器 1 来说，根据第一段编码，可以看到图中信号电平在 $\frac{1}{4}$ 到 $\frac{3}{4}$ 之间，就产生

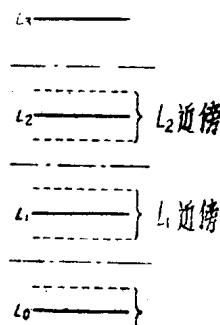


图 2 三值比较的说明

它的中间值, $\frac{3}{8}$, 又信号如在 $\frac{1}{2}$ 近傍的时候, 则产生 $\frac{1}{2}$ 值。

各编码段的判别结果, 以二进制符号表示:

(a_1 a_2 a_3) 第1段编码

(a_4 a_5 a_6) 第2段编码

(a_7 a_8 a_9) 第3段编码

但是, 在第1段、第2段中, 当信号电平接近基准电平时, 往往难以决定是1还是0, 必须由后一段判别结果来最后决定, 这里先令等于 $\frac{1}{2}$ 。因此

$$\left. \begin{aligned} a_i &\in (0, \frac{1}{2}, 1) \quad i=1-6 \\ a_i &\in (0, 1) \quad i=7-9 \end{aligned} \right\} (1)$$

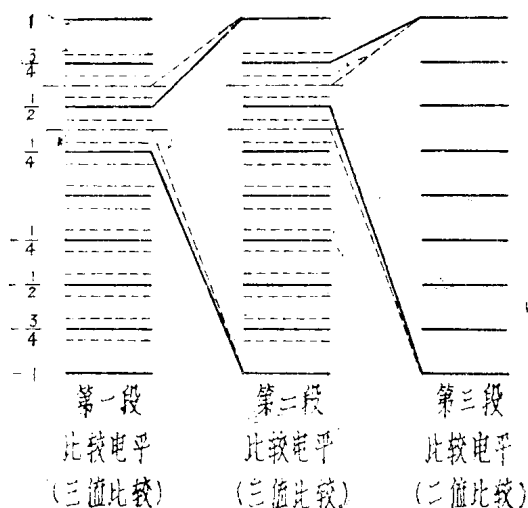


图3 串并行编码器的比较电平

令 X 的动态范围为 ± 1 时, 由第一编码段编码的结果, 对信号 X 有这样关系:

$$\underline{\alpha}_1 < X < \overline{\alpha}_1 \quad (2)$$

$$\text{这里: } \underline{\alpha}_1 = \sum_{i=0}^2 \frac{a_{i+1}}{2^i} - 1 \quad \overline{\alpha}_1 = \underline{\alpha}_1 + \frac{1}{2^2}$$

第二编码段, 以 X 和 $\underline{\alpha}_1$ 与 $\overline{\alpha}_1$ 的平均值 $\widetilde{\alpha}_1$ 之差值的 2^3 倍作为输入进行三值比较, 所以有:

$$\widetilde{\alpha}_1 + \frac{\alpha_2}{2^3} < X < \widetilde{\alpha}_1 + \frac{\overline{\alpha}_2}{2^3} \quad (3)$$

$$\text{这里: } \underline{\alpha}_2 = \sum_{i=3}^5 \frac{a_{i+1}}{2^{i-3}} - 1 \quad \overline{\alpha}_2 = \underline{\alpha}_2 + \frac{1}{2^2}$$

$$\widetilde{\alpha}_1 = \frac{1}{2} (\underline{\alpha}_1 + \overline{\alpha}_1)$$

在最后的第三段由 X 和 $\widetilde{\alpha}_2$ 之差值的 2^8 倍送到比较器进行二值比较, $\widetilde{\alpha}_2$ 是 $\widetilde{\alpha}_1 + \underline{\alpha}_2/2^3$ 和 $\widetilde{\alpha}_1 + \overline{\alpha}_2/2^3$ 的平均值, 因此得

$$\widetilde{\alpha}_2 + \frac{\alpha_3}{2^8} < X < \widetilde{\alpha}_2 + \frac{\overline{\alpha}_3}{2^8} \quad (4)$$

$$\text{这里: } \underline{\alpha}_3 = \sum_{i=6}^8 \frac{a_{i+1}}{2^{i-6}} - 1 \quad \overline{\alpha}_3 = \underline{\alpha}_3 + \frac{1}{2^2}$$

$$\widetilde{\alpha}_2 = \widetilde{\alpha}_1 + \frac{1}{2^3} \frac{\alpha_2 + \overline{\alpha}_2}{2}$$

把(4)式(2)式代(3)式得到

$$\underline{\alpha}_1 + \frac{\alpha_2}{2^3} + \frac{\alpha_3}{2^6} + \frac{1}{2^3} + \frac{1}{2^6} < X < \underline{\alpha}_1 + \frac{\alpha_2}{2^3} + \frac{\alpha_3}{2^6} + \frac{1}{2^3} + \frac{1}{2^6} + \frac{1}{2^3}$$

$$\text{或者 } \sum_{i=0}^8 \frac{a_{i+1}}{2^i} - 1 < X < \sum_{i=0}^8 \frac{a_{i+1}}{2^i} + \frac{1}{2^8} - 1 \quad (5)$$

$$\text{因此有 } \left| X - \left(\sum_{i=0}^8 \frac{a_{i+1}}{2^i} - 1 \right) \right| < \frac{1}{2^8} \quad (6)$$

X的动态范围为-1~+1时,得到了按(6)式,所定的9比特的编码。

因为编码 $\hat{a}_1 \sim \hat{a}_9$ 为三值取为(0, $\frac{1}{2}$, 1)有必要把它变换成二值表示,令转换成二进制编码为 $D_1 \sim D_9$,可以看出它满足下式:

$$\sum_{i=0}^8 \frac{(a_{i+1})}{2^i} = \sum_{i=0}^8 \frac{D_{i+1}}{2^i} \quad (8)$$

很容易知道 D_i 只有0或1两值, a_i 一般情况下有三值,可用(8)式变换成二值的 b_i, C_i 。

$$\left. \begin{array}{ccc} a_i & b_i & C_i \\ 1 & 1 & 0 \\ \frac{1}{2} & 0 & 1 \\ 0 & 0 & 0 \end{array} \right\} \quad (8)$$

即有 $a_i = b_i + \frac{1}{2} C_i$

但是 $C_i = 0$ (当 $i = 7 \sim 9$)

把(8)式代入(7)式有

$$\sum_{i=0}^8 \left(\frac{D_{i+1} - b_{i+1} - \frac{1}{2} C_{i+2}}{2^i} \right) = 0 \quad (9)$$

因此

$$\left. \begin{array}{l} D = D_1, D_2, D_3, \dots, D_9 \\ B = b_1, b_2, b_3, \dots, b_9 \\ C = 0, C_1, C_2, \dots, C_8 \end{array} \right\} \quad (10)$$

这里: DB和C都是二进制

$$D = B \oplus C \pmod{2} \quad (11)$$

这里, 用 7 比特二进制加法器就可得到了自然二进制的码, 根据以上对不确定区域采用 3 值比较, 得到了正确的二进制编码这个方法的特点是输入信号的取样值, 当它与某一个量化值非常接近时, 和这对应的一个比特暂时不确定, 要等后面编码段的编码结果, 由 (11) 式逻辑操作结果来最后决定。由于第 2 段和第 3 段编码器用来比较的信号是信号与局部译码器差值的 2^3 倍或 2^6 倍, 所以对它的比较器的灵敏度要求就不那么高了, 另一方面第一段不确定区域可允许有很宽范围。虽然全部装置的比较器个数很多但精度问题变得简单了。第 1 段编码段如不用三值比较, 由于要决定最先三比特的编码, 这一段比较器的精度必须达到最后量化步距的几分之一, 用了个数很多的比较器并联化对速度是有利的但精度要求并没有降低, 反而由于结构复杂变成更困难。但本串并联编码器, 由于并联而达到高速化用三值比较以降低对比较器的精度要求。

2.2 局部译码器

第 1 段和第 2 段的局部译码器的构方法如下。采用对精度来说有利的单极性的梯形网络组成译码器, 图中二极管所加驱动脉冲振幅为 $\pm E$, 表 1 表示 D 的编码和实际加上脉冲振幅和加到梯形级上的流的关系。

现在, 为了进行上述的局部译码器工作, 求出 $D_{I+1}D_{I+2}D_{I+3} \dots D_{I-1}D_{I-2}D_{I-3}$

D_{I-1} 和 (b_i, c_i) 之间的关系

考虑图 4 中第 1 段, 对规格化成为动态范围为 ± 1 的 ed_1 的译码值为

$$ed_1 = \sum_{i=0}^2 \frac{D_{I+(i+1)} - D_{I-(i+1)}}{2^{i+1}} \quad (12)$$

由于局部译码器根据先行段编的码所代表范围的中间值译出, 把式 (3) 所决的 $\tilde{\alpha}_1$ 值用表 (8) 表示再和式 (12) ed_1 值相等得到

$$\begin{aligned} & .D_{I+1}D_{I+2}D_{I+3} \dots .D_{I-1}D_{I-2}D_{I-3} \\ & = b_1b_2b_3 + 0.C_1C_2C_3 - 0.111 \pmod{2} \end{aligned} \quad (13)$$

但是, 各项是用二进制表示的, 对 $0.C_1C_2C_3$ 明显的, 信号采样值在零的近傍时, 最大值为 0.111

当 $b_1 = 1$ 时,

$$\left. \begin{aligned} & .D_{I+1}D_{I+2}D_{I+3} = .b_2b_3 + .C_2C_2C_3 + 0.001 \\ & .D_{I-1}D_{I-2}D_{I-3} = 0.000 \end{aligned} \right\} \pmod{2} \quad (14)$$

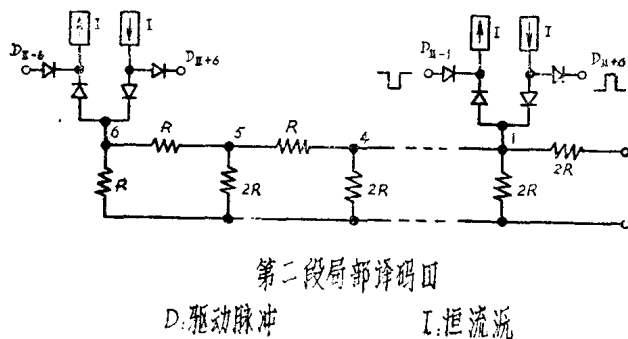
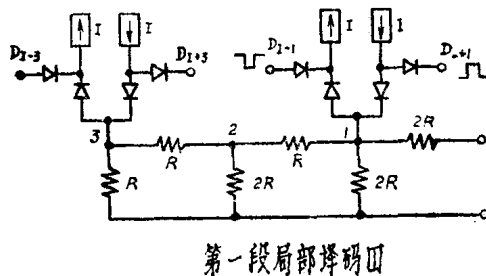


图 4 局部译码器

当 $b_1 = 0$ 时

$$\left. \begin{aligned} D_{1+1} D_{1+2} D_{13} &= .000 \\ D_{1-1} D_{1-2} D_{1-3} &= .111 + .b_2 b_3 - 0 . C_1 C_2 C_3 \pmod{2} \end{aligned} \right\} \quad (15)$$

由式(14)和 $b_i C_i$ 的定义得到

$$\left. \begin{aligned} D_{1+3} &= C_3 \oplus 1 = \overline{C_3} \\ D_{1+2} &= b_3 \oplus C_2 \oplus C_3 = \overline{C_2} (b_3 \oplus C_3) = \overline{C_2} (b_3 + C_3) \\ D_{1+1} &= b_2 \oplus C_1 \oplus (C_2 C_3) = b_2 \oplus (C_2 C_3) = b_2 + C_2 \end{aligned} \right\} \quad (16)$$

由式(15)和上面同样方法可得到

$$\left. \begin{aligned} D_{1-3} &= \overline{C_3} \\ D_{1-2} &= \overline{b_3 \oplus C_2} = \overline{C_2} \overline{b_3} \\ D_{1-1} &= \overline{b_2 \oplus C_1} = \overline{C_1} \overline{b_2} \end{aligned} \right\} \quad (17)$$

以上关系把 b_i 考虑进去成为

$$\left. \begin{aligned} D_{1+1} &= b_1 (b_2 + C_2) & D_{1-1} &= \overline{b_1} \overline{C_1} \overline{b_2} \\ D_{1+2} &= b_1 \overline{C_2} (b_3 + C_3) & D_{1-2} &= \overline{b_1} \overline{C_2} \overline{b_3} \\ D_{1+3} &= b_1 \overline{C_3} & D_{1-3} &= \overline{b_1} \overline{C_3} \end{aligned} \right\} \quad (18)$$

表 1 D 的编码和驱动脉冲的关系

D_{I+1}	D_{II+1}	1	+ E	+ I
D_{I+3}	D_{II+6}	0	- E	0
D_{I-1}	D_{II-1}	1	- E	- 1
D_{I-3}	D_{II-6}	0	+ E	0

其次考虑第2段的局部译码器,有两种方法,首先用和第一段同样方法得到归一化译码值。

$$ed_2 = \sum_{i=0}^5 \frac{D_{I+1}^* + (i+1) - D_{I-1}^* - (i+1)}{2i+1} \quad (19)$$

和式(4)的 $\tilde{\alpha}_2$ 相等得到

$$\sum_{i=0}^5 \frac{D_{I+1} + (i+1) - D_{I-1} - (i+1)}{i+1} = \tilde{\alpha}_1 + \frac{1}{2^3} \cdot \frac{\alpha_{-2} + \overline{\alpha}_2}{2} \quad (20)$$

第一种方法 把式(20)分成二部分

$$\sum_{i=0}^2 \frac{D_{I+1} + (i+1) - D_{I-1} - (i+1)}{2i+1} = \tilde{\alpha}_1 = \alpha_1 + \frac{1}{2^3} \quad (21)$$

* 原文为 e_1 似误。——译注

$$\sum_{i=0}^2 \frac{D_{II} + (i+4) - D_{II} - (i+4)}{2i+1} = \alpha_2 + \frac{1}{2^3} \quad (21)$$

由式(21)和式(22)和解式(18)相类似的方法很容易地得到以下的关系:

$$\left. \begin{aligned} D_{II} + 1 &= b_1(b_2 + (2)) & D_{II} - 1 &= \overline{b_1} \overline{C_1} \overline{b_2} \\ D_{II} + 2 &= b_1 \overline{C_2}(b_3 + (3)) & D_{II} - 2 &= \overline{b_1} \overline{C_2} \overline{b_3} \\ D_{II} + 3 &= b_1 \overline{C_3} & D_{II} - 3 &= \overline{b_1} \overline{C_3} \\ D_{II} + 4 &= b_4(b_5 + C_5) & D_{II} - 4 &= \overline{b_4} \overline{C_4} \overline{b_5} \\ D_{II} + 5 &= b_4 \overline{C_5}(b_6 + C_6) & D_{II} - 5 &= \overline{b_4} \overline{C_5} \overline{b_6} \\ D_{II} + 6 &= b_4 \overline{C_6} & D_{II} - 6 &= \overline{b_4} \overline{C_6} \end{aligned} \right\} \quad (23)$$

得到的(23)式可理解成, 对6比特进行译码, 前面3比特是粗译码, 以它的译码值作准对第二个3比特进行细致译码, 因此, 梯形网络所有电流是正负都有的, 不能实行完全的单极性动作, 但与通常的双极性动作相比, 梯形网络电阻精度要求可以降到几分之一。

第2种方法, 在完全单极性操作情况下考虑它的逻辑构成: 用和第1段式(20)相同的处理, 得到

$$\sum_{i=0}^5 \frac{D_{II} + (i+1) - D_{II} - (i+1)}{2i+1} = \sum_{i=0}^5 \frac{ai+1}{2i} + \frac{1}{2^6} - 1 \quad (24)$$

$$\text{或 } \left. \begin{aligned} &D_{II} + 1, D_{II} + 2, \dots, D_{II} + 6 - D_{II} - 1, D_{II} - 2, \dots, D_{II} - 6 \\ &= b_1, b_2, \dots, b_6 + 0, C_1, C_2, \dots, C_6 - 0, 111111(\text{mod } 2) \end{aligned} \right\} \quad (25)$$

从式(25)右边2项和 $e_1, e_2, e_3, \dots, e_7$ 的关系求得

$$\left. \begin{aligned} e_1 &= b_1 \oplus [(c_1 + b_2)(c_2 + b_3)c_3 b_4] = b_1 + c_1 b_4 \\ e_2 &= b_2 \oplus c_1 \oplus [(c_2 + b_3)c_3 b_4] = (b_1 + b_2) \oplus [(c_2 + b_3)b_3 b_4] \\ &= b_2 + c_1 \overline{b_4} + \overline{c_1} c_2 b_4 \\ e_3 &= b_3 \oplus c_2 \oplus (c_3 b_4) = (c_2 + b_3) \oplus (c_3 b_4) \\ &= b_3 \oplus c_2 \overline{b_4} + \overline{c_2} c_3 b_4 \\ e_4 &= b_4 \oplus c_3 C(c_4 b_5) = c_3 + b_4 \\ e_5 &= b_5 \oplus c_4 \oplus (c_5 b_6) = c_4 + b_5 \\ e_6 &= b_6 \oplus c_5 = c_5 + b_6 \\ e_7 &= c_6 \end{aligned} \right\} \quad (26)$$

因此式(25)要右边为真必须 $b_1 + c_1 b_4 = 1$

从这里可求得 $D_{II} \pm i$

$$\begin{aligned} C_{II} + 1 &= b_1 + c_1 b_4 \left\{ (b_2 + c_1 \overline{b_1} + \overline{c_1} c_2 b_4) \oplus (c_2 c_3 \overline{b_4}) \right\} \\ &= b_1 [b_2 + \overline{c_1} c_2 (b_3 + b_4)] \\ D_{II} + 2 &= (b_1 + c_1 b_4) \left\{ (b_3 + c_2 \overline{b_4} + \overline{c_2} c_3 b_4) \oplus (c_3 c_4) \right\} \\ &= b_1 + c_1 b_4 (b_3 + c_2 \overline{b_4} + c_3 \overline{c_4} + \overline{c_2} c_3 c_4) \end{aligned}$$

$$\begin{aligned}
D_{II} + 3 &= (b_1 + c_1 b_4) \{ (c_3 + b_4) \oplus \overline{c_4} \} \\
&= (b_1 + c_1 b_4) (b_4 + \overline{c_3} c_4 + c_3 \overline{c_4}) \\
D_{II} + 4 &= (b_1 + c_1 b_4) \{ (c_5 + b_6) \oplus c_6 \} = (b_1 + c_1 b_4) (b_6 \overline{c_5} c_6) \\
D_{II} + 6 &= (b_1 + c_1 b_4) (c_6 \oplus 1) = (b_1 + c_1 b_4) c_6 \\
D_{II} - 1 &= \overline{b_1 + c_1 b_4} \cdot \overline{b_2 + c_1 b_4 + c_1 c_2 b_4} = \overline{b_1} \cdot \overline{c_1} \cdot \overline{b_2 + c_2 b_4} \\
D_{II} - 2 &= \overline{b_1 + c_1 b_4} \cdot \overline{b_3 + c_2 b_4 + c_2 c_3 b_4} \\
&= \overline{b_1} \cdot \overline{c_1 b_4} \cdot \overline{c_2 b_4 + c_2 c_3 b_4 b_3} \\
D_{II} - 3 &= \overline{b_1 + c_1 b_4} \cdot \overline{c_3 + b_4} = \overline{b_1} \cdot \overline{c_1 b_4} \cdot \overline{c_3} \cdot \overline{b_4} \\
D_{II} - 4 &= \overline{b_1 + c_1 b_4} \cdot \overline{c_4 b_5} = \overline{b_1} \cdot \overline{c_1 b_4} \cdot \overline{c_5} \cdot \overline{c_5} \\
D_{II} - 5 &= \overline{b_1 + c_1 b_4} \cdot \overline{c_5 + b_6} = \overline{b_1} \cdot \overline{c_1 b_4} \cdot \overline{c_5} \cdot \overline{b_6} \\
D_{II} - 6 &= \overline{b_1 + c_1 b_4} \cdot c_6 = \overline{b_1} \cdot \overline{c_1 b_4} \cdot \overline{c_6} \dots \dots \dots (27)
\end{aligned}$$

从式(27)所得结果知道,这个方法所得到的逻辑电路虽然比第1种方法要复杂,但是由于这时梯形电阻网络完全在单极性下工作,编码精度问题就简单化了。

采用(23)式或(27)式所决定的逻辑电路,就能实现所希望的局部译码:

三、和其他型式编码比较

采用三值比较的串并联编码器,和过去的折迭型(folding coder)或者反馈型(Feedback coder)编码器进行比较研究

3.1折迭型编码器

对于折迭型编码器,运算放大器的带宽和噪声系数是对编码器特性起在要作用的量值,对具有多级非线性工作放大器的折迭型编码器的分析变得十分复杂,对必须的带宽和噪声系数的严密推导也变得很困难。这里,如果采用近似线性方法来分析,那对输入信号在零附近时误差会变得很大,实际上采用频带更宽的放大器是必要的。

如果认为各级放大器开关函数都是一样的,都等于 $g/(1+\tau s)$ 那么全部为 n 段的折迭型编码器可以认为是这样动作的,前面段动作没有完全结束,后面段的编码是不能确定的。因此,可以认为,对于阶梯输入把第1段编码容许误差在 $g\epsilon$ 以内整定时间的几倍作为编码时间。编码器过负荷点为 ± 1 ,对几个比特编码,把输入换算到最小量化级 $\Delta = \frac{1}{2^{n-1}}$ 时,对 $\epsilon = \Delta/k$ ($k=5-10$)要求编码时间为

$$T = n\tau \ln(2^{n-1} \cdot K) \quad (28)$$

如果运算放大器 odb 时截止频率为 f_1 现在 $g=2(8)$ 因此 $f_1 = \frac{1}{\pi\tau}$ 可以求得

$$f_1 = \frac{n}{\pi T} \{ (n-1) \ln 2 + \ln K \} \quad (29)$$

编码时间T和放大器必须的带宽 f_t 关系如式(26)近似表示之。

下面对噪声作考虑, 折迭连接的放大器等值噪声带宽为

$$B = \frac{1}{2\pi} \int_0^\infty \frac{1}{(1 + \tau^2 \omega^2)^n} d\omega = \frac{\pi(2n-3)!!}{2^{n+1}(n-1)!} f_t \quad (30)$$

图5表示噪声是这样发生的, 几段输出噪声电平为N。

$$\begin{aligned} N_o &= kT_s BFG(1 + G + \dots + G^{n-1}) \\ &= \frac{4}{3} hT_s BF(2^{n-1} - 1) \end{aligned} \quad (31)$$

这里:

k : 波尔茨曼(Boltzmann)常数
 $= 1.37 \times 10^{-23} (\text{w} - \text{sec}/\text{ok})$

F 放大器的噪声系数 G 放大器的有功功率增益

T_s 环境温度($^{\circ}\text{K}$)

换算到输入端的噪声电平有效值为 Δ/K ($K = 5 - 10$)

下面得到噪声系数F

$$F \leq \frac{F^2}{\frac{2^{2n+3}}{3} kT_s BRK^2 (1 - \frac{1}{2^{2n}})} \quad (32)$$

这里 E 编码器过负荷点的电压(V)

R 放大器输入阻抗 $= 300\Omega$

从以上求得必须的噪声系数F为

$$F(ab) \leq 10 \lg \left[\frac{E^2 T}{\frac{2^{n+2}}{3} (1 - \frac{1}{2^{2n}}) \frac{\pi(2n-3)!!}{(n-1)!} nkT_s RK^2 \ln(K2^{n-1})} \right] \quad (33)$$

如果取样频率 $f = 12.5 \text{ MHz}$ 取样周期 $T_s = 80 \text{ ns}$ 取样和放大器系统延迟的时间 $T_D = 20 \text{ ns}$
 $E = 1\text{V}$ $K = 10$ 当 $n = 7-10$ 比特变化时, 可以计算出放大器所需要的 f_t 和噪声系数NF如图6所示:

$n = 9$ 比特 $f = 374 \text{ MHz}$
 $NF = 23\text{db}$

低漂移宽频带放大器, 必须采用复合式的, 从带宽和噪声要求来看, 要编9比特码是有困难的。

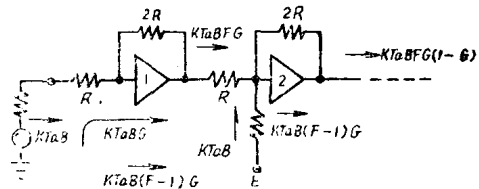


图5 噪声发生的路径

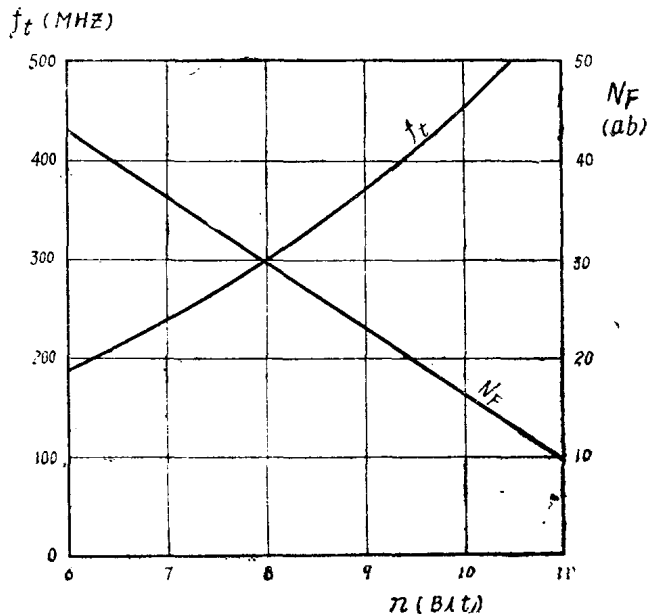


图6 折迭编码器运算放大器特性 . 9 .

3.2 反馈型编码器

对于反馈型编码器, 要得到精度和回路延迟比大的比较器是非常重要的因素⁽³⁾。高速高精度的比较器有 T_L 对比较器 T_V 的比较器已研究出来⁽⁵⁾, 它的不确定幅度极限范围在 $1-2^{n-1}$ 之间, 对于9比特左右编码、比较器的精度是不大够的, 解决的办法是在比较器前加放大器, 减小等值不确定幅度。这个时候, 所指比较器特性, 就不能只考虑比较器本身, 而应该把比较器和放大器作为一个整体考虑, 在这种情况下, 比较器的F.M、定义由下式所表达的形式。

$$F \cdot M = \frac{1_{i \max}}{\tau_D e_n} \quad (34)$$

这里: $1_{i \max}$ 比较器允许输入最大电压
 1_n 比较器折算到输入端的不确定电压幅度
 τ_D 得出比较结果所需延迟时间。

从式(34)知道, 即使有置放大器, 在线性工作时候, 利用放大器增益来减少 e_n , 那么 $i_{\max}$ 也以同样比例减少, 而且通常情况下 τ_D 还要增大, 结果FM反而恶化。但通常可以, 采用10db左右增益用二极管反馈的宽频带放大器也就是利用了它的限幅特性, 在非线性的工作, 从而改善FM值。

在这里, 为了串并列型进行比较对求出反馈编码器比较器所要求的F.M.值、当输入峰对峰值为 V_{p-p} , $e_u = V_p - p / (2^n \cdot k)$ ($k = 5-10n$ 比特数) $e_{i \max} = \frac{1}{2} V_p$,

可得到: 所必须的 $F \cdot M = 2^{n-1} k / \tau_D$ (35)

这样, 当 $n = 9$ $k = 10$ $\tau_D = 3\mu s$ 代入上式

可算出 $F \cdot M = 8.53 \times 10^{11} (1/s)$

3.3 比较研究

在有三位比较串并联编码器中的比较器所要求的F.M值计算: 装置是这样构成的, 每段3比特编码3段共9比较编码。

第1段的最大输入值为 $\frac{1}{2} V_p - p$; 第2段第3段是经过延迟的模拟输入信号和部分译码器差值的 2^3 倍和 2^6 倍加到比较器, 经过延迟时间后加到比较器输入振幅和第一段相同也是 $\frac{1}{2} V_p - p$ 比较器允许的不确定幅度可以这样考虑, 由于用了三位比较, 只要比 $V_p - p / 2^4$ 小就可以了, 放大器系统漂移梯形网络误差各方面产生误差分配都为允许误差十分之一来考虑,

即作为第三段十分之量化级距为 $(\frac{1}{2^3} \cdot 10) V_{p-p}$ 。因此要求 $\frac{e_{i \max}}{e_n} = 40-80$, 而反馈型

要求 $e_{i \max} / e_n = 2560$, 减少到只有它的 $\frac{1}{30} - \frac{1}{60}$, 还由于依次排好前后动作, 这样, 对它的动态精度要求就可以降低。后面所论述实验装置, 对式(34)中, τ_D 等于 $15\mu s$ 左右, 所以能达到

$$FM = 5.3 \times 10^9 (1/s)$$

关于3种编码器进行比较结果为:

- (i) 从比较器所需精度即F.M进行比较来看很明显地, 本方案比反馈型编码器优越。但比较器需要量很多, 这可以由高速的CML门实现。此外折迭型编码器的响应时间和输入电平有关, 并受放大器NF限制等等。达到9比特的精度是困难的

- (ii) 串并联型对模拟量并联处理的时间是十分宽裕的，但它的工作比其他二种方法所采取的结构多少要复杂一些，这样取样保持系统中模拟延迟部分精度变成要加以考虑的问题。反馈型要求各部分都动作很快，但它构造简单方便，折迭型模拟量处理占着重地位，高速工作下，它的速度、精度积是不够好的。
- (iii) 从直流漂移这一点来说，反馈型显然是最有利的，不会因为漂移产生非线性的畸变，串并联型对漂移可以换算成等效的比较器不确定值来考虑它的影响，而它不确定幅度允许范围是很大的，允许分给漂移误差一部分。折迭型漂移影响是很厉害的，所以必须采用低漂移的运算放大器。从上所述，串并联型编码器，使构造变得复杂，但对各部分精度，速度要求降低，和均一化为特征，随着集成化发展，构造复杂就不成问题了。是值得考虑的一种方案。

四、串并联编码器的试作实验

为了证实利用三值比较的串并联编码器的实验装置方框图示于图 7 和图 8。被编码的信号是 SMG 程度的 FDM 信号，或者是带宽 4 MHz 的彩色电视信号、准备进行 9 比特的编码，取样频率 $8-12\text{ MHz}$ 连续可变，模拟量是外加的 $72-108\text{ kHz}$ 可变的正弦信号，控制时钟信号。它的过负荷点，考虑了放大器和取样系统的失真以及集成电路比较器容许精度后选取为 $\pm 1\text{ V}$ 范围。对图 7 所示的实验装置，在一个取样周期内、完成规定的操作，对第 1 段及第 2 段编码段时间是足够的，结构也祇是简单的，完全照它工作进一步高速度也应该是可能的，但应该注意到取样系统的信噪比 S/N 问题。

4. 串并联编码器的实验装置

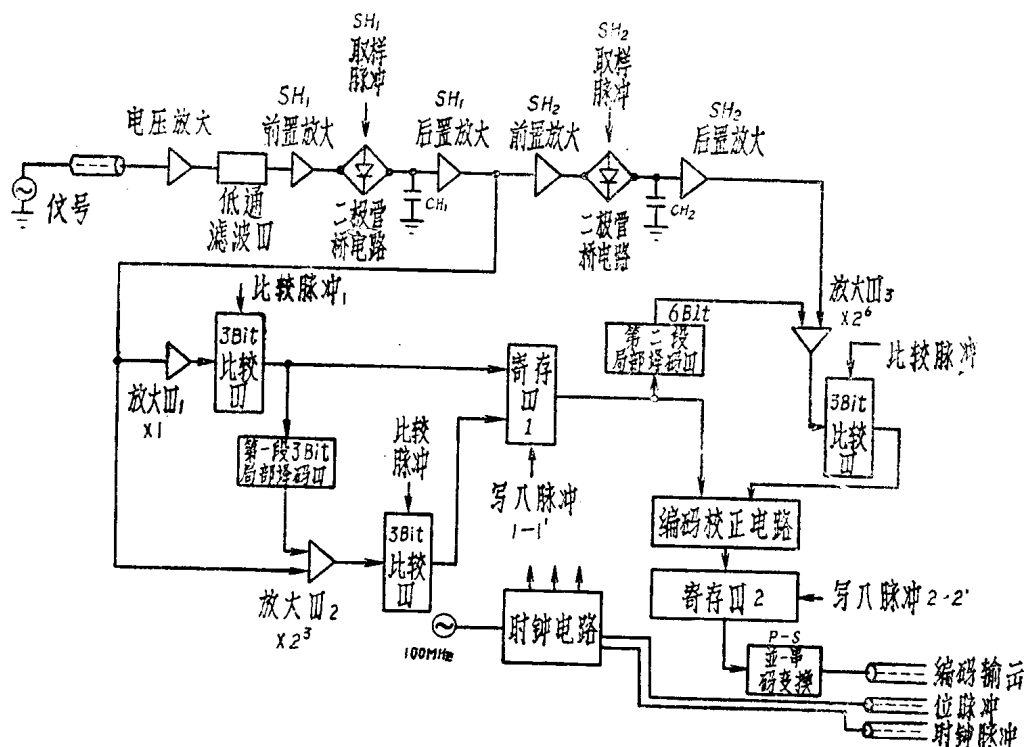


图 7 试作的串并联编码器方框图

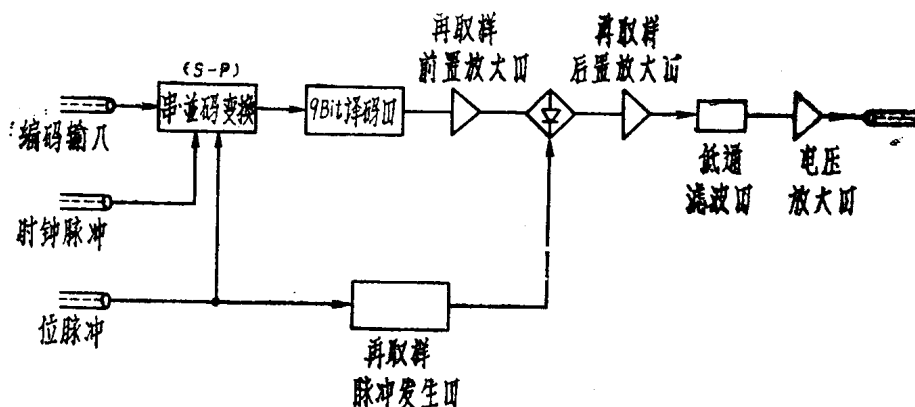


图8 试作的译码器方框图

4.1 编码部分

对图7编码动作过程，可以用图9所示各点脉冲时间波形图加以说明。图中，输入模拟信号来自视频放大器，通过低通滤波器，经取样保持电路（SH1）加进来。总共在 $20''$ 取样时间内，分配给第一段和第二段编码器及取样保持电路SH2使用。第1段的编码器输入是来自增益为1缓冲放大器的输出，这个输入信号和14个由精密电阻构成不同基准电压进行比较，比较器是集成电路比较器。这里采用的是，并联3比特的三值比较，判别结果在写入脉冲1控制上同时写进寄存器1中，并加到第一段的局部译码器去，在式（18）所给的逻辑电路作用下得出结果来驱动了比特梯形网络。这里译码结果和SH1的输出值的 2^3 倍加到第二段3Bit比较器，这里 2^3 增益是由2差动放大器2提供的，这个判别结果在写入脉冲1'控制下写进寄存器冲，这里第1段局部译码器产生电压反馈加到放大器2上，为了不使放大器2过载。在第3段中使SH1的输出通过SH2再一次取样保持，此外在第一段和第二段判别结果进寄存器1时，也得防止放大量为 2^6 的放大器3过负荷，模拟信号经过延迟，它的输出和寄存器的输出和由式（27）所给的逻辑关系通过6比特梯形电阻网络得到译码值。加到差动放大器3进行放大 2^6 倍，由7个集成比较器构成的3比特

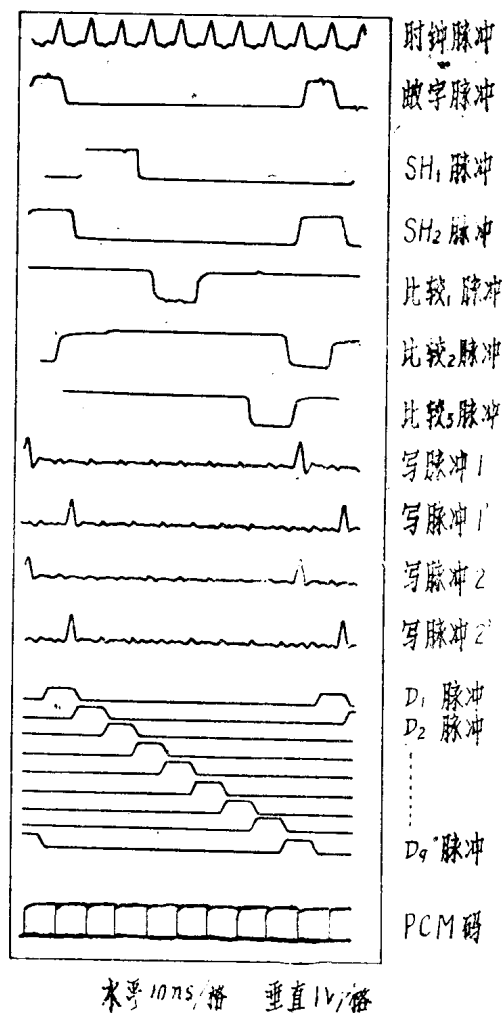


图9

并联比较器得到最后 3 个较特的编码。第 1 段和第 2 段各自进行 3 值比较各得 6 个比特加上第 3 段 3 个比特信号共 15 个比特信号由式 (11) 进行校正, 校正结果为 9 个比特自然二进制码。校正结果由写入脉冲控制写进寄存器 2 中, 写入脉冲 2 写进最初的六个比特信号, 写入脉冲 2' 写进后来的 3 个比特信号。这以后, 由读出电路把并联编码变换成串联编码以供输出, 这工作也是必要的。

4.1.1 取样保持电路 (SH1)

取样方式有、T1 方式的谐振变换方式 (9), 电流取样电压保持方式、和电压取样电压保持等方式。考虑这样宽的宽带信号, 和取样速度精度前二者各方面是很难实现的。最后一种方式, 又可分电压驱动型和电流驱动型两种。电压驱动型必须采用脉冲变压器、可考虑用集中参数, 或同轴型脉冲变换, 由于一定存在不平衡的对地电容的影响, 易产生脉冲干扰输出, 另外它也难于实现集成化, 而这对实行高速度高电平是必要的, 而需要大的驱动电平, 采用了容易得到高精度的电流驱动、电压取样、电压保持型式。

现对最高取样频率 12.5MHz 求九个比特编码的取样保持电路必要条件。

图 10 是二极管桥电路, 后置放大器的输入阻抗 R 为它的泄漏阻抗。二极管正向阻抗 r 和前置放大器输出阻抗 r_0 电源 E 对电阻 R 产生比较大电流 $I_0 = \frac{E_0}{R}$ 驱动脉冲振幅为 $\pm E$, 众所周知, 在取样时间内, CH 的电压要能跟随输入信号考虑最坏情况, 要

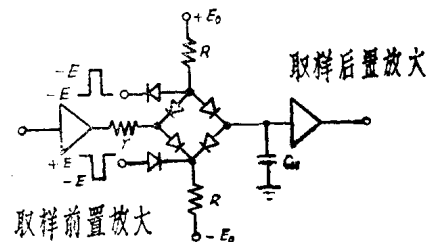


图 10 取样电路

$$\frac{I_0}{C_H} \tau \geq 2V \quad (36)$$

这里 τ 取样时间
V 过负荷点

要求保持期间 C_H 电压下降量小于最小量化阶梯 $\frac{1}{K}$, 可以得到

$$C_H R_i \geq \frac{T_s - \tau}{1 - \left[\frac{1}{1 - \frac{1}{2^{n-1}K}} \right]} \quad (37)$$

这里 n 比特数
 T_s 取样周期
 $K = 10$

当 $V = 1$ $\tau = 20\text{ns}$ $T_s = 80\text{ns}$ $n = 9$ $I_0 = 15\text{mA}$

从式 (36) (37) 算得

$$C_H \leq 150\text{PF} \quad R_i \geq 1\text{M}\Omega$$

这里留点余裕量, 可以试取 $I_0 = 15\text{mA}$ $C_H = 100\text{pF}$ $R_i = 2\text{M}\Omega$ 。驱动脉冲振幅和上升时间的大小会影响产生采样系统的失真。这样情况下 S/N (信噪比)

$$\frac{S}{N} = \frac{4E^2}{\tau_i^2} \cdot \frac{1}{-B^2 \rho_i''(0)} \quad (38)$$

这里: τ_i 取样驱动脉冲后沿的上升时间

$\rho_i''(0)$ 输入信号的自相关系数在原点的二次微分

信号的带宽 W 即取其频谱的平坦部分宽度, 它是高斯分布共过负荷点选为 4.6

$$\frac{S}{N} = \frac{48E^2}{\pi^2 V^2 \tau_i^2 W^2} \quad (39)$$

如果要求 $\frac{S}{N} = 60\text{dB}$ $E = 3\text{V}$ $V = 1\text{V}$ $W = 5\text{MHz}$

代进求得 $\tau_i \leq 1.32\text{ns}$

以上讨论和实验结果表示在表 2 中

表 2 取样保持系统规格

输入信号电平	2V _{p-p}
前置门输出电平	2V _{p-p}
取样输出电平	3V _{p-p}
前后置放大器带宽	100MHz 以上
取样脉冲宽度	20ns
驱动脉冲上升时间	0.5ns 以下
驱动脉冲振幅	6V _{p-p}
保持电容器 C_H 的容号	100p
恒电流源	15ma
S/N(取样保持系统)	60db 以上

(i) 前置放大器

它由低漂移低输出阻抗的差动电路和达林顿复合射随器组成的, 并有并联反馈, 如图 11 所示。带宽 150 MHz 脉冲响应延迟时间 2ns, 上升时间 2ns。输出阻抗可看成电阻和电感串联, 电阻分量接近于零, 电感分量大约为 12nH 左右。

(ii) 后置放大器

如图 12 所示, 要求高输入阻抗高所以第一级要采用场效应管电路 (FET), FET 的传输特性 y_{21} 要能延续达 100MHz 以上不变。第二级

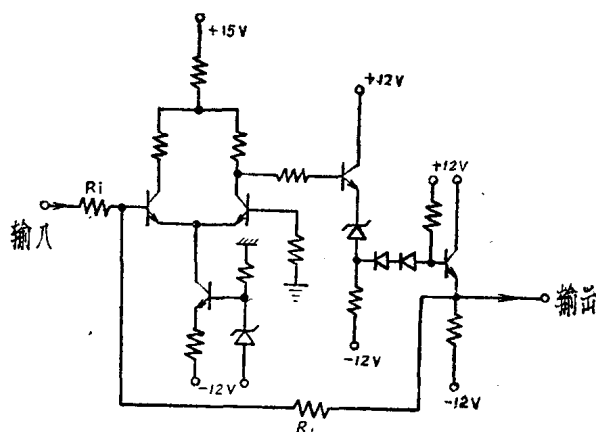


图 11 前置放大器