

专利文献通报

计 算 机

ZHUANLI WENZIAN TONGBAO 1984 5

专利文献出版社

专利文献通报

计 算 机

(双月刊)总字第5期

1984年第5期

1984年9月18日出版

定价: 2.10元

编辑者: 中国专利局文献服务中心

出版者: 专利文献出版社

印刷者: 外文印刷厂

定发行处: 新华书店北京发行所

科技书目: [83年66—57]

统一书号: 17242·107

说 明

《专利文献通报》以文摘和题录混编形式报道美国 (U S)、英国 (G B)、日本 (J P)、联邦德国 (D E)、法国 (F R)、苏联 (S U)、瑞士 (C H) 等国及欧洲专利组织 (E P) 和国际专利组织 (W O) 的专利文献。

本《通报》所报道的专利文献，中国专利局均收藏有说明书原文。读者如有需要可向中国专利局借阅或函托复制和代译。

本刊各条目的著录格式：

⑤ I P C 类号	① 国家或组织代码	⑪ 文献号	本刊序号
⑤ 发明名称——副标题			
⑤ 文摘.....			
.....			(× 页)
⑦ 申请者 (或发明者 ⑦)		② 申请日期	

注1. ⑤、①、⑪、⑤、⑦、⑦、②均为 I N I D 代码，在正文中暂不加。

注2. 本刊序号由七位数字组成，前两位数为出版年份，后五位数字为各条目的年出版序号。

《专利文献通报》编辑部

目 录

一、电子计算机和数据处理 (G06f)	(1)
零部件 (G06f-1/00)	(1)
数据输入输出, 单元间连接 (G06f-3/00,G06f-13/00)	(7)
转换, 程序控制, 误差监视及检测 (G06f-5/00, G06f-9/00, G06f-11/00)	(67)
数据处理 (G06f-7/00, G06f-15/00)	(108)
二、模拟机及混合运算装置 (G06g, Gp6j)	(175)
模拟机 (G06g-7/00)	(175)
数字和模拟混合运算 (G06g-1/00, G06g-3/00, G06g-5/00 Gp6j-1/00, G06j-3/00)	(182)
三、数据的识别及显示, 记录体及处理 (G06k)	(183)
字符, 图表的阅读和识别 (G06k-9/00, G06k-11/00)	(183)
数据的读出和显示 (G06k-7/00, G06k-15/00)	(200)
标记, 印出, 传送, 穿孔卡等 (G06k-1/00, G06k-3/00, G06k-5/00, Gp6k-13/00, Gp6k-19/00, G06k-21/00)	(210)
四、其它 (G06c, d, m,)	(216)

一、电子计算机和数据处理

零 部 件

★G06f-1/00 JP57-157321 8405666
存贮器控制方法

存贮装置由多个易失性存贮器插件和至少有一个不丢失信息的存贮器插件构成。还备有备用电池以便当电源中断时使易失性存贮器仍能保持存贮信息。若备用电池失效,由备用电池装置1将存贮装置的备用电池接通信号断开,当电源恢复时,由预置方法对备用电池失效时的易失性存贮器进行预置。由于存贮器由不丢失信息的存贮器和易失性存贮器混合构成,在电源恢复时,仅对于易失性存贮器进行预置,使预置控制变得容易。(8页)

(株)日立制作所 1981.3.25

G06f-1/00 JP57-157322 8405667
微型计算机装置

伴随着电源的中断和加入,微型计算机可能产生不可靠的动作,为此设置有外部存贮器,以便对数据进行保护。在该微型计算机装置中,当电源中断前触发器16被置位,而当电源加入,微型计算机被复位后使触发器16复位。由该触发器的输出,禁止外存贮器的存取(因触发器为高电平)。因此,在电源中断或加入时,外存贮器的数据不会被破坏掉。这样,当电源中断时,可以将数据加以保护。

(3页)

赤井電機(株) 1981.3.23

G06f-1/00 JP57-157323 8405668
数据处理装置用的耐环境装置

将数据处理装置装入与周围环境加以隔离,不会进入空气灰尘的密闭筐体中。在该筐体中,空气冷却清洁剂接有抽风和排风通路。通常由空气清洁剂对筐体内的温度进行控制,并排除湿气,当空气冷却清洁剂发生故障时,温度检测器和阀门动作,密闭筐体内的水冷热交换器及风扇开始工作,当温度低时,热交换器

可加热。因此,使用密闭筐体可使数据处理装置保持有最佳的环境条件。这样,即使在恶劣的环境条件下,数据处理装置也能工作。

(4页)

(株)日立制作所

1981.3.25

G06f-1/00 JP57-159316 8405669
电源切断方式

或门电路10有三个输入端:第一个是当电源加入按钮按下时的信号通过电源控制装置了所加入的输入,第二个是初始设定按钮按下时的信号所加入的输入,第三个是从与门电路11输出所加入的输入。根据这三个输入中的任何一个信号将初始设定信号 IPL 输入到处理装置。与门电路11的两个输入是当按钮6按下时从电源控制装置3输出的中断信号和表示处理装置异常时的异常表示灯的信号。因而当处理装置发生异常且按钮6按下时,与门电路11成为导通状态,将 IPL 信号送到处理装置,再设置处理程序。当处理装置正常时,将中断信号送处理装置,收到中断后根据程序指示依次切断系统的电源。这种电源切断方式成本较低。

(3页)

富士通(株)

1981.3.27

G06f-1/00 JP57-159317 8405670
系统的初始设定控制方式

从特征部读出的特征信息有奇偶校验错误时,使奇偶校验错误触发器 FF15 置位,由校验定时信号使消除触发器 FF21 置位。当 FF21 置位时,置换电路8将该通路从替换对象中去除。数据部的数据被置位于取数据寄存器 16 内,当该数据中有奇偶错误时,触发器 FF21 被置位。在这里,当系统有效处理过程中被检出有固定故障时,服务处理机使对应于置位的消除触发器 FF-i 的操作状态寄存器 20-i 置位。后面的通路 i 即使是该处理机 CPU 将其复位也不能成为使用状态。这样,在操作系统的初始程序装入前将系统的故障点切除,以防止初始

程序装入中由于固定故障而产生的系统衰退。
(4页)
富士通(株) 1981.3.27

示方向至少可旋转90度,由数据处理装置处理。(4页)
富士通(株) 1981.3.31

G06f-1/00 JP57-159318 8305671
程序模块有效期限的管理方式

在程序模块库的目录部55内记载有作为各模块属性信息的有效期限信息,在初始程序装入时的属性校验时进行有效期限的校验。用CPU内部时钟作为校验的基准。进行该校验的程序设置在操作系统内。不仅内部时钟的日期在超过目录中的有效期限日期能够检查出来,而且还可根据有效期限日期在规定的有效期限日期以前就向使用者有提醒显示,显示出促使进行更新的信息。(3页)
富士通(株) 1981.3.27

G06f-1/00 JP57-161914 8405672
电子控制装置的初始状态设定装置

在加入电源时,电源电压升到一定幅度后向控制电路送出复位信号,由它可以正确地强行控制驱动电路的动作,以防止误动作。例如,当电源加入时,电容器 C_1 两端的电压由于对电压 V_1 的延迟而缓缓上升。齐纳二极管的端电压和电源电压 V_2 同时上升。晶体管 TR_2 在电容 C_1 端电压接近齐纳二极管的击穿电压的瞬间截止, TR_3 的基极便加有电压。在晶体管 TR_2 截止的瞬间,电源电压 V_1 、 V_2 已达到可以使控制电路CPU和驱动电路DRV的动作电压。晶体管 TR_3 在电源加入时和 TR_2 同时导通,又同时截止。因而,电容器 C_2 两端的电压从 TR_2 截止时开始上升,CPU开始被复位,驱动电路DRV的动作在到该复位之前被强行控制。(4页)
ブラザー工業(株) 1981.3.30

G06f-1/00 JP57-162009 8405673
智能桌面

在桌面上配置有键盘和显示画面,多个人可以同时看到画面,并能在桌面上手写文件,这样多个人可以边和数据处理装置对话边处理业务。例如在水平的桌面之上配置有多个能进行画面显示的显示装置11和键盘4—0、4—1显示器和键盘与存贮程序型数据处理装置相接。另外由键盘操作的结果可以同时显示在显示器上或有选择的显示在显示器上,与此同时,由键盘的操作可以至少使一个显示画面3A的显

G06f-1/00 JP57-162010 8405674
互斥的控制装置

在设置输入输出控制装置电源和独立电源的同时,还对输入输出控制装置的控制顺序进行监视,观察其是否正确由独立的电源部分向存贮器进行供电,以防止在瞬时停电时出现系统的混乱现象。例如非常电源8使辅助存贮器工作时,根据启动操作指令已准备好的信号使继电器9动作,通过其接点接于电源V的同时,继电器10也动作,将电池8接于与控制装置3、4并列的通道上。然后继电器10由电源中断时送出的正常断电信号使继电器11的接点释放,解除本身的保持电路。在这里,当输入输出装置的电源断开时,已准备好信号和电源接通信号同时断开,而不送出正常断电信号,因而在异常时继电器10仍继续保持动作,由电源8继续向控制装置3、4供电。(3页)
富士通(株) 1981.3.31

G06f-1/00 JP57-164318 8405675
信息处理系统

由两个系统的供电装置向公共存贮器供电,即使一个系统的电源故障也不影响系统的工作。第一处理装置,由供电装置1供电,第2处理装置由供电装置2供电。而公共存贮器则由上述2个供电装置同时供电。公共存贮器内设置有定电压电路,当两个供电系统的电源都正常时,优先使用所确定的一个供电系统供电。(3页)
東京芝浦電気(株) 1981.4.2

G06f-1/00 JP57-164319 8405676
计算机房

将电子计算机的多个单元配置在封闭的结构体内所定的区域,将计算机系统和计算机房合为一体,可以提高空间的利用率和耐环境性。冷却塔和电源设备配置在房顶或地下室,而将空调设备,计算机系统的各种机器和电源部件等放在封闭的结构体内,将计算机系统内的各种机器进行立体配置。这样,电缆等配线便没有必要再放置在活动地板之下。(5页)
富士通(株) 1981.3.31

G06f-1/00 JP57-166622 8405677

停电处理方式

电源从停电状态恢复到正常状态时或电源接通时,由停电信号发生电路产生置位信号A,计算机从0地址开始启动。然后,由ROM读出电池保护下的RAM存储的时间信息。这读出的时间如果超过规定的时间,计算机则判断为手动关断电源。当在规定时间内时,则判断为由于停电,电源被切断了。通过计算机判断RAM存储的时间信息,可以区分是由停电后恢复状态,还是电源开通时的状态。(3页)
東京芝浦電気 1981.4.8

G06f-1/00 JP57-172425 8405678

数据处理设备的磁盘单元

机器外罩内部放基本处理设备,例如,包括CPU收容室,软盘设备收容室等。机器外罩前面有主开关,上部有开口,开口周围有凸缘和外部突起部分。突起部分的外周装有缩醛树脂,聚四氟乙稀等低摩擦材料,使旋转盘之间摩擦阻尼小。盘的一头装在凸缘部分。这样占用面积小,盘位置可以旋转,可根据使用目的改变盘的位置。(5页)
(株)リコー 1981.4.15

G06f-1/00 JP57-174720 8405679

数据处理设备

当检测出电源电压异常下降时,用操作保持信号向设备送出置存储器内容保持方式的指示。例如微处理单元的主电源低于标准电压时,就由比较器使微处理单元的操作保持信号置低电平,由表示指令执行最后的信号锁存该低电平信号,将封锁写入数据的信号置位。微处理单元在指令执行终了后的保持状态,由辅助电源向锁存器、读写存储器供电,主电源电压下降的情况下,也可保持读写存储器的内容。(4页)
東京芝浦電気(株) 1981.4.21

G06f-1/00 JP57-174721 8405680

电源控制设备

由连接服务处理机和各个电源控制设备的输入输出总线完成数据信号和控制信号的交换。检测机器自身是否被选中的机器地址接收部分,对服务处理机来的机器地址命令和自身因有地址进行比较,比较结果一致时,由信号线使其他接收部分和控制部分等变为动作状

态。接收机器地址命令后面转送来的电源控制数据,将控制命令进行译码,识别电源的控制对象设备及外部设备,接通或切断使用设备或外部设备的电源。这样各个设备的电源可一次接通或切断,也可有选择地接通或切断。(6页)

日本電気(株) 1981.4.21

G06f-1/00 JP57-176432 8405681

自动清机电路

此电路备有延迟电路和施密特电路,它能够在电源前沿快的场合(如水银电池)以及电源前沿慢的场合(如整流电源)下使用,并且便于集成电路化。(5页)
東京芝浦電気(株) 1981.4.24

G06f-1/00 JP57-182229 8405682

存贮装置的存贮信息保护电路

在普通电源1供电期间,存贮装置4从普通电源1上接收电流的供给。此时通过二极管21,对电池3充电。当普通电源1产生故障而停电时,电池3通过二极管22,立即将电流供给存贮装置4。此时,供给存贮装置4的电源电压为比通常情况下低的,用来维持存贮器4中内容的必要的电压。这样,存贮器4的耗电减少,能维持较长时间,以保持存贮器的内容。(2页)

富士通(株) 1981.4.30

G06f-1/00 JP57-182230 8405683

存贮电路的电源装置

进行电弧焊接之类的工业自动装置产生高电压的杂音。此杂音从电源上,进入存贮电路,为了防止由此产生的误动作,在电源线上,设置了由三极管4和低阻值电阻5组成的串联电路。在工业自动装置工作期间,由于电压加到三极管4的基板上,使其导通,从而将电阻4并联到电源线上,使电源线阻抗降低。而在停电时,三极管4截止,电源线阻抗升高,使备用电池8的消耗减小,能长时间使用。(3页)

大阪变压器(株) 1981.4.30

G06f-1/00 JP57-182231 8405684

微计算机复位电路

当从电源复位电路16上输出复位信号时,触发器21被复位,处理装置CPU11将输出电

路12复位。CPU11产生周期为T的脉冲RP。当发生异常,使脉冲RP的周期在T以下时,单稳多谐振荡器13不能被触发,因而其输出为低电平。从而产生对于触发器21的置位脉冲。CPU11复位,但输出状态没有成为复位状态。此时,连续发生复位信号,CPU判断出故障,使警报电路24动作。(5页)

(株)北辰電機制作所 1981.5.1

G06f-1/00 JP57-185524 8405685
远距离电源控制方式

信息处理部件6因故障而不能开始正常工作时,前级信息处理装置根据其送往信息处理装置2的信息未能得到应答,而检出其故障。此时,前级信息处理装置将电源切断指令送到装置2上。通过电源切断指令检出电路13,检出该指令,电路13产生脉冲信号,送往电源控制电路14,将电源切断。另外,当前级信息处理装置与装置之间的联机业务终了时,送出第二电源切断指令,此指令送往信息处理部件6,根据此信号进行处理。信息处理部件6在全部业务终了后,将电源切断。(7页)

(株)日立制作所 1981.5.11

G06f-1/00 SU922706 8405686
用于数字计算机的定时信号发生器

原样机有一个振荡器(1)、预计计数器(2)、秒、分、小时计数器(3—5),二—十进制码计数器(6),状态分析器(7—9),输出单元(10—13),逻辑电路,触发器(21)和寄存器(22),其缺点是由于计数器(2)的进位脉冲使数据产生失真,这个失真的信号出现在二/二—十进制码变换的计数器(3)的输入端。可以通过附加译码器(29),触发器(30)和延时线(31)来克服这个缺点。在转换时间里,译码器(29)产生一个信号加到触发器(30)的置位输入端,如果变换已给被启动,触发器便不能置位,这是因为触发器(21)的低电平信号将出现在别的输入端。如果变换没有被启动,触发器便可以置位,并且禁止“与”门(17)阻塞“与”门(14—16)、二—十进制计数器以及寄存器。进位信号经过延迟线加到触发器,在接收适当的命令时,置位触发器进行变换。(4页)

DUBROV M G 1980.1.18

G06f-0/00 US4375663 8405687

微处理机用电源故障早期报警电路

该装置在存储器中存有数据,它是一个互补全氧半导体随机存取存储器,当交流电源电压下降时,可防止不精确数据传输到微处理机中的存储器里,该装置还包括一个对应于交流电压下降、可产生一个第一信号的电路,由于有这个第一信号,就防止了微处理机中的数据转换到存储器中,在存储器的互补全氧半导体随机存取存储器启动线上产生一个第二信号,在第一信号不启动存储器,处于备用状态时,第二信号预定一个时间,这个修正的预定时间比电源电压供给微处理机存储器所需要的时间短,以便将必须提供给存储器的准确转换值衰减下来,而这个预定时间应比一个完整数据块的转换周期要长。(5页)

LEEDS & NOR THR UP CO 1980.3.31

G06f-1/02 JP57-172426 8405688

任意函数发生器

过程输入等输入值X经放大器,输入到A/D变换器,变换为数字值,输入到处理电路。由电路3,根据数字开关的常数及程序输入进行一定的函数运算,由D/A变换器把数字量变为模拟量,从放大器5把过程控制输出值Y输出。在电路3中,常数A系数K的函数 $Y = A_j + K_j(x-x_i)$ ($i, j = 0 \sim n$)的输入数据X在函数发生比较值存储区中进行比较,由函数常数存储区取出常数 A_j 、系数 K_j 进行函数计数处理。利用微处理机,用软件进行函数线性逼近,函数常数转换,函数计算等处理,不需调整,即可很容易地产生任意函数。(3页)

(株)島津制作所 1981.4.17

G06f-4/02 JP57-182232 8405689

二次曲线信号发生方法及其装置

点P(X,Y)上的X方向,Y方向的第一微系数为 f_x, f_y 。比较 f_x, f_y 的大小和符号。根据 f_x, f_y 非参量性地产生二次曲线信号,从而能高速地画出平滑的曲线。这些处理是采用微处理机控制的运算装置和多个数据寄存器来实现的。(6页)

(株)横河電機制作所 1981.4.30

G06f-1/02 SU922707 8405690

随机处理模拟装置

原模拟装置是由一个随机数发生器(1),

时标比较器(2), 数和地址寄存器(3、4、6), 存贮单元(5)和控制单元(7)组成, 它产生离散的随机数和马尔可夫链。现为了产生一种多路马尔可夫链, 这种链的每一个连续状态都与多于一个的以前状态有关, 现模拟装置具有一个连接深度的修改单元(8), 它可以由切换单元(9), “与”门阻(10), 模2加法器(11)“或非”门(12)、计数器(13)和“与”门(14)组成。新的装置由电路的剩余数产生的随机数 $X_i (i=1, 2, \dots, n)$ 形成 m 路链值, 把这些数加到模2加法器。而加法器是由T触发器组成的, 其输入与“与”门阻相连。用计数器把 x_i 数的值加起来, 当 m 数加3以后计数器把 X_i 数的值加起来, (2)的“1”去置位加法器(11)。结果输出到寄存器(6)的高数字位, 并产生结果“存贮器的地址,”这样就形成了一行随加矩阵链, 并把它存贮起来。(8页)

KAZAN LENIN UNIV 1980.9.10

G06f-1/04 DE3131528 8405691
数字数据字和定时发生器

在产生数字数据字的仪器中, 存贮器(2)中的数字数据字通过多点插头(5、6)馈送到数据驱动单元(7), 后者通过输出端(8)连接到电路或测试单元。为了进行测试, 通常需要一个多时钟信号, 特殊的数据驱动单元通过多点插头来连接。多点插头中的触点(18)与把数据驱动单元的逻辑电路(13、16、17)连接到数据字仪器的调谐发生器(9), 输出多时钟信号的数据驱动单元的一个或几个输出端有开关(21、22)去切换输出信号的极性(14、15)。(8页)

ROHDE & SCHWARZ GMB 1981.8.8

G06f-1/04 DE3228013 8405692
数据总线驱动电路

该驱动电路能进行高速输入输出操作而无需增加芯片尺寸, 它在正反馈驱动器(25)上使用正反馈电路、正反馈驱动器耦合到金属氧化物半导体场效应晶体管的预充电路2上, 并引向连接运算器(24)的输入输出电路(23)上。在充电周期, 驱动器(25)呈现高阻抗, 能有效地使总线与它断开, 反馈电路与比较器相结合, 以便使总线电压相对于参考电压有效。(23页)

TOKYO SHIBAURA DENK 1981.8.21

G06f-1/04 EP73003 8405693
数字计算机系统用的中央部件

该中央部件有一个异步时钟电路, 该电路由两个基本相同的串联分电路组成, 各分电路由三个“与非”门组成。最后一个门的输出返回接到第一个门的输入。第一分电路的最后一个门的第一个输入又接到第二个分电路的第一个门的输出。每个RC延迟元件的电阻, 接在一个电源电极和第二或第三门的输入之间, 而其电容接到同一个输入和另一电源电极之间, 第一分电路的第二、第三个门和第二个分电路的第一和第三个门设计成斯密特触发器。(17页)

MULLER O 1981.8.26

G06f-1/04 JP57-161915 8405694
高电位时钟发生电路

驱动电路的充电用输出信号通过门电路GC对负载充电, 在耦合电容 C_1 和 C_2 的一个极上接驱动电路, C_1 的另一极接第一先进先出电路和第一时钟信号。第一时钟信号启动加有门控信号的门电路。当门电路GC关闭后, 第二时钟信号加到 C_2 的另一极, 第二先进先出电路使负载电容两端电压升高。这样在减轻先进先出电路负载的同时, 可以得到比较高电压的升压电路。

富士通(株) 1981.3.30

G06f-1/04 JP57-164320 8405695
微处理机的复位方式

当正常的程序不能执行时, 直接使微处理机复位, 不影响接在微处理机上的再生存贮器内的数据, 可缩短故障时间。地址由微处理机输出时, 由译码器选择特定的地址。将其和输入输出写入信号由门电路17进行逻辑乘, 再去触发单稳态触发器11, 该单稳触发器的时间常数要比程序扫描的时间长。当发生故障时, 便不再对单稳态触发器进行触发, 在由电路的时间常数所确定的时间以后, 单稳态触发器翻转, 将其输出驱动触发器12、13, 便对微处理机的复位端加上复位信号。(6页)

日本電気(株) 1981.4.2

G06f-1/04 JP57-168317 8405696
信号分离电路

软盘设备的调制波形(1)由接线端1输入, 加到同步计数器IC的清除端。时钟端丁上输入

比(□)那样的波形(イ)的频率Q充分高的时钟脉冲,送到IC。构成IC的各级触发器的输出端QA~Qb,分别输入(ハ、ニ、ホ、ヘ)波。由FF6分频的波形ホ可成为在相当于波形(イ)脉冲丢失位置的部分也可不丢失的连续脉冲波形,由端o输出。波形ヘ的反转波形4按照波形イ脉冲的丢失而变化送到输出端p。因此,输出端o可得到表示翻复频率的信号成分,输出端P可获得表示数字数据的信号成分。所有FF均采用在锁定脉冲的控制下动作的同步计数器,是一种不需脉幅调整的无调整形的信号分离电路。(4页)

(株)日立制作所

1981.4.10

G06f-1/04 JP57-174722 8405697
数据处理设备

寄存器Z₁把输入端的IN信号作为输入信号,在它的前缘,把计数器的内容CTR锁定,寄存器Z₂把经反向器反转的IN信号,作为装入信号;用它的前缘时间,把计数器的内容CTR锁定。读控制信号RD₁₁, RD₁₂为高电平时,缓冲器4₁, 4₂把寄存器内容ASR₁, ASR₂输出到数据总线。当中断要求信号由反向器的输出端输出到CPU时,CPU即读出寄存器Z₁, Z₂的内容ASR₁, ASR₂,对这些值进行运算,计算出输入信号的脉冲宽度。(6页)

東京芝浦電気(株)

1981.4.21

G06f-1/04 JP57-176433 8405698
分散处理系统的绝对时刻同步化方式

中央装置由中央计算机1和通信控制装置2构成。设有N个局部处理机3(LPU₁-LPU_n)它们分别与终端装置4连接,通信控制装置2与各局部处理机3用通信回线L₁-L_n连接,其传送速度各不相同。设回线L_n的传送时间为t_n,若通信控制装置2在T₁时刻传送此时刻信息,则此时刻信息到达各局部处理机LPU₁-LPU_n的时刻分别为T₁+t₁-T₁+t_n,将其作为各时刻信息。这样,虽然各局部处理机上的更新时间不同,但能取得绝对时刻的同步。(4页)

立石電機(株)

1981.4.22

G06f-1/04 JP57-176434 8405699
分散处理系统的绝对时刻同步化方式

中央计算机1在通信控制装置2上进行时刻信息T₁的发送请求,通过通信回路L₁-L_n,将时刻信息T₁传送到各局部处理机3上,经过

极小的时间延迟后,到达各局部处理机3。当出现故障时,局部处理机3中的某一个不能很好地接收时刻信息。在中央计算机1上设置了定时器,将相对时刻T₁可以忽略的时间t₀作为定时器的设定时间,当在发送后t₀之内,往各局部处理机3的发送动作尚未完成时,则改送时刻信息T₂,当全部局部处理机在发送后t₀以内接收完了时,则将T₂作为时刻信息。这样可消除绝对时刻的偏移。(5页)

立石電機(株)

1981.4.22

G06f-1/04 JP57-176435 8405700
时刻同步方式

当上位控制装置23想要使从动时刻计数器21与主时钟1一致时,送出时刻指令井1。时钟1上产生信号11(井1),将时刻计数器10的内容T₁寄存在寄存器9上。此内容T₁还置位到从动时刻计数器21上。此后,控制装置23送出时刻请求指令井2,同样,在时钟1上,将时刻计数器10的内容T₂存到寄存器9上。控制电路将此内容T₂送往上位控制装置23。控制电路计算(T₂-T₁-1)通过加法电路,将时刻计数器10的内容写入到从动时刻计数器21上。(5页)

日本電気(株)

1981.4.24

G06f-1/04 JP57-182819 8405701
同步式时钟脉冲控制电路

从中央处理机CPU送来的时钟脉冲12,通过门电路4,并经过连线5,送到多个模块1-n上。(如1-3)时钟脉冲12通过各模块上的门6-8,成为时钟脉冲13-15。连线5的回线按相反的顺序与门11-9连接,形成脉冲18-16。这样,在各模块1-3上,同一周期内,供给相位错开的两种时钟脉冲。通过连线5的图形长度,来调整相位的偏移量。为此,选择使用两种时钟脉冲,在各模块之间传送时,能够满足各电路元件的建立时间以及保持时间。(4页)

東京芝浦電気(株)

1981.5.8

G06f-1/04 SU920688 8405702
带计数器的脉冲列发生器

发生器有一个计数器(1)使计数器接收输入信号并连接于数码输入设备(2)和程序开关(4)之间,第一个输入脉冲触发器(6),该触发器封锁码输入设备。计数器对输入脉冲计数,当它连到相应的码发生器(3)控制下

的开关所选择的一个输出数值时,开关发送一个脉冲通过分配器(5)到设备的第一个输出端。计数器继续计数直到溢出。这时从计数器发出一个信号到码发生器,它通过输入设备送一个新码到计数器。计数器溢出信号预置触发器去解除对输入设备的封锁。这个新码送入连接相应计数器的开关,输出到设备的第二个主输出端去决定脉冲的重复频率。触发器封锁输入设备,计数器开始对输入脉冲计数,操作如同第一个码一样继续下去。(3页)
DRONOV V I 1979.12.5

G06f-1/04 SU922708 8405703
数字自适应相位编码数据同步装置

该同步装置不象原样机,它取磁带的信号并形成同步信号,其它优点是速度快,可靠性高。该装置包括附加的信息载体相位转换选择器(1)、鉴相器(2)、具有控制单元的校正计数器(3)、位周期计数器(8)、译码器(9)、分频器(6)和粗调和微调触发器(5、7)。选择器(1)和控制单元(4)已经进行了重新设计。选择器中的形成器由一个触发器,寄存器、三个“异”元件和三个“或”门组成,而控制单元由一个双向计数器、译码器,二个“与或”门和二一个“与”门组成。选择器把输入信号转换到三个信号序列,这三个信号序列表示了三个信息相位的转换。使用新的分频器给位周期计数器提供一特定的频率,它的进位信号改变计数器的内容比电流相位转换重复频率快了16倍,把计数器(8)的状态译码并去形成同步脉冲串,这些同步脉冲串由周期等于二个比特之间间隔的16个信号所组成,这些信号把相位转换重复周期分成不可调、微调 and 粗调几个范围,在周期匹配的情况下,改变校正计数器和分频器的内容。这样在没有模拟元件提高可靠性的情况下容易增加工作速度。(7页)

BOLOTIN G E 1980.1.22

G06f-1/04 SU922709 8405704
计算系统同步装置

该装置包括一个主振荡器,它的输出跨过延时电路到达同步电路,同步电路里来自计数器的每一个输出都经译码器和选择器到组合“与”门。该装置在解科学问题的计算系统的同步应用中有较高的运算速度。每一个同步电路都包括计数器(7),译码器(9),选择器

(10)和组合“与”门(13)。同步信号移位不再由延时电路来确定,主振荡器的频率是自动可变化,这样即可以实现同步信号相互间的移位,移位可以在解题的计算过程中进行,因而可以减少执行指令的时间。在机器万一发生误差时,可通过指令重复8次来降低其频率。

(5页)
MALYARSKII N M 1980.5.22

G06f-1/04 SU922710 8405705
微处理器同步器件

该器件已用于微压的控制,由于它的置位发生器基准频率较低使之有较大的干扰,现增加了置位发生器(1)、模2加法器(2),分频器(3),具有计数的触发器(7—9),“与”门(10、12),D触发器(11),“与”门(4),还有触发器(5)和模2加法器(6)。来自基准频率发生器(1)的信号经模2加法器送到分频器(3)。触发器(8)的输出仅在一个周期改变触发器(5)的状态,并把信号送到模2加法器(2),使基准频率的相位改变。由模2加法器(2)和计数触发器(8)分别产生二个不同的输出信号。(4页)

SIGNALLING COMMUNIC 1980.9.30

G06f-1/04 SU924688 8405706
可调脉冲时间连续发生器

为了用于数字计算机,测量设备和自动化系统,该发生器所依据的样机具有两个计数器,一个“与”门组,三个“与”门和触发器。增加一个寄存器,第二个“与”门组,和一个比较器,非门,和三个“与”门组能使发生器形成具有随机可变的时间连续脉冲重复周期。而且修改后的发生器能与数模转换器一起用作非线性元件或一个定时器,这种定时器能确定模拟计算机和数字计算机的之间通讯速度,或作为各种频率测量设备用的主振荡器。

(8页)
TURLAKOV P V 1980.10.2

数据输入输出,单元间连接

★G06f-3/00 DE3133433 8405707
带控制器、处理器和直接存取外部设备的计算机系统

该计算机系统包括一个主存储器(HSP),

主存贮器中的数据和地址通道(DAL)连于中央处理器(EP₁)和几个外设(PE1-3)。该主存贮器还可以编24位地址,而每个外设仅可以传送12位的地址,在外设向主存直接存取的情况下,外设把一个鉴别数传送到控制器,后者加上一个来自专用寄存器(R₁, R₂, R₃)的基本地址(r₁, r₂, r₃)后,分配给外设,然后由控制器将全部地址传送到主存贮器,中央处理机(EP₁)也有可输出基本地址的寄存器(R'₁, R'₂, R'₃)。因此,如果外设不能在允许范围内提供地址时,中央处理机可以阻止向主存存取。(10页)

SIEMENS AG 1981.8.24

G06f-3/00 DE3209530 8405708

带字母数字显示的字处理系统——可交换文件块的总设计图

SHARP KK 1981.9.17

G06f-3/00 DE3225773 8405709

电子和光学电路混合互连

在一个计算机网络中光学电路与电子电路互连。在光学电路的光导纤维和电子电路之间提供一个接收器,用以转换光信号为电信号。在电子电路和第二个光导纤维之间接入一个传输器,转换电信号为光信号。一个网络包含有重合检测器,用以防止两个光导纤维之间的信号传输。重合检测器由一个前置“异”门组成或接入一个施密特触发器。重合检测器的输入端耦合计接收器的输出端,它的第二个输入端可以链接计电子电路,它的输出端可以连接到传输器的输入端。这样使第一个光导纤维和电子电路之间,以及这个电路与第二个光导纤维之间可以同时传输。防止了光导纤维之间的传输。(13页)

WESTERN ELECTRIC CO INC 1981.7.15

G06f-3/00 DE3229310 8405710

工作卡片阅读器和数据累加器

在打印工作中,这个工作报表用于记录机器工作或维修等的时间。每种功能都由标记在一个特定行上的带来表示,这些特定行所占据的到数表示时间。卡片放在记录单元(1)的表面(3)上,通过施加一个吸力来使卡片保持平整,具有一个扫描记录头(8)和移动头(7)的滑动架(6)在卡片的表面上移动。步

进马达用于产生坐标运动,得到的数据被累加以进行操作记录。(15页)

DAI NIPPON INSATSU 1981.8.6

G06f-3/00 DE3231042 8405711

计算机化监控系统中的主控站

该主控站专门用于一些设备(如发电站)的远程控制监视,并可根据需要进行调整。它有一个卡片阅读机(5),在这个卡片阅读机中有关专用设备的卡片(7)由操作员插入,有关设备实际情况的信息就由输入控制器(17)通过接口(19)馈入状态存贮器(21),输出控制装置(23)选出有关专用设备的信息,在视频屏幕上显示。在该主控站的操作台上还有一个控制站(9、11、13、15),它用来使操作员通过输入控制器和接口把指令传入所选择的设备。(32页)

MITSUBISHI DENKI KK 1981.8.31

G06f-3/00 JP57-157324 8405712

数据输入输出装置

将计算机的数据总线的一部分划分到数据输入输出装置作为内部数据总线,计算机对于OD没有输入输出请求时,根据由表示开关所设定的表示选择信号,门信号a或c由控制电路输出。将内部输入数据ID₀~ID_n或内部门锁,数据OD₀~OD_n输出到内部数据总线驱动器。另外当计算机有请求时,使计算机方面的请求优先响应。停止先前内部数据总线上的表示,根据计算机方面的请求,使控制信号a~c动作,计算机进行数据的输入输出。这样由于接有表示电路,即使在表示电路发生故障时,也可防止对输入输出工作的影响。(5页)

東京芝浦電気(株) 1981.3.24

G06f-3/00 JP57-157325 8405713

微型计算机

在同一个芯片上设置有DMA控制电路及多个基片,以时分制方式工作。可以用较少的端子数将RAM的内容向外部进行传送,因而效率高。例如通过CPU₁向外部送出的数据写入缓冲器内,并加到基a~n的与门G₁的一个输入端。由DMA控制电路读出送到外部的数据由RAM加到基片a~n的与门G₂的一个输入端。因而,在时钟T₂的高电平期间与门G₁打开,从基片a~n将前述的缓冲器的数据送往外部。另外,在时钟T₁滞后一段时间的高电平

期间,由DMA控制电路把从RAM读出的数据送往外部。这样,CPU数据和DMA数据可以交互地通过同一基片向外部输出。(6页)
富士通(株) 1981.3.25

G06f-3/00 JP57-157326 8405714
输入输出系统

在通道内设置有由数据传送请求信号 SV_i 置位。且由应答信号 SV_o 复位的触发器,与此同时,当2数据传送请求信号 SV_i 送来经一定时间(由延迟电路决定的时间)以后没有应答,而该触发器仍保持置位状态时,对于所有以后的数据传送请求信号 SV_i 都禁止送出应答信号 SV_o 。因此,经常可将正确的状态信息通知通道。(5页)
富士通(株) 1981.3.24

G06f-3/00 JP57-157329 8405715
电子计算机系统中的输入输出控制方式

由于输入输出动作结束,输入输出处理装置IOP对于CPU输入输出结束启动中断。与此同时,将输入输出结束状态和输入输出装置的物理地址传送到主存贮器。同时IOP由输入输出控制装置将输入输出动作结束后对应于输入输出装置的输入输出装置识别值从寄存器传送到IOP,IOP将收到的识别值传送到主存贮器。然后,CPU产生输入输出结束的中断,切换到执行控制的控制程序。控制程序按照传送到该主存贮器的识别值进行输入输出结束的处理。(5页)
三菱电机(株) 1981.3.24

G06f-3/00 JP57-157330 8405716
输入输出控制方式

将输入输出装置附加于CPU上由多个输入输出控制装置IOP进行控制,当CPU和I/O进行数据传送时,CPU将经过IOP的控制系统使IOP的主存贮器1~2内的各IOP对应的表放置一个,其余的一起进行排队。而且,IOP将这个余下的通道程序,即输入输出动作定义表,输入输出参数表等独立的从CPU的存贮器1~2取出到IOP的存贮器3。如上述这样,IOP不需经过CPU启动就可独立地取出通道程序由多个IOP对接到IOP的输入输出装置进行控制可以减轻CPU的负荷。(8页)
(株)日立制作所 1981.3.25

G06f-3/00 JP57-157331 8405717
输入输出控制系统

命令链中的最初命令及中间命令输入输出控制装置从通道有关与门接收数据,并立即将通道结束(CE)和设备结束(DE)进行报告,对于数据传送的最后命令,通道1在接收输入输出控制装置1的数据缓冲器中数据时,将前述的CE进行报告。在对于输入输出设备的数据传送结束时,将前述的DE进行报告。前述的控制对应于断开命令链序列,在对于输入输出设备进行数据传送中间,即使产生故障时也能正确地进行故障报告。(5页)
富士通(株) 1981.3.25

G06f-3/00 JP57-157332 8405718
输入输出控制系统

在通道中设有格式控制部分和数据传送控制部分,格式控制部分的格式计数器(FC)被预置为1个扇区(256字节)的值,每次将一个字节写为1,在写1个扇区值之前发出信号ST,使比较电路有效。数据传送控制部分将数据缓冲器O—N中存在的数字字节数经常进行管理,将该字节数BC在前述的比较电路中和前述格式计数器的内容进行比较,当一个扇区的数据在数据缓冲区中传送时,比较电路将一个与门打开。这样数据传送控制部分将格式计数器的内容加以利用。用简单的构成进行所规定量的传送,而又使得数据缓冲区中的数据得以协调。(4页)
富士通(株) 1981.3.25

G06f-3/00 JP57-157333 8405719
存贮器地址控制方式

存贮器地址由地址指定线33不对第1;第2寄存器23—25进行指定时,比较电路将控制线51激励,将线33上的地址置位于寄存器20、21、22。而且将寄存器20和23的内容由比较电路进行比较,当相同时将控制线44激励。同时,寄存器21的最低位在电路53内进行判别,控制线46或47被激励。因而,与门28或29被打开,寄存器24或25的内容向线42输出,被送往存贮器控制电路。而当比较结果不相同,控制线43被激励,寄存器20、22的内容由线34、42、36送往该存贮器控制电路作为存贮器的地址。这样,在处理机的缓冲区管理中,将缓冲器数据块作为特定的、以缩短地址的位

数,提高数据传送及缓冲区管理的效率。(5页)

富士通(株)

1981.3.25

G06f-3/00 JP57-159319 8405720

总线电路测试方式:

控制器的指令输出电路SD在某一特定周期,在控制总线上产生与CPU无关的总线测试指令。送出的数据经由被控制装置内的总线电路、总线接收器、寄存器、指令译码器、选择器、总线驱动器和控制总线被控制器的总线寄存器接收。测试时,使符合电路M工作,将送出的数据和接收到的数据进行比较,当两者不一致时则认为有故障,将被控制装置的代号记录在排队存储器Q—MEM内。CPU将该存储器以不影响处理能力的速度读出,识别故障的被控制装置的代号或判别是否控制总线的故障,这样可以经常监视被控制装置的总线电路及总线是否有故障发生。(4页)

日本电气(株)

1981.3.26

G06f-3/00 JP57-159320 8405721

数据处理装置中接口的信号引线配线方式

当控制单元100选择被控制单元201时,控制单元100向连接板的引线1'送出信号。这样为了使被控制单元从连接板引线n得到信号,加于单元100的引线1上的信号通过选择信号线301及单元201的高位部分2011的引线n加到信号线30u上,其结果单元201被选用。另外,当单元100选择被控制单元202时,单元100向连接器的引线2送出信号,该信号加到单元202的高位部分2021和低位部分2022之间的信号线30u上。其结果单元202被选用。第3号以下被控制单元的选用也按同样方式进行。由于改变了接口的电缆或接口配线的引线配线,可使多台被控制单元的选择信号接收电路完全相同。(5页)

日本电气(株)

1981.3.27

G06f-3/00 JP57-159321 8405722

数据处理装置中接口的信号引线配线方式

各被控制单元20n的高位部20n1的引线1,由选择信号线301接于低位部20n2的连接板引线n上,高位部20n1的引线I由选择信号线302接于低位部20n2的连接板引线1上,以下按同样方法连接。在这里,控制单元100选择被控制单元201时,单元100送信号到该连接器的引

线1,便将该信号加到单元201的高位部2011,低位部20n之间的信号线301上,其结果单元201被选用。另外,单元100选择被控制单元202时,单元100送信号到该连接器的引线2,便将该信号加到单元202的信号线301上,其结果单元202被选用。由于改变了接口的电缆或接口配线引线的配线,可使多台被控制单元的选择信号接收电路完全相同。(5页)

日本电气(株)

1981.3.27

G06f-3/00 JP57-159322 8405723

信息处理装置

在触发器34、44、54置为复位状态下,由CPU读取输入输出通道地址指令到来时,译码器32、42、52进行译码,发出时钟脉冲CK₁~CK₃。时钟脉冲CK₁~CK₃为“O”期间,由门电路33、34、53对触发器的状态进行检验。现在例如输入输出通道3的门电路22输出DE₁为“I”时,开关35的输入输出通道地址的内容输出到数据线25上。CPU₂读取输出到线25上的最初的输入输出通道地址。然后,时钟CK₁的上升沿到来时,信号ENO₁成为“I”再当输入输出通道地址读取的指令到来时,由CPU读取输入输出通道4的地址。这样用少量的附加电路可对接入总线的多个输入输出通道的地址进行初始检验,用少的附加电路就可以提高诊断的精度。(4页)

东京芝浦电气(株)

1981.3.27

G06f-3/00 JP57-159323 8405724

插件接续方式

向下一级传播的中断接收信号TACK例如传播到6个插件构成的底板,即将该信号被第一个插件RACKA,第二个插件RACKB...第六个插件RACKF接收。槽间即使连续有5个空的插件中断,请求信号RACK也不会中断传播。另外,在接收端,与门电路11得到RACKA~RACKF信号的逻辑乘条件,不需考虑空的槽数也可以接收信号。因此,在插件之间可以设置空槽,需要增设插件时,可装于指定的槽内。(4页)

东京芝浦电气(株)

1981.3.27

G06f-3/00 JP57-161916 8405725

使用补偿方式的输入输出装置和字组多路通道间的数据传送装置

在通道内设置有两个寄存器,使输入输出

装置的送信数据确实在该通道中,在一定时间内依次取出,输入输出装置和通道间的数据可以进行高速处理。当CPU向字组多路通道BMCI送出动作开始命令时,BMCI便动作。由输入输出装置通过数据总线来的数据 S_1 ,通过信号线2送出通知信号并在 t_0 时刻到达BMCI输入到寄存器11内。由于在缓冲存储器13内的数据在处理中,要等到空闲时,数据 S_1 便立即顺序转送到缓冲存储器13,使寄存器11清零。在此以前将送来的数据 d_1 和送出的通知信号一起按前述方式存放在寄存器12内。为使缓冲存储器13数据 S_1 存完,数据 d_1 在寄存器12内等待,当缓冲存储器13存完数据 S_1 后再将数据 d_1 转送到缓冲存储器13。(9页)

富士通(株) 1981.3.30

G06f-3/00 JP57-161917 8405726 唯一检测电路

由两组优先编码器可以组合成高速的唯一的检测电路。输入信号线1—8中,信号线8的信号优先级最高,接入第1个优先编码器。另一方面,信号线1的信号优先级最高,接入第2个优先编码器30。将优先编码器29和30的相对输出端接入异或门的两个输入端,只有当两个输出互补时,异或门的输出端才为1。将三个异或门的输出接与门32,在与门32的输出端,只有当8个输入信号中仅有一个为1时与门的输出端才有效,构成仅有一个1的检测电路。(4页)

三菱电机(株) 1981.3.30

G06f-3/00 JP57-161918 8405727 多重控制方式

通道启动一台输入输出装置后,到该装置的选择动作完了之间,还可以对另一台输入输出装置的处理请求进行处理,提高了通道工作的效率。例如,当由通道启动信号CH开始选择输入输出装置 DV_1 时,释放和 DV_1 的联系,进入查询状态。各输入输出装置DV通过输入输出控制IDC,将通知通道CH的选择结束通知等信号送入IDC的优先电路4—8,按照信号发生的顺序,通道CH选择出一台输入输出装置DV。在前述的查询状态中,IDC按DV的高低顺序选择高位的DV,将该机代号送向CH和DV,然后进行正常的处理,再次进入查询状态。如果在这时,最初的 DV_1 产生选择结束

通知时,IDC选择 DV_1 ,按照前述那样进行处理,处理结束后IDC又进入查询状态。(4页)
富士通(株) 1981.3.30

G06f-3/00 JP57-161919 8405728 通道控制方式

将通道地址字保存的同时,直接将特定的条件代码通知中央处理装置,按其本身规律执行重算处理,可以提高处理效率。在通道控制装置CHP内设置有通道调度电路8,并且还设置有对应于通道装置CH内的各子通道,对应于从CPU来的启动命令通道控制字的起始地址CAWS,和对于该启动命令的处理在启动中加以指示的启动命令请求状态信息FLGS的指令存储区OSB。收到启动命令的CPU根据通道调度电路8的处理,在将CAWS和FLGS存储于OSB内的同时,对于CPU的该启动命令设定指示正常接收时的条件代码,按照OSB的内容,对输入输出装置进行启动控制。(6页)

富士通(株) 1981.3.30

G06f-3/00 JP57-162011 8405729 读出字节保存方式

在磁盘子系统的读出字节保持方式中,将该系统的识别信息及读出字节保存在输出装置内,再指定将该字节的识别信息送出,可以提高系统的可靠性和吞吐量。例如CPU₁由通道CH₁输入输出控制IOC₁的通路向输入输出装置发出输入输出指令。根据CPU₁的指令开始输入输出动作,并将系统识别信息ID保存在输入输出装置内。当动作异常时,输入输出控制装置在输入输出装置内生成读出字节的同时,并将装置检验结果报告CPU₁收到该信息的CPU₁在输入输出控制装置正在占用而不能利用通路A时,将向具有与通路A相同信息,ID的通路E发出读出指令和信息ID接收到这些信息的输入输出控制装置IOC₂。将从输入输出控制装置IOC₁来的读出字节读出并报告给通道2。(4页)

富士通(株) 1981.3.31

G06f-3/00 JP57-162012 8405730 通道控制装置的故障处理方式

在以时分制方式控制多个通道装置的通道控制装置中,当有故障发生时,暂时抑制向CPU的故障报告,而当接收到通道装置的启动开始指示后再发出该报告,以防止CPU处

理速度的降低。例如，输入输出控制装置的通道控制部 CHC 处于对任何一个通道装置也不进行控制的状态时，在执行微程序的通道控制程序过程中，当发生控制存储器 CS 读出故障时，由检验电路将故障检测出来，由门锁电路的输出使地址更新抑制电路动作，根据其输出对 CS 的地址更新并对微指令进行抑制，还将该故障向 CPU 的报告也暂时加以抑制。而等到通道装置的启动指示后，才使地址更新抑制电路复位，解除抑制状态，向 CPU 发出故障报告。（5页）

（株）日立制作所

1981.3.31

G06f-3/00 JP57-162013 8405731

初始程序输入方式

从后处理程序来的程序经常保存在主部件内，由初始程序将其装入到终端装置内，可以提高计算机的工作效率。例如在后处理程序 A 和多个终端 I-0, I-1……之间设置有主部件 b-o ~ b-N 并且从后处理程序 A 予先向主部件 b-o ~ b-N 装入了程序，保存在主部件内。当收到由终端装置来的初始程序装入请求 IPL 时，主部件的主控制器将保存的程序读出并装入到终端装置内。因此传送速度慢的后处理程序可以通过传送速度快的主部件对各终端装置进行高速的初始程序装入 IPL。（5页）

富士通（株）

1981.3.31

G06f-3/00 JP57-162014 8405732

数据传送方式

将选通信号分为窄的和宽的两种，窄的选通脉冲通过短的传送通路进行传送，这样对于高速的时钟也可以进行正确的数据传送工作。例如选通信号 A-D 的宽度为 2r 的宽脉冲，从 FF8 来的选通信号 E、F 为宽度 1r 的窄脉冲，送出选通信号的 FF2、FF8 的时钟相位一点也不能差。宽脉冲的选通信号 A-D 通过长的传送通路，窄脉冲的选通信号通过短的传送通路进行传送。另外装置 MEM 的门 A01、A02 用宽的脉冲信号 A—D，而输出级的门 A03 使用窄的脉冲信号 E、F 进行各种动作，以装置 MEM 向装置 LGC 传送数据。（5页）

富士通（株）

1981.3.31

G06f-3/00 JP57-162015 8405733

公共输入输出总线控制方式

在用于信息处理系统中的公共输入输出总

线控制方式中，用同一功能的多个总线切换模块的组合进行模块单位的总线切换控制，可进行高可靠性容易扩充和变更的控制。例如 CPU I01n ~ I01n 输入输出装置 I/O, 103₁ ~ 103n 分别接于各输入输出总线 102₁ ~ 102n 上。在 CPU 101₁ ~ CPU I01n 和 CPU 公共输入输出总线 104₁, 104₂ 之间设置有包括各个总线控制电路的具有相同功能的总线切换模块的树形多个输出总线切换电路 106₁ ~ 106₂。根据这些电路的总线切换控制将总线 104₁ ~ 104n 进行选择，可接于 CPU₁ ~ CPU_n 相对应的总线 102₁ ~ 102n 中的一个总线上。（6页）

東京芝浦電気（株）

1981.3.31

G06f-3/00 JP57-162016 8405734

公共输入输出总线控制方式

将各总线切换模块构成相同的模块，使其每一个模块具有总线切换控制功能，可以进行高可靠性的输入输出总线控制，并且容易进行系统的扩充和变更。例如在 CPU I01₁ ~ CPU 104₄ 和对应于每个 CPU 设置的输入输出装置 103₁ ~ 103₄, 105₁ ~ 105₄ 之间接有固定的输入输出总线 102₁ ~ 102₄ 而在公共输入输出总线 104₁ ~ 104₄ 上接有各个 CPU 和输入输出装置 103。另外，具有了通道以上的输入输出总线切换模块 BSM 106₁ ~ 106₄ 将与其对应的输入输出总线 104 进行选择加以切换，在模块 BSM 之间设置有接成环状的公共输入输出总线 107₁ ~ 107₄ 并且模块 BSM 的一个通道和对应的 CPU 输入输出总线 102 相接，另外 2 个通道与输入输出总线 107 相接。因此，任意的一个 CPU 可以通过总线 104 和任意一个输入输出装置进行信息交换。（7页）

東京芝浦電気（株）

1981.3.31

G06f-3/00 JP57-164321 8405735

输入输出控制装置

在输入输出控制装置内设置有无屏蔽中断电路、有屏蔽中断电路和命令识别电路，不需要解除和数据通道的联系，就可以传送维护信息。当中央控制装置 CC 检测到输入输出控制装置 IOCU9 有异常时，从中央控制装置通过数据通道送出维护命令，因此使输入输出控制装置启动，控制器 MPU13 内的无屏蔽中断电路进行中断，MPU13 根据该中断对从回线对应部 Lu14 来的中断进行屏蔽，中断正在执行中的处理，转移到程序存储器 ROM₁₁ 的固定

地址,由ROM₁₁内的中断程序,将存贮在RAM₁₂内的维护数据置入缓冲存贮器17内,通过接口控制部10传送到中央控制装置CC。这样不需要解除和数据通道的联系,就可以传送维护信息。(4页)

(株)日立制作所

1981.4.1

G06f-3/00 JP57-164322 8405736

检测字节先取方式

对于从低位装置来的命令的异常结束中断,由输入输出通道装置独自发出检测命令,可提高输入输出控制装置的使用效率。接于CPU1的输入输出通道装置2接收到由输入输出控制装置3的输入输出端子送31来的设备校验信息时,向端子31返送检测命令,并将输入输出控制装置3送来的检测字节保存到缓冲存贮器21内。CPU1根据从输入输出通道装置2来的异常中断,操作系统发生检测命令,从输入输出通道装置2取出检测字节。这样可以减少输入输出控制装置接收到检测命令前的占用状态,提高其使用效率。(4页)

富士通(株)

1981.3.31

G06f-3/00 JP57-164323 8405737

输入输出装置的状态通知方式

在输入输出装置的联机、脱机状态之间的转换时,将其自动地通知中央处理装置,这样可以没有无用的处理,提高系统的利用效率。计算机系统由中央处理装置1和输入输出装置5a、5b、5c及相互联接的通道装置4构成。在通道装置内设置有状态检测部7,对输出输入状态的转换进行检测,并将检测情况通知中央处理装置,中央处理装置在实际的作业执行前可以掌握输入输出装置的状态,可减少无用的处理,提高系统的使用效率。(4页)

富士通(株)

1981.4.2

G06f-3/00 JP57-164324 8405738

输入输出中断控制方式

将系统识别信息保存在输入输出装置内部,使用空闲状态的总线进行中断的报告,因而可以增加系统的吞吐能力。设置在输入输出装置IO内的输入输出中断控制电路在输入输出控制装置IOC成为自由状态时接收扫描信号50和系统标识ID,输入输出装置将系统标识103和命令启动时的系统标识102由比较电路20进行比较,当两个一致时有输出。当触发器FF30

在中断保持状态时输出为“1”,这时由与门电路40输出的通道送出门信号有效,将本身的通道进行报告。当输入输出控制装置IOC收到通道报告时,选择这时的系统标识对应的总线,对输入输出装置IOC的中断进行报告。这样总线可以并行利用,增加系统的吞吐能力。(5页)

富士通(株)

1981.3.31

G06f-3/00 JP57-164325 8405739

高速数据处理装置

在输入输出装置上增加几根信息线,在高速数据处理装置内设置有数据地址计数器,这样可将高速的输入输出设备接于高速数据处理装置上。在进行连续传送的输入输出控制装置3和高速数据处理装置2之间设置有连续传送模式线18。由该传送模式线18,输入输出控制装置3占用高速数据处理装置2。在输入输出控制装置3内设置不具有增量功能的数据地址寄存器17。在高速数据处理装置2内设置数据地址计数器16,将地址寄存器17的内容置入。当连续传送结束时,通过传送结束指示线19对高速数据处理装置送出传送结束指示。这样,可以将图象处理装置和高速数据传送的磁盘装置接于高速数据处理装置上。(5页)

三菱电机(株)

1981.4.2

G06f-3/00 JP57-166623 8405740

通道设备

主控制器发生固定性故障时,发出通道不能控制的信号。因此,发出复位指令,通道分离信号出现后,“与”门24封锁复位信号12,但“与”门23送出输出10,使触发器6置位,产生接口分离信号11。这样“与”门25,发送电路19、20、接收电路21、22工作,抑制CPU与输入输出设备之间所有的信号。通道设备切断CPU与输入输出设备间的逻辑联接。因而,将发生固定性故障的通道设备2分离,转换到与另一通道设备间的总线,即可驱动系统。可大幅度提高公用输入输出设备系统的应用性。(3页)

(株)日立制作所

1981.4.3

G06f-3/00 JP57-166624 8405741

程序装入时装入状态和显示方式

当从主计算机送来开始的程序数据块时,由微处理机MPU控制,使初始画面显示在