

第42篇 集成电路

主编单位:

第一机械工业部机械工业自动化研究所
国家仪表总局沈阳仪表工艺研究所

主 编:

钟士谦 康绵第

编 写 人:

钟士谦 康绵第 谢春光 王儒金 叶自平
谭克勤

6371.122

常用符号表

g_m ——跨导	I_L ——负载电流
I_{cch} ——截止电源电流	I_{om} ——最大输出电流
I_{est} ——通导启动电流	I_{rn} ——选通跟随电平输入电流
I_{ok} ——输出饱和电流	K_v ——电压放大系数
I_{on} ——输出短路电流	P_{co} ——静态功耗
I_{rr} ——输入反向漏电流	P_n ——最大静态功耗
I_{te} ——输入短路电流	R_{in} ——开环输入电阻
N_o ——输出系数	R_L ——负载电阻
P_{on} ——空载导功耗	R_o ——开环输出电阻
t_{pd} ——平均延迟时间	S_f ——电荷满速率
V_{cc} ——正电源电压	S_r ——转换速率
V_{od} ——MOS电路电源电压	S_d ——放波抑制比
V_{en} ——负电源电压	S_T ——输出电压温度系数
V_{oh} ——输出高电平	S_v ——电压调整率
V_{ol} ——输出低电平	V_{st} ——输入失调电压
V_{on} ——开门电平	V_{icm} ——最大输入共模电压
V_{off} ——关门电平	V_{ik} ——最大输入差模电压
V_T ——开启电压	V_{om} ——最大输出电压
CMRR——共模抑制比	V_{ref} ——参考电压
f_{BW} ——开环带宽	Z_o ——输出阻抗
G_{ol} ——开环电压增益	μ ——载流子迁移率
I_{ib} ——输入偏置电流	ω_0 ——特征频率
I_{ia} ——输入失调电流	

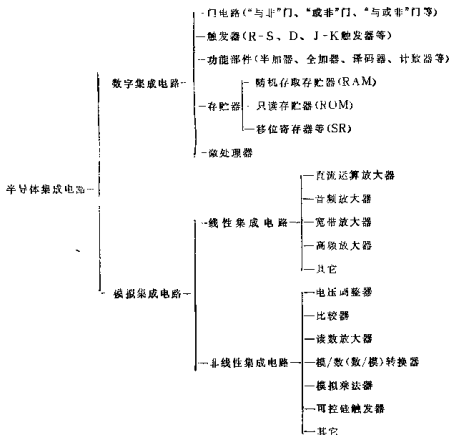
第1章 概 述

集成电路是利用半导体工艺或薄、厚膜工艺把晶体管、二极管、电阻、电容等电路元件制作在同一基片上，并按电路要求互连起来，使其成为具有一定功能的电路。它是继电子管、晶体管之后出现的一种新型电子器件。这种新型器件打破了电路的传统概念，实现了材料、元件、电路三位一体。与分立元件组成的电路相比，集成电路具有体积小、重量轻、功耗低、性能好、可靠性高、成本低等许多优点。因而得到了各方面的重视，发展非常迅速，应用日益广泛。

集成电路按制造工艺的不同，可分为半导体集成电路、薄膜集成电路和混合集成电路等。半导体集成电路是利用平面工艺（氧化、光刻、扩散、外延等）在半导体单晶片上制成的集成电路，也称为单片集成电路。用薄膜工艺（真空

蒸发、溅射等）或厚膜工艺（丝网印刷、烧结等）将电阻、电容等无源元件及互连线制作在同一块绝缘衬底上，再焊接上微小晶体管，使其成为具有一定功能的电路，则称为薄膜或厚膜电路。如果再焊接上单片集成电路则称为混合集成电路。其中发展最快、品种众多、产量最大、应用最广的是半导体集成电路。

半导体集成电路分类方法很多，按有源器件分类可分为双极型、MOS型以及双极MOS型集成电路；按集成度分类可分为小规模（每片几个门或几十个元件）、中规模（每片几十个门或100个元件以上）、大规模（每片100个门或1000个元件以上）和超大规模（每片10000个门或10万个以上元件）集成电路；按功能分类，可分为数字集成电路和模拟集成电路等，详见下表。



自从六十年代初期研制成功最简单的集成电路以来,集成电路技术得到了极为迅速的发展。集成电路在机械工业各个领域中也已得到广泛的应用,成为仪器仪表、自动化装置、工业控制机及其外围设备的重要基础元件。

工业控制机是各种自动化系统的关键部分,它在机械、冶金、化工、电力装备中的应用越来越普遍。如机械加工的群控、炼钢、轧钢过程自动控制;发电厂的经济运行;输配电的自动调度;石油化工中的流程控制等方面应用工业控制机日益增多。由于生产过程的连续性,要求控制计算机高度可靠。否则就会使生产中断、设备损坏,造成巨大损失。集成电路,特别是中大规模集成电路的应用大大提高了工业控制机的可靠性,从而推动了工业控制机在生产过程中更加普及应用。一般说来工业控制机对运算速度的要求并不太高,常用的中、低速电路如 DTL、TTL、MOS 电路都可以应用。但是由于机械工业现场运行的条件较差,要求集成电路必需有较强的抗干扰能力。因此高阈值电路在恶劣环境中显示了其优越性。微处理器是一种新型的大规模集成电路,由它构成的微型计算机,结构简单,使用方便,运行可靠。既能实现自动测量,又能实现单机控制等。此外,数字化仪表,也都大量需要各种数字集成电路。

工业自动化仪表及计算机外围设备中,广泛地采用了模拟集成电路,它可灵活方便地对各种模拟量进行测量、运算和转换。高性能的集成运算放大器 and 大规模集成的模数转换器的出现,为自动化仪表更新换代奠定了基础。

此外,机械工业中还大量应用各种专用集成电路,如照相机曝光自动控制电路,电力拖动中的可控硅触发电路,汽车刹车自动控制电路等。随着集成电路在机械工业中应用的增多,这种专用集成电路的种类、功能、集成度还会不断地发展。

集成电路技术在短短几十年中,不论在多功能、高速度、低功耗方面,还是在高可靠性、高集成度方面,都取得了很大的进展,提高集成电路的功能和可靠性,主要还是从提高集成度的途径来达到。因而对材料的性能、元件的结构,工艺和生产条件的改善,都是围绕着集成度这一中心来发展。所谓打破了分立元件组成电路的传统概念,就是利用“精、微、细”的加工手段,将原来是宏观规模的电路缩小到很小的硅片上。由于这种缩小,使材料、元件和电路的关系更加密切。然而,它并没有从本质上突破电路的概念。因而在集成度的提高方面还受到一定限制。电荷耦合器件(CCD)的出现给我们一种新的启示。它是利用硅材料表面对电荷存贮和传输的功能制成的一种新型器件。这种传输是在微观的晶体中进行,而不需要复杂的扫描电路和内部连线。正是这种器件达到了目前最高的集成度。如果注意利用材料的特性来部分或全部的代替电路功能就会取得更大的突破。沿着这一方向前进,集成电路技术将会得到更大的发展。

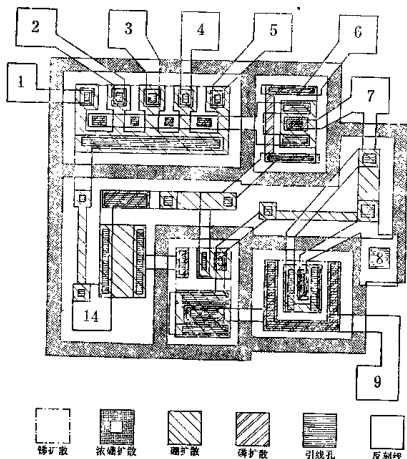
集成电路技术在机械工业方面的应用,现在还仅仅是一个开端,然而可以看到它在提高机械设备的精度和效率,促进机械工业自动化等方面已取得了显著的成效。可以预言,随着这种应用的深入和发展,机械工业技术面貌将会焕然一新。

第2章 半导体集成电路的结构、设计和制造

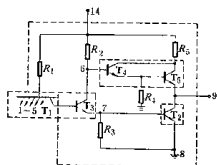
1 半导体集成电路的结构

半导体集成电路是将晶体管、二极管、电阻、电容等电路元件利用平面工艺制作在几个平方毫米的小硅片上,其深度仅在十几微米的表面层内,用

铝条将其互连连接,使之成为具有一定的电路功能(如开关、存贮、计数、运算、放大等)。铝条与硅片表面层内的这些元件之间利用二氧化硅来互相绝缘,各元件互相之间也需要绝缘,称为隔离。图 42-2-1 是集成电路管芯结构及其等效电路图。



a) 管芯平面结构图



b) 等效电路图 (TTL门电路)

图42-2-1 集成电路管芯结构及其等效电路

1.1 双极型集成电路

双极型集成电路由晶体管、电阻、电容等元件组成。元件之间需要电性能隔离。因此双极型集成电路各元件除结构与分立元件不同外，其隔离技术是它独有的特点。

1.1.1 双极型晶体管

集成电路中的晶体管和分立元件的平面型晶体管相似，都是由平面工艺制成的，它们的符号和结构如图42-2-2所示。集成电路中的晶体管（如图42-2-2b）是在P型硅衬底上先用硼扩散制作一层

N^+ 隐埋层, 然后在上边生长 N 型外延层, 在 N 型外延层上用硼扩散造成一个 P 型基区, 再在 P 区中间进行磷扩散, 形成一个 N 发射区, 这样在外延

层上就形成了一个 NPN 的三层式晶体管结构, 它和电路中的其他元件之间的电性能隔离就是硼扩散所形成的 P^+ 隔离槽。

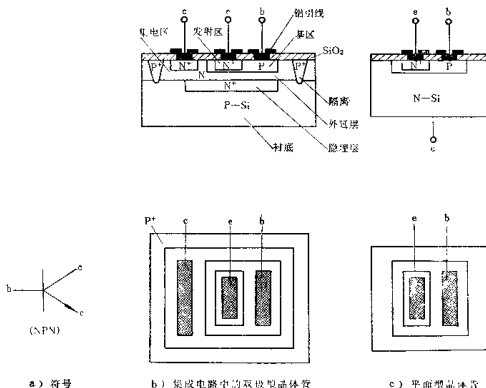


图42-2-2 双极型晶体管结构

由图中比较可知, 集成电路中的双极型晶体管结构和分立元件的硅平面型管结构有两个不同特点:

(1) 为了集成电路各元件之间便于互连线, 集电极引出头和发射极及基极引出头做在同一平面上。这样带来一个问题, 即集电极电流要经过比较长的一段高电阻率的集电区, 使它串联电阻增大, 引起饱和电压增加, 因此要在集电极区制作一层 N^+ 低电阻隐埋层来降低集电极串联电阻。

(2) 为了把晶体管和其它元件组成电路, 就需要互相隔离, 图 42-2-2 b) 中是用反向 PN 结来隔离的, 即在晶体管集电极 N 型外延层的周围用扩散的 P^+ 将其包围起来, 被包围起来的 N 型外延层称为 N 型“岛”区, 并在 P 区和 N 型外延“岛”区之间加上反向偏压, 以达到各 N 型“岛”区之间电性能隔离。集成电路的隔离方式很多, 除上述 PN 结隔离外, 还有介质隔离、空气隔离等。图 42-2-3 为常用的等平面介质隔离图形。

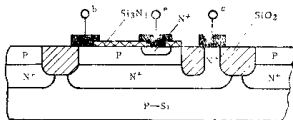


图42-2-3 等平面介质隔离

PN 结隔离制造容易, 但寄生效应大; 介质隔离制造困难, 但寄生效应小。

集成电路中晶体管发射极电流的大小是确定发射区图形的主要因素。最大电流和发射区边界有效长度的关系为:

$$I = KL$$

式中 I —— 晶体管发射区的最大电流 mA

L —— 发射区边界的有效长度 μ

K —— 经验数据, 对于线性电路一般取

$0.04 \sim 0.16 \text{ mA}/\mu$

对于逻辑电路一般取 $0.16 \sim 0.4 \text{ mA}/\mu$

1.1.2 二极管

集成电路中使用的二极管和晶体管的结构完全相同, 根据用途的不同把晶体管的发射极、基极、集电极组合连接成二极管使用。图 42-2-4 是最常用的连接方式, 把集电极和基极短路, 并和发射极组成二极管。这种接法的优点是没有寄生晶体管效

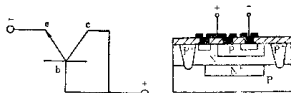


图 42-2-4 集成电路中的二极管

应, 正向压降最低, 开关时间短等。各种连接法的二极管特性见表 42-2-1。

表 42-2-1 各种连接法的二极管特性比较

连接方式					
存储时间	最 小	中 等	最 大	较 小	较 大
正向压降 (小电压)	较 大	小	较 小	大	较 小
正向压降 (大电压)	较 小	较 小	大	最 大	大
击穿电压 V	6~9	>20	6~9	6~9	>20
特 点	存储时间短, 没有 寄生晶体管效应	反向电压高	存储时间长	寄生电压小	反向电压高

1.1.3 电 阻

集成电路中的电阻一般都是利用制作晶体管时的扩散工艺来完成的, 称为扩散电阻。小电阻用发射极区扩散。较大电阻用基区扩散, 再大的电阻可用沟道型电阻。沟道型电阻是在基区的上面扩散一层相当于发射极的N型区域, 作成两面夹着的薄层结构。图 42-2-5 为三种电阻结构。不同的扩散方

式制作成的电阻值范围见表 42-2-2。

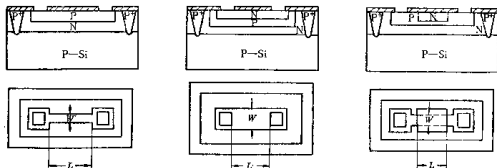
扩散电阻由下式表示:

$$R = R_0 \left(\frac{L}{W} + K \right)$$

式中 R_0 ——扩散区方块电阻 (由工艺决定) 其值见表 42-2-2

L, W ——扩散电阻的长和宽

K ——端头校正因子, 当电阻条宽 $\leq 25 \mu$ 时 $K = 0.28 \sim 0.8$



a) 基区 P+ 扩散电阻

b) 发射区 N 型扩散电阻

c) 沟道型电阻

图 42-2-5 电阻的结构

表42-2-2 各种电阻特性比较

电阻形式	阻值范围 Ω	方块电阻 $R_{\square}$ $\Omega/\square$ ①	阻值误差 %	匹配误差 %	温度系数 ppm/ $^{\circ}\text{C}$
发射区扩散电阻	50以下	$\frac{1}{190} \sim \frac{1}{40}$	± 15	± 1	+1500
基区扩散电阻	10~20 k	150~200	± 15	± 1	+1500
沟道夹断电阻	20 k~100 k	10 k~20 k	± 50	± 6	+4000
薄膜电阻(硅铬电阻)	10~1 M		± 5	± 1	+100

① $\square$ 为与大小无关的小方块面积。

集成电路中扩散电阻的特点是单个电阻的绝对值的制作精度较差,但两个电阻的阻值比的精度可以做得很高,如果要求单个电阻阻值精度很高、温度特性又好的电阻可采用溅镀的硅铬电阻。

1.1.4 电容

集成电路中的电容有PN结电容和MOS电容两种。数字集成电路中一般不用电容,模拟集成电路中采用的电容较小,一般多采用MOS电容。MOS电容的结构如图42-2-6所示。

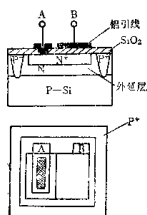


图42-2-6 MOS电容结构

MOS电容的两个电极是铝层和硅片,其间的介质为 SiO_2 。为了减少串联电阻在N型硅片上进行 N^+ 扩散,在实际工艺中是与发射区 N^+ 扩散同时制作的。其电容值约为:

$$C = 3.54 \frac{S}{t} \times 10^{-6} \text{ pF}$$

式中 S ——电容面积 μ^2
 t ——氧化层(SiO_2)厚度 μ

1.2 MOS 集成电路

MOS 集成电路中的元件都是由 MOS 晶体管构成的。MOS 晶体管之间不需隔离,因此 MOS 集成电路比双极型集成电路结构简单,易于大规模集成。

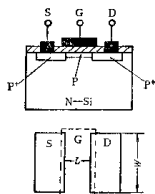


图42-2-7 MOS晶体管结构

MOS 晶体管的结构如图42-2-7所示。在N型硅片上扩散两个 P^+ 区,形成源极(S极)和漏极(D极)。在源漏极之间表面生长一层 SiO_2 ,再在这 SiO_2 层上蒸上一层铝称为栅极(G),即成为P型沟道MOS晶体管。如果在P型硅片上扩散 N^+ 区作源漏极而做成的晶体管称为N型沟道MOS晶体管,在源漏极间接上电源,在栅源极之间加零偏压就能导电的晶体管称为耗尽型器件。只有在栅源极之间加一定偏压值才能导电的晶体管称为增强型器件。

MOS 晶体管最主要的参数是开启电压 V_T 、给定栅源电压下的漏源电流 I_{DS} 和跨导 g_m ,它们之间的关系如下:

$$I_{DS} = \frac{\mu \epsilon_{ox}}{2t_{ox}} \frac{W}{L} (V_{GS} - V_T)^2$$

$$g_m = \frac{\mu \epsilon_{ox}}{t_{ox}} \frac{W}{L} (V_{GS} - V_T)$$

式中 V_{GS} ——栅源电压

μ ——沟道中的载流子迁移率,它与单晶硅的取向有关,在 $\langle 100 \rangle$ 面时为最大

ϵ_{ox} ——二氧化硅的介电常数,一般为 3.5×10^{-13} F/cm

t_{ox} ——绝缘栅氧化层厚度,通常为 $1000 \text{ \AA} \sim 2000 \text{ \AA}$

L ——沟道长度,通常为 10μ 左右

W ——沟道宽度

而开启电压 V_T 又可用下式来表示:

$$V_T \approx \left(\frac{Q_{ss} + Q_b}{\epsilon_{ox}} \right) t_{ox}$$

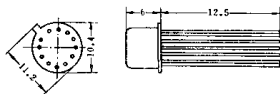
式中 Q_{ss} ——栅极二氧化硅层的正电荷密度,在 $\langle 100 \rangle$ 方向为最低

Q_b ——硅基片材料的体电荷密度,与电阻率成反比

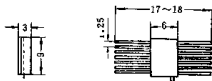
集成电路中 P-MOS 增强型器件的开启电压一般为 $3 \sim 5$ 伏。

1.3 集成电路的封装外壳

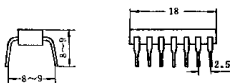
集成电路的封装外壳大致有三种:金属圆壳



a) 金属圆壳型



b) 扁平型



c) 双列直插型

图42-2-8 集成电路的典型外壳

型、扁平型(陶瓷或塑料)和双列直插型。其典型外形举例如图 42-2-8 所示。金属圆壳型封装散热好,可靠性高,但成本也高,使用不大方便;扁平型封装体积小,成本低,但可靠性差,散热也不好;双列直插型封装使用方便,可靠性高,但成本也高。

2 集成电路的设计要点

集成电路的设计包括电路的模拟设计、工艺设计和版图设计三个方面,即首先用分立元件模拟所研制的集成电路的功能,然后确定用什么工艺来制造,最后进行版图设计。

2.1 电路模拟设计要点

估计到将要制造的集成电路的功能水平、成品率、可靠性、通用性,并考虑工艺设计和版图设计,对电路模拟提出以下几方面要求:

(1) 电路元件尽可能少而电路功能水平尽可能高。这有利于提高成品率、集成度、可靠性,为整机的高功能水平打下良好基础;

(2) 电路所用元件参数值范围尽可能宽,减少制造工艺和版图布置的困难;

(3) 相互连线、引出线尽可能少,以便减少压焊、测试工作量,为此就要求系统分割和逻辑设计合理;

(4) 由于集成电路中晶体管占用面积小,电阻(特别是双极型电路中的大电阻)、电容占用面积大,所以尽量多用晶体管,少用电阻电容,尤其要少用精度高的电阻和大电容;

(5) 对于器件结构和特性较复杂电路的模拟设计,可采用计算机辅助设计。

2.2 工艺设计要点

工艺设计时要考虑集成电路的下述要求:

(1) 集成电路所要达到的性能(参数)指标;

(2) 电路的复杂性(集成度);

(3) 用途(军用、工业控制、民用等);

(4) 封装型式选择(双列直插式、扁平封装、金属圆壳型封装等);

(5) 可靠性要求;

(6) 采用工艺方案(单片、多片、相容等);

(7) 成本。

根据以上要求,最后确定采用的工艺方案。全扩散单片工艺是最先进最成熟的工艺。这种工艺要求低、制造容易、成本低、可靠性高,对大批量生产的逻辑电路最为合适。对于元件参数精度要求高而数量少的模拟电路,则采用多片式、相容式为好。对于双极型单片电路,采用PN结隔离工艺简单方便,成品率高,成本低。而介质隔离能得到高性能电路,但加工难度大,成品率低。

2.3 版图设计要点

(1) 对于互相连接的铝条,要求尽可能均匀分布在芯片上,有利于提高硅片利用率并使各部分温升均匀;铝条尽可能短而直,减少划伤断裂的机会,提高成品率和可靠性;铝条避免从晶体管、二极管管上面爬过引起耦合和因针孔而短路;电源线、地线和长铝条尽可能宽一些,流过电流大的引线孔也应适当加大,拐角处应适当放宽;输入输出线尽可能不放在相邻位置上防止耦合;

(2) 注意工艺中横向扩散产生的影响,长扩散区产生的电阻对电平的影响;

(3) 交叉跨线越少越好,交叉可用扩散隧道或两层布线方法解决,前者多用于MOS电路,后者多用于双极型电路;

(4) 扩散区、铝条宽度、间距、图形套准精度视电路功能要求、工艺装备、工艺水平而定,以宽裕些为好;

(5) 芯片边缘上要考虑放上工艺检测图案;

(6) 图形布置尽可能规则、对称;

(7) 对于双极型集成电路,隔离区越少越好,为此可将集电极电位相同的NPN晶体管放在一个隔离区内,基极电位相同的PNP晶体管可放在一个隔离区内,PNP管基极和NPN管集电极间电位也可放在一个隔离区内,自身形成了隔离的电阻也可放在一个隔离区内。这样对于提高硅片利用面积和成品率,减小隔离漏电和提高可靠性均有好处。对称晶体管(如线性电路中的差分对管)应放在相邻部位,以提高电路性能;

(8) 对于MOS电路,要有防止静电感应而引起输入端损坏的保护措施。一般用在源栅极间加雪崩二极管或再加一个串联电阻的方法;

(9) 对于模拟电路,在设计时应考虑引出必要的接头,以便于外接元件,从而增加电路的灵

活性;

(10) 管脚压点分布要符合管壳标准化要求,尽可能分布于芯片四周并将间距拉开,防止封装时键合引线相碰短路。

根据上述设计要点和集成电路各元件的结构即可进行设计。设计图形参见图42-2-1。

3 集成电路的制造工艺

制造集成电路需要经过许多道工序,采用多种工艺,如图42-2-9所示。通常把单晶硅的切、磨、抛光称为前工序,把用平面工艺制造管芯部分称为制管工序,而把划片及以后的组装测试等称为后工序。对于各种类型的集成电路来说,前工序、后工序大体上是相同的,不同的主要在制管工序。

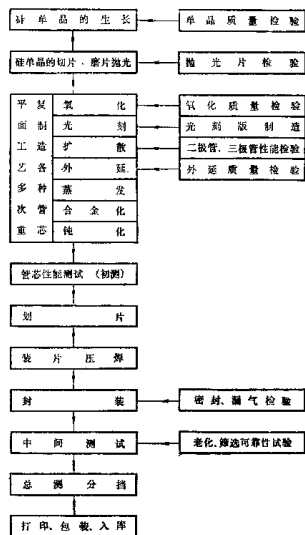


图42-2-9 集成电路的制造过程

质量检验，以表面无拉纹、划痕、疵坑为好。

3.1 前 工 序

3.1.1 切 片

将导电类型、电阻率、位错、寿命等性能参数符合要求的单晶硅进行定向，然后用内圆切割机切成0.3~0.5毫米的薄片。

3.1.2 磨 片

首先将切片时粘附于硅片上的粘合剂用有机溶剂或洗涤剂将其去除干净，并进行超声清洗，将硅片上残存硅渣充分去除干净。然后进行双面磨片，磨片通常分粗磨和细磨两步。粗磨主要是去除切片刀痕和得到厚度均匀的硅片。细磨前要进行超声清洗，去除硅渣和粗磨磨料。然后在较洁净的房间内用更细的磨料进行细磨，以便尽可能去除切片时所造成的机械损伤层。磨后进行超声清洗，然后送交

3.1.3 抛 光

将细磨合格的硅片送到洁净室内进行抛光。目前抛光方法中以含有氢氧化钠的 SiO_2 乳胶法为最好。这是一种机械化学抛光法，能较充分地去除表面机械损伤层，得到表面加工质量较高的硅片。抛光后，将硅片进行认真清洗，然后送去质量检验。切、磨特别是抛光质量的好坏不仅直接影响器件的性能、成品率，而且也对产品可靠性有很大影响。

3.2 管 芯 制 造 工 序

3.2.1 管芯制造流程图

PN结隔离双极型集成电路管芯制造流程图见图42-2-11。P-MOS集成电路管芯制造流程图见图42-2-10。

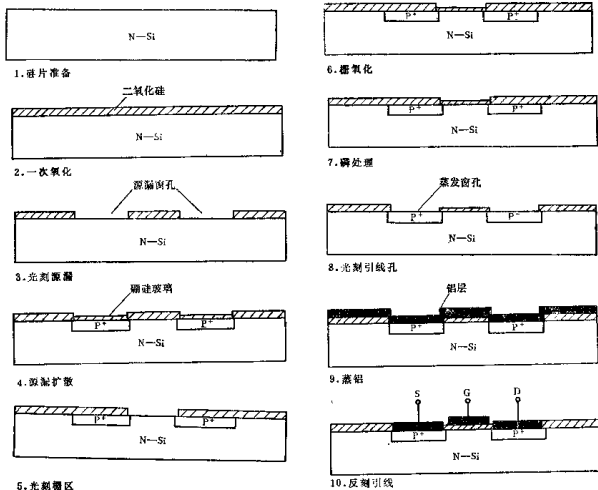


图42-2-10 P-MOS集成电路管芯制造工艺流程图

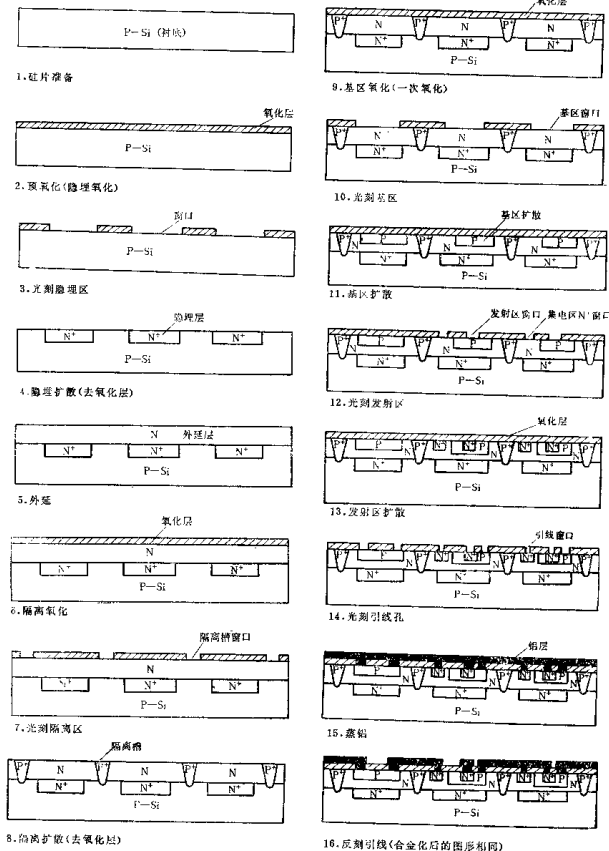


图42-2-11 PN结隔离双极型集成电路管芯制造流程图

3-2-2 制版工艺

集成电路光刻用的光刻版(也叫掩模版)由制版工序提供,制版工序是在良好的洁净室内进行的。光刻版的质量优劣直接影响光刻图形好坏,从而直接影响电路性能、成品率和可靠性,所以制版工艺是集成电路制造的关键工艺之一。

光刻版的制造需要经过初缩、精缩(分步重复)和复制等步骤。

a. 初缩 用制版照相机对设计绘制的分图进行初缩拍照。感光底版用超微粒干版,每块分图缩小倍数都必须一样。每块初缩缩小倍数一般为10~40倍,经过对光、曝光、显影、定影即成初缩底版。

b. 精缩(分步重复缩小) 初缩底版需再缩小一次才能得到所需尺寸的底版,但这只能取得单个图形,所以还需进行分步重复拍照,以便在底版上获得排成行列的几十个乃至几百个图形。精缩机有单头、六头、八头等多种。

c. 复制 精缩后的掩模版一般不直接用作光刻版。因为一旦磨损后再重新拍摄是很麻烦的,所以采用复印法进行复制。复制分为两步,第一步把它复印成复印版(又称副版)。第二步再用副版复制光刻版。

光刻版的复制可用超微粒干版,也可用铬版和彩色版(五氟基铁板)。超微粒干版用复印机复制,铬版和彩色版用光刻法复制。复制好的光刻版送去进行质量检查,包括图形的套准、有无损坏、尺寸、边缘挺直、反差等多项。

制版工艺除上述照相法外还有电子束曝光法,以及采用图形发生器来直接制作掩模版等。

3-2-3 氧化扩散工艺

氧化扩散工艺是集成电路制造中最基本最重要的工艺。其原理是利用硅在高温下表面生长一层 SiO_2 。由于 SiO_2 的稳定性好,这层氧化硅不仅能保护器件不易受外界环境影响,而且,由于半导体器件常用的杂质(如硼、磷、砷、锑等)在 SiO_2 中的扩散系数远比在硅中的扩散系数要小得多,因而用较薄(如1微米)的 SiO_2 就能掩蔽住杂质往硅中扩散,而杂质在暴露的硅面上可扩散很深(数微米以上)从而达到选择扩散的目的。

扩散有两种方法:即热扩散法和离子注入法。氧化扩散工艺部必须在洁净室内进行。

a. 氧化 在集成电路工艺中需要进行多次氧化,每次氧化层的厚度各不相同(根据需要而定)。它决定于氧化温度、时间及氧化方法。厚氧化层(如1~1.5微米)用湿氧方法,薄氧化层(如MOS电路栅极氧化层为1000~2000埃)用干氧方法。为了减少钠离子的沾污,应在干氧氧化时通过适当的氯化氢气体。常用的氧化装置如图42-2-12所示,将硅片清洗干净后在洁净条件下装入石英船中,放

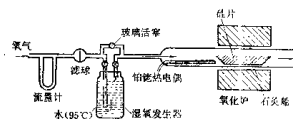


图42-2-12 氧化装置示意图

入升温好的石英管口中,把石英船缓缓地抛入氧化炉恒温区内。一般对于一次氧化,先通30分钟超纯氮,以减少氧化缺陷的产生,然后将经过流量计控制的超纯氧通过滤球把氧中的杂质进一步除去,再经过超纯去离子水(电阻率15兆欧·厘米以上)的湿氧发生器,带出一部分水蒸汽(水温95℃左右)形成湿氧,进入1000~1200℃的氧化炉中进行氧化。时间长短由氧化层厚度决定。最后再通10~20分钟干氧,以利光刻。

氧化层厚度要进行测量,氧化层厚度要用电容-电压测试方法(C-V测试法)进行校验,看其离子沾污情况。离子沾污往往是电路性能不稳定、可靠性差的重要原因之一。

b. 热扩散 扩散是一种自然现象,即物质总是从浓度高的地方向浓度低的地方运动。半导体中的杂质扩散通常都必须在高温下进行,因为在高温下杂质原子有较大的能量,而单晶物质(如硅)的原子在高温下也对其中心位置有较大的运动振幅,因此杂质原子易于进入硅单晶中,从而改变了晶体的导电类型和杂质分布。通常用扩散系数 D (厘米²/秒)来表示杂质在物质中扩散的快慢。 D 值与杂质性质及扩散温度有关。扩散温度越高,扩散越快。杂质在硅中的扩散系数 D 见图42-2-13。

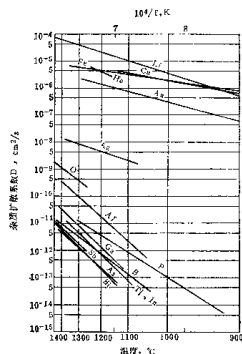


图42-2-13 各种杂质在硅中的扩散系数

杂质的扩散深度 x_j 与扩散系数 D 及扩散时间 t 有关, 即扩散深度 x_j 正比于 $\sqrt{Dt}$ 。扩散深度还与硅表面沉积杂质浓度 N_s 及硅中原始杂质浓度 N_0 之比值有关。一般 N_s/N_0 在 $10^3 \sim 10^6$ 时, 杂质扩散深度 x_j 可用下式计算:

$$x_j \approx 5.4 \sqrt{Dt}$$

例: 基区磷扩散, 温度 1180°C , 时间 1 小时。由图 42-2-13 查出 1180°C 时的扩散系数 $D = 7 \times 10^{-13} \text{ cm}^2/\text{s}$, 代入上式, 得出:

$$x_j = 5.4 \sqrt{Dt} = 5.4 \sqrt{7 \times 10^{-13} \times 3600} \\ = 2.7 \times 10^{-4} \text{ cm} = 2.7 \mu$$

扩散深度是工艺中很重要的参数。是通过调节扩散温度和扩散时间来控制扩散深度的。

扩散时常用的各种杂质源见表 42-2-3

表42-2-3 常用扩散杂质源

类型	固态源	液态源	气态源
N型	$\text{P}_2\text{O}_5, \text{Sb}_2\text{O}_3, \text{As}_2\text{O}_3$	$\text{POCl}_3, \text{SbCl}_5, \text{AsCl}_3$	$\text{PH}_3, \text{AsH}_3$
P型	$\text{B}_2\text{O}_3, \text{BN}, \text{Ga}_2\text{O}_3$	$\text{BF}_3, \text{B}(\text{CH}_3)_3$	B_2H_6
中位	Au, Sn		

扩散装置一般用高温扩散炉。图 42-2-14 为液态扩散装置示意图。

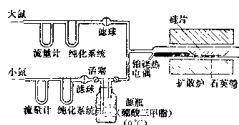


图42-2-14 液态扩散装置示意图

扩散一般分为两步进行 (也有用一步法)。第一步是预扩散, 把扩散源预先沉积在硅片表面, 使表面浓度一定。第二步是再扩散, 把预扩散的硅片放入氧化炉中, 使其杂质扩散到一定深度。

扩散后, 对扩散浓度、深度以及表面质量 (有无合金点出现) 等项要进行检测。

c. 离子注入工艺 离子注入工艺就是利用电离后的杂质元素 (如硼、磷等) 离子来轰击半导体硅表面, 以代替热扩散进行掺杂的一种新技术。

离子注入工艺的特点是能形成突变结, 浅结且无横向扩散。因此在高频微波和 MOS 集成电路的制造中得到广泛的应用。

离子注入后一般还须在较高温度下用炉退火, 以消除轰击对硅产生的缺陷。在一些电路中, 离子注入后还需在高温下进行再分布, 以达到规定的结深 (如 CMOS 电路的 P 阱, 要求在 8 微米以上)。

3-2-4 光刻工艺

光刻是为了在硅表面进行选择扩散而在氧化层上开窗口, 或者为了腐蚀掉不需要的铝层使其在硅表面上形成规定连线的一门技术。

光刻是在氧化的硅片上先涂上一层均匀的光刻胶 (也叫光致抗蚀剂), 再放入较低温度 ($60 \sim 90^\circ\text{C}$) 的烘箱内烘胶 (前烘), 使胶中一部分溶剂挥发, 并使胶与硅片粘附较牢。随后将光刻版与硅片紧贴对位 (第一次光刻无图形对位, 但需考虑品向使之利于划片解理), 用紫外线曝光后显影, 洗去未曝光的窗口感光胶。然后在高温 ($140 \sim 200^\circ\text{C}$) 烘箱内烘膜 (后烘), 让胶内有机溶剂充分挥发掉, 使胶与硅片紧紧粘牢。再用稀释的氢氟酸溶液腐蚀

氧化膜。最后用等离子体等方法去胶。由此得到氧化层中蚀刻有图形(窗口)的硅片。图42-2-15为光刻过程示意图

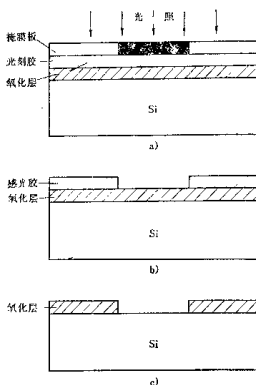


图42-2-15 光刻过程示意图

在光刻实际操作过程中,要特别注意灰尘的影响,所以光刻工艺操作都必须在良好的洁净房内进行。为了进一步防止氧化层中针孔的产生,有的光刻工序(特别是引线孔光刻)还需采用二次涂胶、二次曝光、二次显形,用两块同样的光刻版的办法来消除针孔和半针孔,这对提高成品率及可靠性有很大好处。

光刻后的硅片应放在显微镜下进行检查。检查项目通常有:对准情况、氧化膜腐蚀情况、窗口边缘挺直情况、图形尺寸精确度、图形合格数、胶层(特别是反刻引线一步)去除干净情况等。光刻质量好坏,直接影响产品功能、成品率、可靠性,因

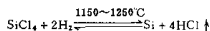
此是集成电路制造中的关键工艺之一。

除上述粘紧曝光方法外,还有用投影曝光和贴近曝光(版与硅片离开10微米左右)方法。对于目前飞速发展的大规模集成电路和超大规模集成电路来说,要求集成度越来越高,线条越来越细,于是出现了电子束曝光和X射线曝光技术,可以得到很精细的线图。

3.2.5 外延工艺

所谓外延就是将硅衬底单晶片放在加热基座上,在高温下沿硅衬底单晶表面生长一层与硅衬底单晶晶向相同的单晶层。集成电路的外延层厚度一般是10微米左右。图42-2-16为一种外延生长装置示意图。

通常利用四氯化硅的氢还原法在硅单晶片衬底上外延生长薄的硅单晶层。其化学反应式如下:



此外也可用硅烷(SiH_4)热分解法来生长硅单晶层,这种方法生长温度比较低,对硅中杂质分布影响小。

为了保证外延层的质量,必须对硅片进行非常严格认真的清洗,同时外延也必须在洁净室内进行。

外延过程包括高温处理、腐蚀、生长三步。外延层厚度由气体流量、反应时间和温度来决定。外延层的电阻率由气体中的杂质(即用作外延生长源如四氯化硅中所掺杂质)含量来决定,数字电路一般在0.2~0.6欧·厘米,线性电路一般在2~4欧·厘米。外延层电阻率可用C-V测试方法进行测

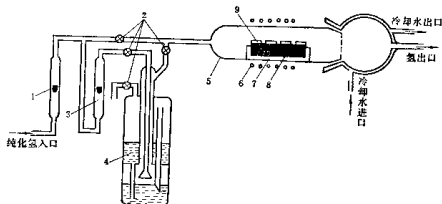


图42-2-16 外延生长装置示意图

1—总流量计 2—三通玻璃活塞 3—分流量计 4—四氯化硅蒸发器 5—石英反应管
6—高频感应加热线圈 7—石英舟 8—基座 9—衬底硅片

比, 其厚度可用红外干涉法测量。

为了得到均匀性、一致性好的外延层, 对于所通入的各种气体采用程序自动控制。

由于双极型集成电路中所有元件都是制作在外延层中,因此外延层的质量是保证电路性能的基础。外延层质量与衬底单晶材料质量、加工(磨片、抛光)后表面质量、清洗及外延系统清洁度、管道材料、气体纯度、四氯化硅纯度、外延条件等都有关系,外延也是集成电路制造中关键工艺之一。

外延生长后要对外延层厚度、电阻率、缺陷(特别是层错)、表面质量等进行仔细测量检查。

外延技术不仅用来生长薄的单晶硅层,而且用来在 SiO_2 上生长多晶硅,如生长介质隔离和硅栅 MOS 中用的多晶硅。此外,这种技术也用于化学气相淀积 (CVD 方法) 各种绝缘介质如 SiO_2 、

 Si_3N_4 、 Al_2O_3 等。

3-2-6 蒸发及合金化

a. 蒸发工艺 蒸发工艺就是利用真空镀膜的方法, 把金属或介质蒸镀在硅片上或其他衬底上。在集成电路工艺中应用蒸发工艺的有蒸铝、蒸金、蒸铬、蒸介质等。蒸铝是为了对集成电路各元件进行布线。蒸金(蒸后再进行扩散)是为了提高双极型数字集成电路的开关速度, 蒸铬是把铬蒸镀在玻璃衬底上, 供制作光刻版用, 称铬版。蒸介质是蒸镀一些电阻率较大的材料(如 SiO_2 , Cr_2O_3 等)于硅片或绝缘底板上。这些介质薄膜主要供制作精密的硅铝电阻用。

真空镀膜设备可分为电阻加热和电子枪轰击两种。图 42-2-17 为常用的蒸发装置示意图。

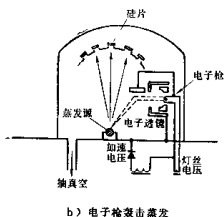
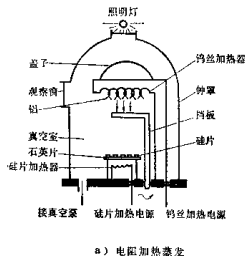


图42-2-17 蒸发装置示意图

电阻加热蒸镀方法可用于蒸铝、蒸铬、蒸金等金属源。用电子枪轰击蒸发,金属和介质都能蒸镀。电子枪轰击法最大优点是可以保证铝膜的纯度高,避免金属离子沾污,对电路的稳定性(特别是MOS电路)和可靠性有好处。使用电子枪轰击蒸镀还能大大避免在氧化物台阶处断铝而引起的失效。

对于用作电极的铝蒸发来讲,不但要求与硅表面的 SiO_2 粘附要牢固,而且要求清洁干净。厚度合适、表面光亮、结构致密,这对提高电路的稳定性、可靠性是很重要的。例如铝层过薄就会造成在氧化物 (SiO_2) 台阶处易于断条,有油蒸汽就会使引线压焊困难,表面油污就会造成性能退化。因此

对于蒸发工艺也必须在洁净室内进行。蒸发设备要保证有足够高的真空度。

铝电极蚀刻的质量也很重要。例如腐蚀过头，铝条就会太细，工作时电流密度就增加，严重的易于在氧化物台阶处断铝，造成产品失效。反之，腐蚀不足会造成铝条之间残存铝的细致颗粒，也会造成产品失效。

对子铝膜也应检测其厚度、蒸发时造成的沾污大小(用C-V曲线法)、刻铝后的铝条尺寸、腐蚀状况、铝层牢固情况等项目。

b. 合金化 经引线反刻去胶后的硅片, 经过认真的清洗和烘干, 在真空或纯度很高的氮保护炉中加热到 $400\sim 560^{\circ}\text{C}$ 温度, 使一部分硅铝合金化形

成砷铝合金。这样便获得很好的欧姆接触,同时也增加了铝在 SiO_2 上的附着力。

3.2-7 表面钝化

在对集成电路的功能退化和失效的原因进行分析研究的基础上,提出了集成电路表面钝化的工艺。表面钝化通常利用化学气相淀积(CVD)或溅射方法在较低温度下($300\sim 400^\circ\text{C}$),在刻好引出线的硅表面上淀积一定厚度的物理化学性质稳定的绝缘介质,如磷硅玻璃、氮化硅等介质。也有用铝的阳极氧化方法在铝表面形成一层三氧化二铝。这些介质一方面能进一步避免各种离子对硅表面的沾污,加固了电路的密封性和耐辐射能力;另一方面又保护了铝膜在切片等后工序操作中不致于受损伤。因此,表面钝化是提高电路的成品率和可靠性的一项非常重要的措施。钝化工艺必须在洁净室内进行。

3.3 后 工 序

完成制管工序的硅片即可以进行电路的直流参数的测试,也叫管芯测试或初测。随后进行切片、装片、压焊、封装、中间测试、老化筛选、总测分档、打印包装、最后入库。图42-2-18为后工序的示意图。

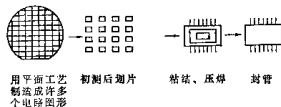


图42-2-18 后工序示意图

3.3.1 初 测

集成电路参数通常分直流参数和交流参数两

类。由于交流参数与引线长短有关,所以初测时只测试直流参数。测试时将不合格的电路打上标记。

初测时使用的探针台有手动、自动两种。对于大规模集成电路,采用计算机进行辅助测试。

初测时要防止探针划伤铝条和硅片表面引起管芯报废或影响可靠性。

3.3.2 切 片

初测后用划片机将硅片上的管芯分割开来,通常采用金刚刀和激光两种划片机。划片后要用适当的超声波清洗法将喷射在硅片上的硅渣清除干净,然后掀片,将管芯一个个分割开来。如不将残渣去除,在掀片时硅渣就会划伤铝膜。也可用某种塑料薄膜粘贴在硅片表面,划片后用合适的有机溶剂将塑料薄膜连同硅渣一起去除。

掀片后剔除有标记的不合格管芯。

3.3.3 装 片

将硅片后清洗干净的合格管芯烘干,在一定倍数的显微镜下进行“镜检”,剔除表面有脏物、划伤、缺角、裂缝、铝连线有缺陷的芯片。

为了避免划伤芯片表面和铝条,应用气动镊子将芯片吸放在管芯底座上。对于金属管壳往往还需用金-硅(或硅片背面蒸金)合金片作芯底衬片,在一定温度的氮气氛围中将芯片烧结在底座上。对于塑料扁平封装底座用环氧树脂将芯片粘结在底座上,并在一定温度下($180\sim 300^\circ\text{C}$)固化,使管芯牢固地粘结在底座上。

3.3.4 压 焊

将芯片上引线压点用金丝或铝丝(纯铝或按一定比例的硅)与底座引脚连接起来的工艺称为压焊

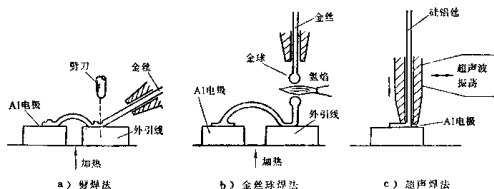


图42-2-19 压焊工艺示意图