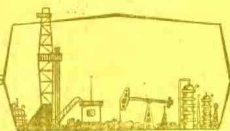


高等学校教学用书

数字测井仪器电路基础

数字集成电路

冯启宁



石油工业出版社

序

随着数字测井仪器的引进、生产和使用，迫切需要对数字电路有系统的了解。在数字测井仪器中，广泛采用小规模、中规模以至大规模的各种数字集成电路，因此，编写一本内容比较全面、涉及测井仪器中各种数字电路的数字集成电路的书就很有必要。考虑到这本书是为学好测井仪器原理一课打好基础，因此编写时从实际应用出发，按电路的逻辑功能分章，不按开关理论的系统讲，但是为了更好地分析和掌握数字电路，在第一章和第四章分别对逻辑代数及其化简方法，组合电路与时序电路的分析和设计等开关理论的基本内容作了简要地介绍。第二章、第三章比较详细地介绍了构成组合电路和时序电路的基本电路单元——门和触发器。其它部分则根据测井仪器所用到的各种数字电路按其逻辑功能分章。

为了通过本书的学习能更好地掌握从美国引进的数字测井仪器，书中所举的例子或典型产品多选自数字测井仪器中所用到的。这些产品虽然多为国外产品，但其电路、逻辑功能与国内产品极其相近，也有助于对国内某些产品的了解和掌握。

本书是在引进测井仪器培训班讲课基础上充实、修改写成，经华东石油学院王日才教授、胜利油田测井总站钱绪亮同志审阅。由于时间仓促，编者水平有限，谬误之处在所难免，希望读者提出批评指正。

本书适合于高等学校测井专业使用，亦可作为其它有关专业师生以及厂、矿技术人员的参考读物。

编者

一九七九年三月

目 录

第一章 逻辑代数.....	(1)
第一节 逻辑代数的一些基本概念.....	(1)
第二节 逻辑代数的常用公式.....	(2)
第三节 逻辑函数的化简.....	(4)
第二章 逻辑门.....	(10)
第一节 二极管-三极管 (DTL) 逻辑门.....	(10)
第二节 三极管-三极管 (TTL) 逻辑门.....	(12)
第三节 TTL逻辑门的其它电路.....	(18)
第四节 金属-氧化物-半导体场效应管 (MOS) 逻辑门.....	(21)
第三章 触发器.....	(30)
第一节 基本触发器.....	(30)
第二节 维持-阻塞触发器.....	(32)
第三节 主-从触发器.....	(34)
第四节 MOS准静态触发器.....	(36)
第五节 按逻辑功能触发器的分类.....	(42)
第四章 组合电路与时序电路.....	(46)
第一节 组合电路的分析.....	(46)
第二节 组合电路的设计.....	(48)
第三节 时序电路的分析.....	(49)
第四节 时序电路的设计.....	(55)
第五章 计数器.....	(64)
第一节 二进制计数器.....	(64)
第二节 十进制计数器.....	(71)
第三节 其它计数器.....	(77)
第六章 门锁器、译码器和数字显示.....	(84)
第一节 门锁器.....	(84)
第二节 译码器.....	(86)
第三节 数字显示.....	(91)
第四节 二进制与二十进制电路的变换.....	(97)
第七章 算术运算电路及其它电路.....	(103)
第一节 算术运算电路.....	(103)
第二节 逻辑判断电路.....	(112)
第三节 多路开关 (数据选择器).....	(118)
第四节 比例乘法器及其应用.....	(121)
第八章 定时电路.....	(127)
第一节 用逻辑门构成的定时电路.....	(127)
第二节 集成单稳态多谐振荡器.....	(134)
第九章 半导体存储器.....	(138)
第一节 移位寄存器 (SR).....	(138)

第二节	随机存取存储器 (RAM)	(144)
第三节	只读存储器 (ROM)	(152)
第十章	数-模转换和模-数转换	(158)
第一节	各种数-模转换网络	(158)
第二节	双极性数-模转换	(164)
第三节	数-模转换器的应用	(167)
第四节	模-数转换器的分类	(169)
第五节	集成电路逐位比较模-数转换器	(174)
第六节	集成电路双积分模-数转换器	(180)

第一章 逻辑代数

第一节 逻辑代数的一些基本概念

一、“与”、“或”、“非”——三种最基本的逻辑运算

图1-1是日常生活中的一个例子，宿舍里的电灯除受房间里的开关A控制外，还受线路总开关B的控制。灯在什么情况下才亮呢？显然只有两个开关都接通时才亮。但是，两个开关的组合有四种情况：A、B都通；A通B断；A断B通；A、B都断。如果灯亮记为“1”，灯灭记为“0”，开关和灯的关系如表1-1所示。如果图1-1的电路中不是两个开关和灯串联，而是三个开关A、B、C和灯串接在一起，则开关和灯的关系可以用表1-2表示。

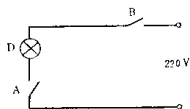


图 1-1

从表1-1、表1-2可知，在串联的电路里，只有全部开关都接通时，灯才会亮。这种关系称为“与”逻辑运算即逻辑乘。表示为

$$D = A \cdot B \cdot C$$

概括来说，当决定某一事件的各种条件都得到满足时，事件就发生，这就是“与”逻辑。

再看一个例子，开关和灯的连接如图1-2。按前面同样的分析，三个开关的八种组合如表1-3，只要其中一个以上的开关接通，灯就亮，这就称为“或”关系，实现“或”逻辑运算即逻辑加。表示为

$$D = A + B + C$$

所以，“或”逻辑表示为：决定某一事件的所有条件中，只要有一个以上的条件得到满足，事件就发生。

在开关电路中，还有另一种情况，把信号加到图1-3的电路，当输入为0伏时，晶体管

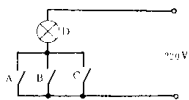


图 1-2

表1-1

A	B	D
0	0	0
0	1	0
1	0	0
1	1	1

表1-2

A	B	C	D (E)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

表1-3

A	B	C	D
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

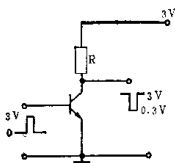


图 1-3

截止输出为 3 伏；当输入为 3 伏时，晶体管饱和导通，输出为 0 伏（考虑到晶体管的饱和压降应为 0.3 伏），输入和输出总是相反的。以 3 伏表示为 1，0 伏表示为 0；输入用 A 表示，输出用 \bar{A} 表示，于是图 1-3 的开关电路可表示成

$$\text{若 } A = 1, \quad \text{则 } \bar{A} = 0$$

$$\text{若 } \bar{A} = 1, \quad \text{则 } A = 0$$

A 和 \bar{A} 总是相反的，这种逻辑关系就称“非”关系，实现逻辑“非”的运算，称 \bar{A} 为 A 的非运算，读作“A 非”。

二、逻辑函数

在实际问题中，逻辑关系是比较复杂的，但它总是由上述的“与”、“或”、“非”三种逻辑关系构成。下面举一实际例子。

为了上、下楼方便，在楼道上装照明灯，只要在楼道上、下各装一只“单刀双掷”的开关

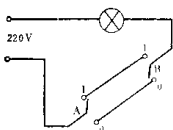


图 1-4

(如图 1-4) 就能完成上楼前开灯，上楼后关灯，或相反的情况：下楼前开灯，下楼后关灯。

从逻辑关系来看，可以归纳成：

开关 A、B 同时向上或同时向下灯都亮，一个向上，另一个向下灯都灭。

如果灯亮为 1，灯灭为 0；开关向上为 1，开关向下为 0，于是电路的逻辑关系可列表 1-4。

表 1-4

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

根据表 1-4 的逻辑关系，可写出灯亮的逻辑表达式。因为 A、B 同时为 1 或同时为 0，C 就为 1，所以

$$C = AB + \bar{A}\bar{B}$$

只要 A、B 的取值一定，C 的值也就确定，它和表 1-4 所反映的关系是一致的。A、B 称为逻辑变量，C 就是变量 A、B 的逻辑函数，表 1-4 称为真值表。

逻辑函数关系既可用真值表也可用表达式表示。

三、正逻辑和负逻辑

值得注意的是，上面举例所讨论的“与”、“或”关系都是按“灯亮”而言，即表 1-1、1-2、1-3 中的“1”状态而言，如果不是对灯亮而是对“灯灭”，即真值表(1-1、1-2、1-3)中的“0”状态而言，上述情况正好相反，“与”关系变成了“或”关系，而“或”关系变成了“与”关系。所以谈论“与”、“或”应该是有前提的。在电路分析中，对逻辑电平的定义有两种方法，一是把高电平定为“1”状态，低电平定为“0”状态，称为正逻辑；另一种是把低电平定为“1”状态，而把高电平定为“0”状态称为负逻辑。如前所述，对正逻辑是“与”关系，对负逻辑却是“或”关系，反之，对正逻辑是“或”关系，对负逻辑却是“与”关系。在今后的讨论中，如果未加说明都是对正逻辑而言。

第二节 逻辑代数的常用公式

根据“与”、“或”、“非”三种逻辑关系，可以得到逻辑代数的一些基本关系

$$0 + 0 = 0 \quad 0 \cdot 0 = 0$$

$$1 + 0 = 1 \quad 0 \cdot 1 = 0$$

$$\frac{1}{0} = 1 \quad \frac{1}{1} = 0$$

根据这些基本关系，得到如下的基本公式

$$A + 0 = A \quad A \cdot 0 = 0 \quad (1-1)$$

$$A + 1 = 1 \quad A \cdot 1 = A \quad (1-2)$$

$$A + \overline{A} = 1 \quad A \cdot \overline{A} = 0 \quad (1-3)$$

$$\overline{\overline{A}} = A \quad (1-4)$$

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (1-5)$$

根据这些基本公式，又可以推出一系列常用的公式。逻辑代数和一般的实数代数一样，也满足交换律、结合律、分配律。

交换律 $A + B = B + A \quad A \cdot B = B \cdot A \quad (1-6)$

结合律 $(A + B) + C = A + (B + C) \quad A \cdot (B \cdot C) = (A \cdot B) \cdot C \quad (1-7)$

分配律 $A \cdot (B + C) = A \cdot B + A \cdot C \quad \overline{A + B} \cdot C = (\overline{A} + \overline{B}) \cdot C \quad (1-8)$

$$\overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}} \quad A \cdot B = \overline{\overline{A} + \overline{B}} \quad (1-9)$$

(1-9) 式称摩根定律，在逻辑运算中是很有用的，它可以通过真值表给予证明（真值表反映了逻辑变量与逻辑函数之间的各种确定关系，因此，两个真值表相同的逻辑函数是相等的）。

证：

A	B	$\overline{A + B}$	$\overline{\overline{A} \cdot \overline{B}}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

$$\therefore \overline{A + B} = \overline{\overline{A} \cdot \overline{B}}$$

$$A + A \cdot B = A \quad A(A + B) = A \quad (1-10)$$

证： $A + A \cdot B = A(1 + B) = A$

公式(1-10)表明，在一个“与-或”（“或-与”）表达式中，如果一个“与”（“或”）项是另一“与”（“或”）项的因子，则包含因子的“与”（“或”）项是多余的。

$$A + \overline{A} \cdot B = A + B \quad A(\overline{A} + B) = A + B \quad (1-11)$$

证： $A + \overline{A} \cdot B = A + A \cdot B + \overline{A} \cdot B$
 $= A + B(A + \overline{A})$
 $= A + B$

公式(1-11)表明，在一个“与-或”（“或-与”）表达式中，某一“与”（“或”）项之非包含在另一项中，则这个非项是多余的。与(1-11)式相类似有

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad \overline{\overline{A} \cdot (A + B)} = \overline{\overline{A} \cdot B} \quad (1-12)$$

$$A \cdot B + \overline{A} \cdot C + B \cdot C = A \cdot B + \overline{A} \cdot C \quad (A + B)(\overline{A} + C)(B + C)$$

$$= (A + B)(\overline{A} + C) \quad (1-13)$$

证： $A \cdot B + \overline{A} \cdot C + B \cdot C = A \cdot B + \overline{A} \cdot C + (A + \overline{A}) \cdot B \cdot C$

$$= AB + ABC + \overline{A}C + \overline{A}BC$$

$$= AB + \overline{A}C$$

(1-13)式表明, 当一个“与”项含变量(A), 另一个“与”项含变量的“非”(\overline{A}), 而这两个“与”项的其它因子都是第三个“与”项的因子, 则第三个“与”项是多余的。

$$AB + \overline{A}C = \overline{A}B + \overline{A}C \quad (A+B)(A+C) = (A+\overline{B})(A+\overline{C}) \quad (1-14)$$

证: $\overline{A}B + \overline{A}C = \overline{A}B \cdot \overline{A}C$

$$= (\overline{A} + \overline{B})(A + \overline{C})$$

$$= \overline{A}B + \overline{A}C + \overline{B}C$$

$$= \overline{A}B + \overline{A}C$$

公式(1-14)表明, 由两项组成的“与-或”(“或-与”)表达式中, 如果一项含因子A, 另一项含因子 \overline{A} , 那么将这两项的其余部分各自求反就得到此函数的反。

第三节 逻辑函数的化简

任何一个逻辑函数, 可以用不同的逻辑表达式表示。例如前面所举的楼道开关的逻辑表达式就可以有各种表达式。

$$F = AB + \overline{A}B \quad \text{“与-或”}$$

$$= (A + \overline{B})(A + B) \quad \text{“或-与”}$$

$$= \overline{A}B \cdot \overline{A}B \quad \text{“与非”}$$

$$= \overline{A + B} + \overline{A + B} \quad \text{“或非”}$$

$$= \overline{A}B + \overline{A}B \quad \text{“与-或-非”}$$

不同的表达式可以用不同的逻辑门来实现其功能。在集成电路的门电路中就有“与”门、“或”门、“与非”门、“或非”门、“与或非”门等各种产品, 用这些门就可以实现各种逻辑电路。这些门的结构和性能将在第二章讲述。在今后的逻辑化简中, 我们主要以“与-或”式化简为例进行讨论。

一、公式化简

利用上面所讨论的各个基本公式可以对逻辑函数进行化简, 化简的办法很多, 关键在于灵活运用所学的公式。

例 对逻辑函数 $F = \overline{A}B\overline{C} + \overline{A}B\overline{C} + A\overline{B}C + \overline{A}B + \overline{C}$ 化简

$$F = \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B + \overline{C}$$

$$= \overline{A}B\overline{C} + \overline{A}B(\overline{C} + \overline{A} + B) + \overline{C}$$

$$= \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B$$

$$= \overline{A}B\overline{C} + \overline{A}B$$

从这个例子可以看出, 任何一个复杂的逻辑函数总可以简化成一个“与-或”式。

对于一个“与-或”式的简化可以按如下步骤。

- (1) 利用 $AB + A\overline{B} = A$ 将能够合并的项进行合并。
- (2) 根据公式 $A + A\overline{B} = A$ 所有包含最简项(A)的“与”项都是多余的, 皆可消掉。
- (3) 利用公式 $A + \overline{A}B = A + B$ 把各“与”项中含有最简项的“非”(A)消掉。

(4) 利用公式 $A\overline{B} + \overline{A}C + BC = AB + \overline{A}C$ 检查各项, 如果两个“与”项中有相同的变量, 并且一个为原码, 另一个是它的“非”, 则由这二项的其它因子所组成的“与”项都是多余的。

下面举例说明

例 1 $AD + A\overline{D} + AB + \overline{A}C + BD + ACEF + \overline{B}E + EDF$

第一步 将 $AD + A\overline{D}$ 合并为 A , 原式变为

$$A + AB + \overline{A}C + BD + ACEF + \overline{B}E + EDF$$

第二步 上式中含有最简项 A , 于是含有 A 的各“与”项都是多余的, 因此 AB 、 $ACEF$ 两项都是多余的, 逻辑表达式变成

$$A + \overline{A}C + BD + \overline{B}E + EDF$$

第三步 上式中最简项是 A , 各“与”项中含有它的非 \overline{A} 都是多余的, 所以 $\overline{A}C$ 项简化成 C , 上式变成

$$A + C + BD + \overline{B}E + EDF$$

第四步 检查各项, “与”项 BD 包含 B , “与”项 $\overline{B}E$ 包含 \overline{B} , 这两项的其它因子是 ED , 于是包含 ED 的“与”项是多余的, 因而逻辑表达式中 EDF 项是多余的, 逻辑表达式变成

$$A + C + BD + \overline{B}E$$

到此, 简化完毕。

例 2 $F = AB + ABC + \overline{A}C + BCD$

第一步 没有可合并的项

第二步 最简项为 AB , 包含 AB 的“与”项 ABC 是多余的, 于是

$$F = AB + \overline{A}C + BCD$$

第三步 上式在这一步中不能简化

第四步 AB 项和 $\overline{A}C$ 项各自包含了因子 A 和 \overline{A} , 这二项的其它因子 BC 包含在 BCD 项中, 所以 BCD 项是多余的, 最后的简化为

$$F = A\overline{B} + \overline{A}C$$

对于“或-与”表达式也可以按上述的四个步骤用每个公式的对偶式进行简化

例 3 $F = (A + C)(A + \overline{C})(A + D)(B + \overline{C})(\overline{B} + D)(\overline{C} + D + E)$

第一步 用公式 $(A + \overline{B})(A + B) = A$, 合并上式 $(A + C)(A + \overline{C})$ 两项, 于是

$$F = A(A + D)(B + \overline{C})(\overline{B} + D)(\overline{C} + D + E)$$

第二步 利用公式 $A(A + B) = A$, 消去 $(A + D)$ 项

$$F = A(B + \overline{C})(\overline{B} + D)(\overline{C} + D + E)$$

第三步 应用公式 $A(\overline{A} + B) = AB$, 上式中无 \overline{A} 存在, 这步对上式的化简无效

第四步 利用公式 $(A + B)(\overline{A} + C)(B + C) = (A + B)(\overline{A} + C)$ 消去上式中的多余项 $(\overline{C} + D + E)$, 因为此项包含了 $(B + \overline{C})$ 项和 $(\overline{B} + D)$ 项中 $(\overline{C} + D)$, 于是方程的最后化简为

$$F = A(B + \overline{C})(\overline{B} + D)$$

二、卡诺图化简

1. 真值表、卡诺图、逻辑表达式之间的关系

前面已述, 对任一逻辑函数, 其变量和函数之间的确定关系, 可以用真值表来描述, 亦可用逻辑表达式来表示。真值表描述了变量的各种可能的组合, 真值表所确定的变量和函

数的关系也可用图来表示，常用的是卡诺图。以逻辑表达式 $F = A + BC$ 为例，进行讨论。

表1-5

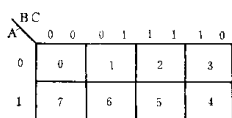
序号①	A	B	C	F
0	0	0	0	0
1	0	0	1	0
2	0	1	1	1
3	0	1	0	0
4	1	1	0	1
5	1	1	1	1
6	1	0	1	1
7	1	0	0	1

①按循环码顺序的十进制数

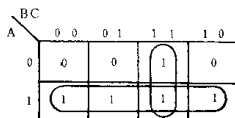
这是三变量的函数，A、B、C的组合有八种可能，A为1，F就是1， $BC = 1$ ，F也为1，故F为1有五种可能，如真值表（表1-5）所示。真值表所列出的关系用图1-5的卡诺图来表示，由于函数是三变量，共有八种组合，图中列出八个小方块，图的上部和左侧标出了变量的取值，图1-5a八个小方块所标的是按葛莱码编码的十进制数，图1-5b的八个小方块所标的是函数 $F = A + BC$ 的各种取值，与真值表一一对应。

利用卡诺图，可以很快的化简得到逻辑函数的表达式，其办法是如图1-5b所示，将相邻的标1的方块合并，直到把图中所有标1的方块都并完，不能合并的单独算一项。相当于十进数的4、5、6、7四个方块都是1是相邻，故可合并，这四项的共同因子是A，所以合并后的“与”项为A；2、5两个方块也都是1且相邻，也可合并，它们的共同因子是BC。于是，化简后的函数就表示为

$$F = A + BC$$



(a)



(b)

图1-5 三变量卡诺图

为什么这样合并就可以得到化简的逻辑表达式呢？我们将逻辑表达式展开就一目了然。

$$\begin{aligned} F &= A + BC \\ &= A + \overline{A}BC \\ &= AB + \overline{A}B + \overline{A}BC \\ &= ABC + \overline{A}BC + \overline{A}B\overline{C} + \overline{A}B C \end{aligned}$$

函数F为1必须它的“与-或”展开式中的某项为1。把上述展开式的各“与”项写在真值表中或画在卡诺图上就是2、4、5、6、7各项，这些项为1，F才为1，于是无论在真值表中或是卡诺图上，对应于这些项的地方都标上1。

ABC 、 $\overline{A}BC$ 、 $\overline{A}B\overline{C}$ 、 $\overline{A}B C$ 在逻辑代数中称为最小项。所说最小项系指“与”项中包含了函数的所有变量，而每个变量以它的原变量(A)或反变量(\overline{A})形式只出现一次。两个变量有四个最小项，三个变量有八个最小项，n个变量有 2^n 个最小项。真值表或卡诺图就是包括了函数的所有最小项。卡诺图的每个小方块就是一项最小项。

任何一个逻辑表达式都可以展开成由最小项表示的“与-或”多项式，因此由卡诺图合并相邻的最小项也就能得到简化的逻辑函数。同理，由真值表中使逻辑函数为1的各最小项组成的“与-或”多项式就是逻辑函数的展开式，再按逻辑代数的常用公式化简，也可得简化的逻辑函数。

至此，不难看出，真值表、卡诺图、逻辑表达式三者都可以用来描述同一个逻辑关系，

	\bar{A}	A
\bar{B}	0 $\bar{A}\bar{B}$	3 $A\bar{B}$
B	1 $\bar{A}B$	2 AB

(a)

	\bar{A}	A	
\bar{C}	0 $\bar{A}\bar{B}\bar{C}$	3 $\bar{A}B\bar{C}$	4 $A\bar{B}\bar{C}$
C	1 $\bar{A}\bar{B}C$	2 $\bar{A}BC$	6 $A\bar{B}C$
	\bar{B}	B	\bar{B}

(b)

	\bar{A}	A	
\bar{D}	0 $\bar{A}\bar{B}\bar{C}\bar{D}$	7 $\bar{A}B\bar{C}\bar{D}$	8 $A\bar{B}\bar{C}\bar{D}$
C	1 $\bar{A}\bar{B}C\bar{D}$	6 $\bar{A}BC\bar{D}$	9 $AB\bar{C}\bar{D}$
\bar{D}	2 $\bar{A}\bar{B}C\bar{D}$	5 $\bar{A}BCD$	10 $A\bar{B}C\bar{D}$
D	3 $\bar{A}\bar{B}CD$	4 $\bar{A}BCD$	11 $AB\bar{C}D$
C	12 $\bar{A}BCD$	11 $AB\bar{C}D$	10 $A\bar{B}CD$
\bar{D}	13 $\bar{A}BCD$	14 $\bar{A}BCD$	15 $A\bar{B}CD$
	\bar{B}	B	\bar{B}

(c)

	\bar{A}	A						
\bar{D}	0 $\bar{A}\bar{B}\bar{C}\bar{D}\bar{E}$	7 $\bar{A}B\bar{C}\bar{D}\bar{E}$	8 $\bar{A}\bar{B}C\bar{D}\bar{E}$	15 $\bar{A}BC\bar{D}\bar{E}$	16 $A\bar{B}\bar{C}\bar{D}\bar{E}$	23 $A\bar{B}C\bar{D}\bar{E}$	24 $A\bar{B}C\bar{D}E$	31 $A\bar{B}CDE$
\bar{D}	1 $\bar{A}\bar{B}C\bar{D}\bar{E}$	6 $\bar{A}BC\bar{D}\bar{E}$	9 $\bar{A}\bar{B}CDE$	11 $\bar{A}BCDE$	17 $A\bar{B}\bar{C}\bar{D}\bar{E}$	22 $A\bar{B}C\bar{D}\bar{E}$	25 $A\bar{B}CDE$	30 $A\bar{B}CDE$
D	2 $\bar{A}\bar{B}CDE$	5 $\bar{A}BCDE$	10 $\bar{A}\bar{B}CDE$	13 $\bar{A}BCDE$	18 $A\bar{B}\bar{C}DE$	21 $A\bar{B}CDE$	26 $A\bar{B}CDE$	29 $A\bar{B}CDE$
D	3 $\bar{A}\bar{B}CDE$	4 $\bar{A}BCDE$	11 $\bar{A}\bar{B}CDE$	12 $\bar{A}BCDE$	19 $A\bar{B}\bar{C}DE$	20 $A\bar{B}CDE$	27 $A\bar{B}CDE$	28 $A\bar{B}CDE$
	\bar{B}	B	\bar{B}	B	\bar{B}	B	\bar{B}	
	\bar{C}	C	\bar{C}	C	\bar{C}	C	\bar{C}	

(d)

图 1-6 2~5 变量卡诺图

(a)2-变量; (b)3-变量; (c)4-变量; (d)5-变量

而且只要知道其中的一个, 另外两个也就知道了, 不同的地方使用不同的形式。

函数 $F = A + B + C$ 也可以展开成“或-与”多项式

$$\begin{aligned} F &= A + B + C \\ &= (A + B)(A + \overline{B} + C) \\ &= (A + B + C)(A + B + \overline{C})(A + \overline{B} + C) \end{aligned}$$

“或”项 $(A + B + C)$ 、 $(A + B + \overline{C})$ 、 $(A + \overline{B} + C)$ 都是最大项, 所谓最大项系指“或”项包含了函数的全部变量, 而且每个变量以原变量(A)或反变量(\overline{A})形式只出现一次, 某一最大项为0, 函数F即为0, 因此, 在真值表中或卡诺图上, 由使函数为0的各最大项组成函数的“或-与”展开式, 利用公式或卡诺图化简得到函数化简后的表达式。 $(A + B + C)$ 、 $(A + B + \overline{C})$ 、 $(A + \overline{B} + C)$ 就是表1-5、图1-5中使函数值为0的各项。

2. 卡诺图化简的原则

当变量为 n 时, 卡诺图所包含的方块为 2^n 个, 因此, 当变量大于5时, 用卡诺图化简就显得很不方便, 变量多于5时一般就用公式化简。图1-6 列出2~5 变量卡诺图。每个小方块左上角的数是按葛莱码编码的十进制数。

用卡诺图化简时, 首先将“与-或”展开式的最小项用1写在图上的相应位置, 然后按下述原则合并(以四变量为例):

(1) 两小方块相邻或处于一行(列)的两端时, 则可合并成一项, 合并时消去一个变量。

如图1-7。

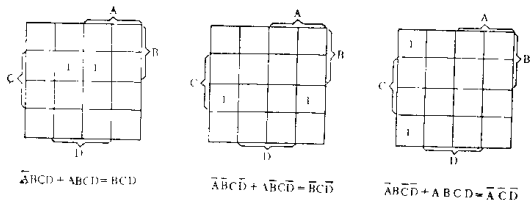


图 1-7 两个最小项的合并

(2) 四个小方块相邻组成一个大方块, 或组成一行(列), 或处于相邻两行(列)的末端, 或处于四角都可合并成一项, 合并时可以消去两个变量。如图1-8。

(3) 八个小方块组成相邻的两行(列), 或组成两个边行(列), 则可合并成一项, 合并时可消去三个变量。如图1-9。

(4) 当某一最小项的取值使函数不定, 即可为0亦可为1时, 此时该最小项在卡诺图上标为 Φ 。 Φ 可与相邻的最小项一道进行合并, 化简。如图1-10。

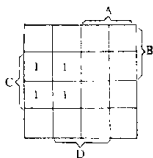
下面举例说明。

例 简化函数

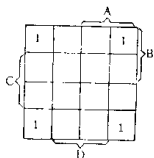
$$F = \overline{B}CD + A\overline{B}\overline{C} + A\overline{C}\overline{D} + \overline{A}CD + \overline{B}\overline{C}\overline{D} + A\overline{B}D + \overline{A}B$$

首先将各最小项填在卡诺图上相应的方块里, 然后按上述原则化简, 如图1-11所示。最

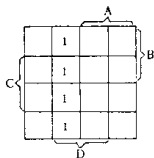
①在集成电路手册里, Φ 常用x表示。



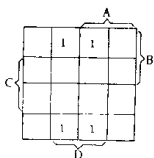
$$\bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} + \bar{A}B\bar{C}D + \bar{A}BCD = \bar{A}C$$



$$\bar{A}\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + A\bar{B}C\bar{D} = \bar{C}\bar{D}$$

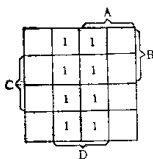


$$\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} = \bar{A}\bar{D}$$

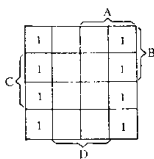


$$\bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + \bar{A}\bar{B}CD + \bar{A}BCD = \bar{C}D$$

图 1-8 四个最小项的合并

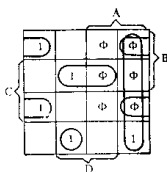


$$\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + \bar{A}\bar{B}CD + \bar{A}BCD = D$$



$$\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + \bar{A}\bar{B}CD + \bar{A}BCD = \bar{D}$$

图 1-9 八个最小项合并



$$\bar{F} = \bar{B}\bar{C}\bar{D} + \bar{B}C\bar{D} + \bar{B}\bar{C}D + \bar{A}\bar{B}\bar{C}\bar{D} + A\bar{D}$$

图 1-10 不定项参加化简

后的结果是

$$F = A\bar{C}\bar{D} + A\bar{B}\bar{C} + \bar{B}CD + \bar{A}B$$

按简化原则也可以得到其它几种结果

$$F = A\bar{C}\bar{D} + \bar{B}CD + \bar{A}BD + \bar{A}B$$

$$F = A\bar{C}\bar{D} + \bar{A}CD + \bar{A}BD + \bar{A}B$$

$$F = \bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C} + \bar{B}CD + \bar{A}B$$

$$F = \bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C} + \bar{A}CD + \bar{A}\bar{B}D + \bar{A}B$$

选用哪一个结果, 以所需要的门和输入端最少为好。

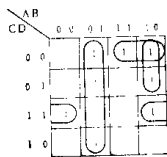


图 1-11

第二章 逻辑门

集成电路逻辑门主要有两大类，一类是由双极性晶体管构成，另一类是由场效应管构成。双极性晶体管构成的逻辑门又有二极管-三极管逻辑，三极管-三极管逻辑，电源开关逻辑……等，场效应管构成的逻辑门又有P-沟道，N-沟道，互补场效应管之分，总之名目繁多。在数字测井仪中主要用到的是晶体管-晶体管逻辑门和互补场效应管逻辑门，因此，本章内容主要围绕这两种逻辑门进行分析。

第一节 二极管-三极管(DTL)逻辑门

一、晶体管“与”、“或”、“非”门

最简单的“与”门、“或”门是由二极管构成。

1. 二极管“与”门

如图2-1。由于二极管的箝位作用只有A、B、C三个输入都是高电位，输出P才是高电位，只要A、B、C中有一个输入是低电位，输出就是低电位，这就满足“与”关系。

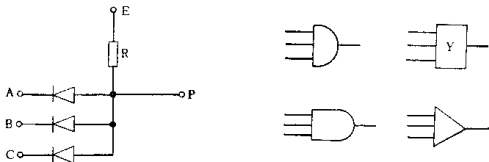


图 2-1 二极管“与”门及“与”门符号

输出是高电位时，流经R的电流显然小于输出是低电位时流经R的电流，而且在输出是低电位的几种情况中，当只有一个输入是低电位时，流过该二极管的电流最大，因为其它两个二极管截止，这个电流构成了对前级输出负载的最大电流值，对前级而言这是灌电流。

2. 二极管“或”门

电路如图2-2所示。只要A、B、C三个输入中有一个是高电位，输出就是高电位，只有当所有输入都是低电位时，输出才是低电位。和对“与”门的分析相似，当只有一个二极管输入是高电位时，流过二极管的电流最大，因为这时流过R的电流全部流过一个二极管。对前级而言这个电流是拉电流。

3. 晶体管“非”门(反相器)

晶体管“非”门就是一个工作在截止区、饱和区的放大器，电路如图2-3。由于工作在截止与饱和区，所以不能叫放大器，由于输入输出反相，故叫反相器。当输入为低电位时，晶体管截止，输出为高电位；当输入为高电位时，晶体管饱和导通，输出即为晶体管的饱和压降(0.3伏左右)。

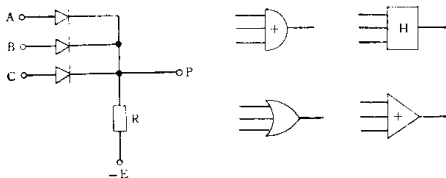


图 2-2 二极管“或”门及“或”门符号

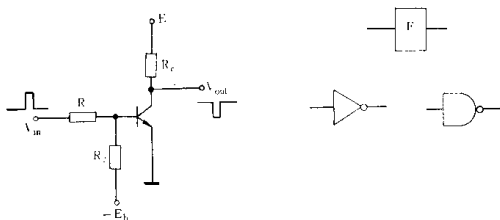


图 2-3 晶体管“非”门电路及“非”门符号

图中的电阻 R_1 、 R_2 及电压 $-E_b$ 是为了保证电路工作在截止、饱和所必需的。其值可根据如下的不等式解出

$$V_{in(\text{高})} - 0.7 - \frac{0.7 + E_b}{R_2} > -\frac{E_c}{\beta_{min} R_c}$$

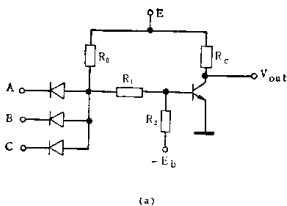
$$\frac{V_{in(\text{低})} - E_b R_1}{R_1 + R_2} \leq V_{c(\text{截})}$$

式中： $V_{in(\text{高})}$ 、 $V_{in(\text{低})}$ 为输入信号的高、低电平； β_{min} 为晶体管最小直流放大倍数； $V_{c(\text{截})}$ 为设计的晶体管截止时的 V_c 值，让 $V_{c(\text{截})} = 0$ 时，上式可简化。一般在选定 E_b 值以后，即可利用上述的不等式求出 R_1 和 R_2 。

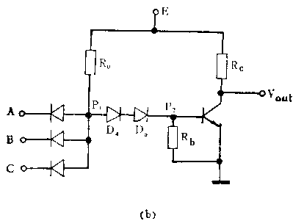
把“与”门和“非”门连在一起就构成“与非”门，同样，把“或”门和“非”门连在一起就构成“或非”门。以“与非”门、“或非”门为基本单元应用逻辑代数就可以构成各种逻辑电路。

二、DTL“与非”门

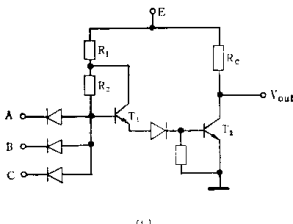
用分立元件构成的“与非”门如图2-4(a)。把分立元件的“与非”门电路集成在一个芯片上就构成集成电路的DTL“与非”门，但是由于全部电路塞在一个小芯片上就带来一些新问题，因此不能照搬分立元件的电路而必须作适当的修改。在分立元件做成的电路中，电源 E 是可以选得较高的，而集成电路考虑到要功耗小以及工艺上难以制作大的电阻必须降低电源电压，由于电源电压小（一般是5伏），信号电压的幅度也小（一般在3伏左右）。信号电压幅度的减小，使得 R_1 的选择很困难， R_1 大了信号幅度衰减太大，不能使晶体管饱和导通， R_1 小了，干扰信号是容易通过 R_1 加到晶体管的基极，使之误动作。为此，在集成电路DTL“与非”



(a)



(b)



(c)

图 2-4

(a)分立元件“与非”门; (d), (c)集成电路 DTL“与非”门

门里,用二极管 D_4 、 D_5 代替 R_1 电路如图 2-4(b)。只要信号幅度使 P_1 点电位高过 2.1 伏,晶体管就饱和导通,当信号是低电平时,只要干扰值不超过 1.4 伏, D_4 、 D_5 就不导通,对晶体管就无影响,这样就比较好地解决了减小信号幅度和提高抗干扰能力之间的矛盾。 D_4 、 D_5 使 P_1 、 P_2 两点的电位差有一固定值,故把 D_4 、 D_5 称为电平转移二极管。

另一个问题是为了增加“与”门的负载能力,我们希望电路供给晶体管较大的基极电流,使晶体管工作在饱和时能承受大量的灌电流。但是低的电源电压限制了这点,当然也可以减小 R_0 ,但 R_0 的减小相应的增大了通过二极管的电流,输入门电流增大,结果负载能力并未增强。较好的解决办法是用三极管 T_1 代替二极管 D_4 , T_1 的基-射结仍然起 D_4 的作用。由于 T_1 管是工作在放大区(集电极电位总高于基极电位)的射极输出器,因而有电流放大作用,增大了 T_2 的基流,而流过输入门的电流并不增大,这就增大了负载能力。这个 DTL“与非”门的基本电路如图 2-4(c) 所示。

DTL 电路的主要缺点是速度慢,国产 7MY11 DTL 门的平均传输延迟时间在 80~200 毫微秒,速度慢的原因是:

(1) 晶体管 T_2 工作在过饱和,当由饱和变为截止时, T_2 的存储电荷不能很快地泄放掉。

(2) 如果负载电容大,当 T_2 由饱和变为截止时,输出电压的上升时间常数 $R_c C_L$ 就很大,而且输出波形也变坏。

第二节 三极管-三极管(TTL)逻辑门

一、TTL“与非”门电路的工作原理

数字测并仪中用的最多的一种门电路。它的基本电路如图 2-5 所示。

当输入为高电平(3 伏)时,多发射极晶体管的基极-发射结处于反偏置,电源 E 通过电阻 R_1 和 T_1 的基-集结供给 T_2 管的正向基流,使 T_2 管饱和导通, T_2 的射流又供给 T_3 的基流使 T_3 饱和导通,输出低电平。此时, T_3 的基极电位为 1 伏,使 T_3 导通, T_1 基极电位 0.3 伏, T_1 的

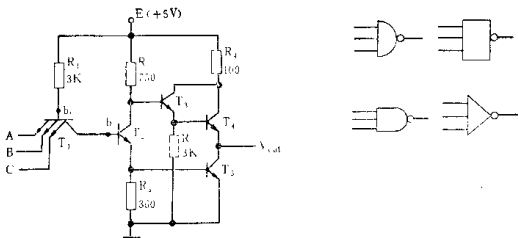


图 2-5 7MY11“与非”门电路及“与非”门符号

射极电位也是0.3伏(T_5 的饱和压降)故 T_4 管截止, T_1 基极箝位在2.1伏。

当某一个输入为低电平时(0.3伏), T_1 管的基-射结处于正偏置, 通过 R_1 的电流流过A(设A为低电位), 使 b_1 的电位箝位在0.7伏, 因而 T_2 管没有基流供给, T_2 管截止, T_3 管也截止, 同时 T_3 、 T_4 导通输出高电平。

从上述的工作原理可以看出, 这个电路比DTL基本电路有如下优点:

(1) 采用多发射极三极管后, 输入为高电平时, T_3 处于饱和, 当输入由高电平转为低电平时, T_1 处于饱和, T_2 由饱和转为截止, T_2 基区的多余存储电荷, 作为 T_1 的集电极电流很快地被拉出来, 使 T_2 迅速截止, 这样就加快了电路的工作速度。

(2) 增加 T_3 、 T_4 两个晶体管后, 使电路高电平输出时, 由 T_3 、 T_4 组成射极输出器, 射极输出器输出波形的上升边很好。而反相器输出时, 恰好相反, 上升边不好而下降边好, 因此 T_1 、 T_4 和 T_5 管的组合输出就能改善波形, 从而提高了速度。

二、TTL“与非”门电路工作状态的分析

1. 输出低电平

当各个输入端为高电平时, “与非”门输出低电平, 电路的工作状态如图2-6。由于多发射极晶体管的各发射极处于高电平, T_1 管的基流 I_{R1} 通过P-N结作为 T_2 管的基流。

$$I_{R1} = \frac{5 - 2.1}{R_1} \\ = 0.97 \text{mA}$$

但此时流入 T_2 管基极的电流比 I_{R1} 大, 因为 T_1 是倒置工作(发射极接高电平)仍然有放大作用, 不过 β 反很小, 可以小到0.1, 如果取 β 反=0.2, 则有

$$I_{b2} = (1 + \beta_{\text{反}})I_{R1} = 1.16 \text{mA}$$

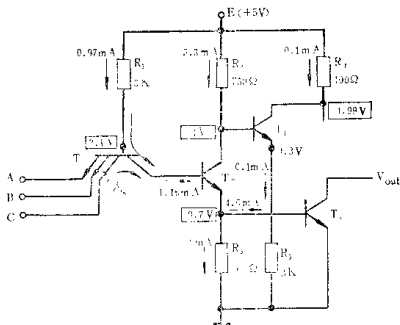


图 2-6 TTL“与非”门输出低电平时的工作状态