

# 数字集成

# 电子学

《电子学·中册》

程永萱 周德新 编

上海交通大学出版社

SHANG HAI JIAO TONG DA XUE CHU BAN SHE

## 内 容 简 介

《电子学》分为《晶体管电子学》、《数字集成电子学》和《模拟集成电子学》上、中、下三册出版。上册《晶体管电子学》包括晶体管基础、耦合与偏置、小信号放大器、负反馈放大器、正弦波振荡器、功率放大器、小功率直流电源；中册《数字集成电子学》包括晶体管开关电路、逻辑分析基础、集成逻辑门、组合逻辑电路、触发器、计数器和移位寄存器、脉冲发生与整形电路、存储器、微处理器与微型计算机；下册《模拟集成电子学》包括模拟集成电路的基本单元电路、集成运算放大器的典型电路、运算放大器应用的基础理论、运算放大器的基本应用以及其他模拟集成电路。书中每章均附有一定的例题、习题和思考题，并有小结。

本书可作为工科院校自动化、电力和其他相近专业开设“电子技术基础”课程的教材或教学参考书，也可供从事电子技术的工程技术人员参考。

数字集成

电子学

(电子学中册)

上海交通大学出版社出版

(淮海中路1984弄19号)

新华书店上海发行所发行

浙江上虞汤浦印刷厂排版

江苏常熟市印刷二厂印装

---

开本787×1092毫米 1/16 印张16 字数394000

1987年9月第1版 1987年10月第1次印刷

印数：1—4100

标准书号：ISBN7—313—00011—1/TN4 科目：159—308

---

定价：2.70元

# 前 言

《数字集成电子学》是《电子学》的中册，系统地论述数字集成电路原理及应用所需要的基本概念，为读者掌握各种数字集成电路提供坚实的基础。

凡是执行数字、逻辑操作和存储数字、逻辑值的集成电路都属于数字集成电路范围，它们的输入和输出都是符合规定的两个数值不相重叠的低电平和高电平信号，例如 0 V 和 +3 V。这种二值离散信号称为数字或逻辑信号，可用 0 和 1 来表示，具有二进制数和判断逻辑命题“真”或“伪”的特征。

本书从几十个集成器件的小规模集成电路 SSI (small scale integration) 入手，讨论数字集成电路的基本知识；环绕包含有几百个集成器件的典型中规模集成电路 MSI (medium scale integration) 逻辑图，说明组合逻辑电路和时序逻辑电路的分析与设计方法；然后以存储器 and 微处理器为例，介绍含有几千个甚至几万个集成器件的大规模集成电路 LSI (large scale integration)、超大规模集成电路 VLSI (very large scale integration) 和典型的数字系统。全书共分九章。

第一章讨论在数字信号驱动下晶体管的开关特性与简化电路模型，并以此分析了数字集成电路中最基本的单元电路——反相器。

第二章简要地介绍数字集成电路必需的逻辑代数知识——布尔代数、卡诺图和正、负逻辑。

第三章以 TTL 和 MOS 为重点，讨论基本的集成逻辑部件——逻辑门的电路、功能和性能参数，还扼要地介绍了 ECL 和 I<sup>2</sup>L 的特点。

第四章讨论常用的典型集成组合逻辑电路——加法器、比较器、编码器和译码器等。

第五章讨论另一种基本的逻辑部件和时序逻辑电路基本结构单元——触发器。

第六章讨论典型的集成时序逻辑电路——计数器和寄存器。

第七章介绍脉冲数字信号的整形和发生电路。

第八章阐述 RAM 和 ROM 存储器。

第九章作为典型的数字系统例子，介绍微处理器和微型计算机的基本原理、结构和工作过程。这一章请上海海运学院王詠韻同志编写。

许多数字系统还需要对模拟量和数字量进行变换的模-数 (A/D) 和数-模 (D/A) 变换器，因为它们的输出和输入之间为线性关系，所以归入本书下册《模拟集成电子学》中阐述。

编 者

1987 年 3 月

# 目 录

## 第一章 晶体管开关电路

1.1 结型二极管的开关特性 .....	1
1.1.1 结型二极管的电路模型 .....	1
1.1.2 关于门限电压的讨论 .....	2
1.1.3 结型二极管的开关速度 .....	3
1.1.4 集成电路中的二极管 .....	3
1.2 晶体管的开关特性 .....	5
1.2.1 晶体管开关运用时的电路模型 .....	5
1.2.2 晶体管的开关速度 .....	9
※1.2.3 集成电路中的晶体管结构 .....	10
1.3 晶体管反相器的分析 .....	11
1.3.1 传输特性 .....	11
1.3.2 噪声容限 .....	14
1.3.3 负载能力 .....	15
1.3.4 传输延迟时间 .....	16
※1.4 集成电路中的 MOS 场效应管 .....	17
1.4.1 MOS管的特性 .....	17
1.4.2 MOS反相器 .....	18
1.4.3 互补MOS反相器 .....	22
1.4.4 MOS开关的开关速度 .....	23
1.4.5 MOS电路的输入保护 .....	24
本章小结 .....	25
习题与思考题 .....	25

## 第二章 逻辑分析基础

2.1 逻辑代数 .....	29
2.1.1 逻辑代数的三种基本运算 .....	29
2.1.2 真值表 .....	31
2.1.3 逻辑代数的基本定理 .....	32
2.1.4 应用逻辑代数化简逻辑表达式 .....	34
2.2 卡诺图 .....	36
2.3 逻辑符号和逻辑图 .....	39
2.4 正逻辑和负逻辑 .....	42
※2.5 逻辑门电路的例子 .....	43
本章小结 .....	45

习题与思考题	46
--------	----

### 第三章 集成逻辑门

3.1 晶体管-晶体管逻辑(TTL)门	49
3.1.1 典型的TTL门电路	50
3.1.2 TTL门的电压传输特性和传输延迟	55
3.1.3 TTL门的主要参数	57
3.1.4 TTL门的改进电路	61
3.1.5 其他的TTL门电路	63
※3.2 射极耦合逻辑(ECL)门	66
※3.3 集成注入逻辑(I <sup>2</sup> L)	71
3.4 MOS逻辑门	75
3.4.1 MOS门的基本电路	75
3.4.2 MOS门的输出缓冲级	76
3.4.3 MOS传输门	77
※3.5 各类逻辑电路之间的接口	80
本章小结	83
习题与思考题	84

### 第四章 组合逻辑电路

4.1 组合逻辑电路概述	89
4.1.1 组合逻辑电路的分析	90
4.1.2 组合逻辑电路的设计	92
4.2 基本运算电路	95
4.2.1 加法器	95
4.2.2 数字比较器	100
4.3 编码器	104
4.3.1 二-十进制8421码编码器	104
※4.3.2 奇偶校验	106
4.4 译码器	109
4.4.1 二进制译码器	109
4.4.2 七段显示译码器	111
4.5 多路选择器和多路分配器	116
4.5.1 多路选择器	117
4.5.2 多路分配器	117
4.6 组合逻辑电路的竞争和冒险	119
本章小结	121
习题与思考题	122

### 第五章 触发器

5.1 时序逻辑电路概述	126
5.2 锁存器	127

5.2.1 或非门锁存器 .....	128
5.2.2 与非门锁存器 .....	130
5.3 基本触发器 .....	131
5.3.1 基本触发器的结构和逻辑特性 .....	132
5.3.2 基本触发器逻辑功能的描述 .....	132
5.3.3 基本触发器的空翻问题 .....	134
5.4 RS触发器 .....	135
5.4.1 主从型电路 .....	135
5.4.2 维持阻塞型电路 .....	136
5.5 其他逻辑功能的触发器 .....	138
5.5.1 D触发器 .....	138
5.5.2 JK触发器 .....	140
5.5.3 T触发器 .....	142
5.6 触发器逻辑功能的转换 .....	145
本章小结 .....	147
习题与思考题 .....	147

## 第六章 计数器和移位寄存器

6.1 同步计数器的分析 .....	152
6.1.1 同步二进制加法计数器 .....	152
6.1.2 同步二进制减法计数器和可逆计数器 .....	155
6.2 同步计数器的设计 .....	158
6.2.1 8421 码十进制同步计数器 .....	158
6.2.2 一般的同步计数器 .....	160
6.3 异步计数器的分析 .....	162
6.4 异步计数器的设计 .....	165
※6.5 计数速率估计 .....	168
6.6 移位寄存器 .....	169
6.6.1 串-并行移位寄存器 .....	170
6.6.2 并-串行移位寄存器 .....	171
6.7 移位寄存器应用例子 .....	172
6.7.1 移位计数器 .....	172
6.7.2 累加器 .....	178
6.7.3 循环移位寄存器式存储器 .....	180
本章小结 .....	181
习题与思考题 .....	182

## 第七章 脉冲的整形和发生电路

7.1 施密特触发器 .....	186
7.2 单稳态触发器 .....	188
7.3 多谐振荡器 .....	194

本章小结.....	198
习题与思考题.....	198

### 第八章 存储器

8.1 动态MOS反相器和门.....	200
8.2 MOS移位寄存器.....	202
8.2.1 静态MOS移位寄存器.....	202
8.2.2 两相动态MOS移位寄存器.....	203
8.2.3 钟控负载动态MOS移位寄存器.....	203
8.2.4 CMOS寄存器单元.....	203
8.2.5 移位寄存器数据频率的扩展与存取时间.....	204
8.3 随机存取存储器(RAM).....	206
8.3.1 双极型RAM单元与结构.....	206
8.3.2 MOS RAM单元与结构.....	208
8.4 只读存储器(ROM).....	211
本章小结.....	214
习题与思考题.....	215

### 第九章 微处理器与微型计算机

9.1 计算机的基本工作过程和结构.....	217
9.1.1 程序和指令.....	217
9.1.2 计算机的基本结构.....	217
9.1.3 程序和指令格式.....	218
9.1.4 程序的执行过程.....	221
9.2 微型计算机的特点.....	222
9.2.1 微型计算机的构成.....	222
9.2.2 微型计算机的特点.....	223
9.2.3 微型计算机系统的例子.....	224
9.3 微处理器的内部结构.....	225
9.3.1 控制器和定时器.....	225
9.3.2 算术/逻辑运算部件(ALU).....	226
9.3.3 寄存器.....	226
9.4 存储器.....	229
9.4.1 存储器的操作.....	229
9.4.2 存储器寻址方式.....	230
9.5 输入/输出(I/O)口.....	231
9.5.1 I/O口的编址.....	231
9.5.2 I/O口的连接方式.....	232
9.5.3 中断.....	234
本章小结.....	234
习题与思考题.....	235

附录 A 数制和数的代码.....	237
附录 B 二进制数的减法、乘法和除法 .....	243
参考文献.....	246



# 第一章 晶体管开关电路

## 内 容 提 要

数字集成电路包含有二极管、晶体管 and MOS 管等器件。但是,和模拟电路中不同,这些器件是以开关方式运用的,在陡变信号的驱动下,它们或者截止,或者导通。因此,数字集成电路的分析需要一套简单而实用的器件模型,本章要为这些器件选择适当的稳态电路模型,并用它们来分析简单而重要的基本开关电路。此外,由于这些器件的开关频率很高,因此本章还要讨论这些器件在开关运用时的动态性能。应当指出,集成电路是在硅片上制成的,所以我们讨论的器件都是硅管。

## 1.1 结型二极管的开关特性

### 1.1.1 结型二极管的电路模型

集成电路中使用的二极管大多是结型二极管,其伏安特性与分立元件的小功率结型二极管相似,如图 1-1-1(a) 所示。若二极管正偏,二极管是导通的,在正向电流为 mA 数量级时,正向压降约为 0.7V 左右。若二极管反偏并小于击穿电压,则二极管只通过很小的反向电流,通常可以略去不计,认为二极管是截止的。二极管的这两种工作状态就相当于开关的接通和断开。

在集成电路中,由于电源电压不高,二极管的 0.7V 正向压降与电路中其他压降相比就不能略去,因此二极管的特性和模型可用图 1-1-1(b)、(c) 表示。修改后的模型为一个理想二极管串联一个 0.7V 的门限电压,因此在正向电压小于  $V_{D(on)} = 0.7V$  时,二极管仍被看成是截止的。这对于所分析的电路来说,该模型可以满足工程计算精度,而且简化了电路的分析。

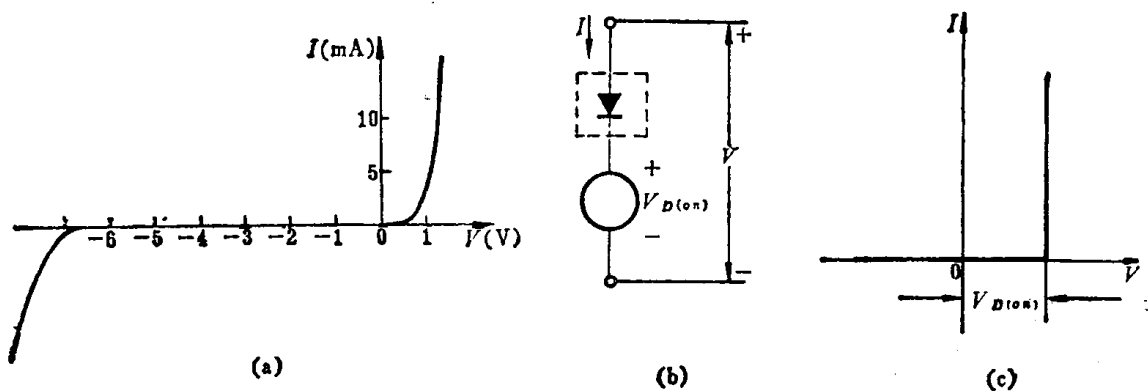


图 1-1-1 二极管的伏安特性和电路模型

(a) 伏安特性 (b) 具有门限电压的电路模型 (c) 具有门限电压的伏安特性

### 1.1.2 关于门限电压的讨论

在数字集成电路中,二极管导通时的电流大多在  $0.1\sim 10\text{mA}$  之间。在此电流范围内,二极管的伏安特性与式(1.1.1)理想 PN 结伏安特性符合得很好,因此我们可以用式(1.1.1)来计算二极管正向压降的范围。

由半导体理论导出的理想 PN 结伏安特性为

$$I = I_S(e^{V/V_T} - 1) \quad (1.1.1)$$

式中的  $I_S$  称为反向饱和电流,对于结构已定的 PN 结,当温度一定时,  $I_S$  是一个常数,当  $T = 300\text{K}$  (即近于室温  $27^\circ\text{C}$ ) 时,  $V_T \approx 26\text{mV}$ 。

如果正向电压  $V \geq 5V_T$ , 则  $e^{V/V_T} \gg 1$ , 式(1.1.1)可简化成

$$I = I_S e^{V/V_T} \quad (1.1.2)$$

可见,二极管的正向电压增加时,正向电流将按指数规律迅速增加。

对式(1.1.2)两边取对数,就可得

$$V = (60\text{mV}) \lg \frac{I}{I_S} \quad (1.1.3)$$

因此,二极管正向电流增加 10 倍,正向电压仅增加  $60\text{mV}$ 。若二极管正向电流为  $0.1\text{mA}$  时的压降是  $0.63\text{V}$ , 则电流增大 100 倍( $10\text{mA}$ )时的压降为  $0.75\text{V}$ , 只增加了  $0.12\text{V}$ 。所以图 1-1-1(c)模型中门限电压取为  $0.7\text{V}$ , 对于数字集成电路的工程计算来说一般已足够精确。

当然,如果二极管正向电流的范围能够预先估计,那末我们就可以选择更为合适的门限电压,计算的精度还可提高。

应当指出,反向饱和电流  $I_S$  与 PN 结的面积和平衡少数子密度成正比,随温度上升而增加。

对于结面积不同的二极管,只要相应地修改图 1-1-1 模型中的门限电压就可以了。而温度的影响可以用门限电压的温度系数  $-2\text{mV}/^\circ\text{C}$  来表示。

**[例 1.1]** 求图 1-1-2 电路的输出电压  $v'_o$  和  $v_o$ 。图中 A、B 端的输入信号低电平

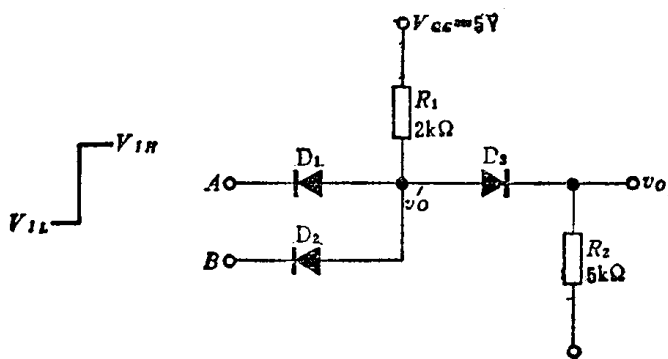


图 1-1-2 二极管电路

$V_{IL} = 0.5\text{V}$ , 高电平  $V_{IH} = 1.5\text{V}$ 。

**解:** 当输入端 A、B 都为低电平时,  $D_1$ 、 $D_2$  导通,  $v'_o = V'_{OL} = 1.2\text{V}$ , 所以  $D_3$  也导通,  $v_o = V_{OL} = 0.5\text{V}$ 。

若 A 为  $V_{IH}$ , B 为  $V_{IL}$ ,  $D_2$  仍有电流流过,  $v'_o$  仍为  $1.2\text{V}$ , 从而  $D_3$  也导通,  $v_o = V_{OL} = 0.5\text{V}$ 。但  $D_1$  有  $0.3\text{V}$  的反向偏压而截止。

若 A 为  $V_{IL}$ , B 为  $V_{IH}$ , 电路的输出电压与上相同。

若 A 与 B 均为高电平  $V_{IH}$ , 则  $v'_o = V'_{OH} = 2.2\text{V}$ ,  $D_3$  仍然导通,  $v_o = V_{OH} = 1.5\text{V}$ 。

图中的  $D_3$  称为电平移位二极管,其作用是使电路的输出电压  $v_o$  比  $v'_o$  下降  $0.7\text{V}$ , 输出电平  $V_{OL}$ 、 $V_{OH}$  就分别与输入电平  $V_{IL}$ 、 $V_{IH}$  相等,这叫做输出电平与输入电平兼容。电平兼容时电路可以直接串联运行。如果短接  $D_3$ , 则电路的  $V_{OL}$ 、 $V_{OH}$  分别比  $V_{IL}$ 、 $V_{IH}$  升高了  $0.7\text{V}$ , 输出电平与输入电平就不兼容,这时电路不能直接串联运行。

### 1.1.3 结型二极管的开关速度

在讨论了二极管稳态电路模型之后,现在我们来定性分析二极管开关运用的动态性能,说明影响二极管开关速度的因素。

在图 1-1-3(a)的二极管开关电路中,二极管的开关速度,主要受到二极管从导通变为截止时存在的反向恢复时间的限制,这个时间是由 PN 结势垒区和扩散区中载流子密度的变化和存储效应所引起的,图 1-1-3(b)和 (c)示出了结型二极管导通和截止时,稳态下的势垒宽度以及扩散区中载流子的分布。图中  $n_{p0}$  和  $p_{n0}$  分别是 P 区和 N 区中的平衡少数子密度。

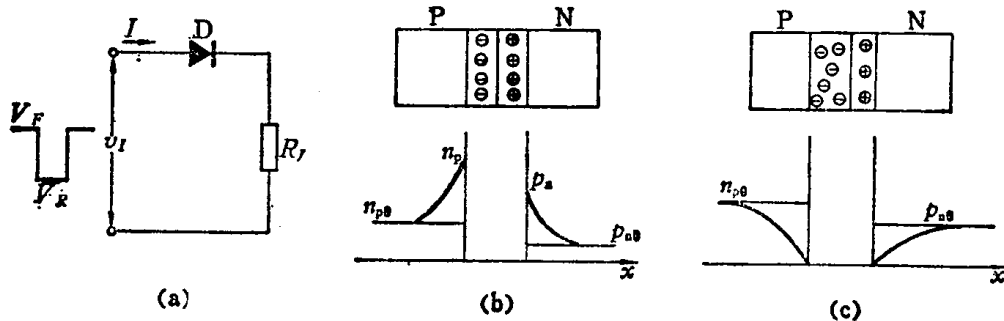


图 1-1-3 二极管正偏和反偏时的势垒区与扩散区  
(a) 电路 (b) 导通时(正向偏置) (c) 截止区(反向偏置)

图中表明,当结型二极管导通时,势垒区变窄,空间电荷减少;而扩散区中将具有很多的非平衡载流子。在二极管截止时,则情况正好相反,势垒变宽,空间电荷增加;而扩散区中的非平衡载流子极少。因此,在图 1-1-3(a) 的电路中,当  $v_l$  从  $+V_F$  突变到  $-V_R$  时,在时间  $t_s$  内,由于扩散区中存贮的非平衡载流子还没有完全消失,它们在反向电压作用下作反向运动,在外电压刚反向时,反向电流将保持为  $I = -I_R = -\frac{V_R}{R_L}$ 。经过  $t_s$  后,扩散区中存储的非平衡载流子减少到零时,二极管反向电流方开始下降。这时 P 区, N 区中的平衡少数子就通过 PN 结,使势垒区宽度增加,二极管开始成为反偏,经过时间  $t_t$  后,才到达反向稳定状态,通过二极管电流就等于  $I_s$ 。 $t_s$  和  $t_t$  分别称为存储时间和过渡时间。图 1-1-4 示出了二极管开关的动态过程。所以在  $v_l$  从正突然跳变到负时,二极管并不立刻由导通变为截止,需要经过一个  $t_s + t_t = t_{rr}$  的反向恢复时间。 $t_{rr}$  的大小限制了结型二极管的开关频率。若正向电流  $I_F$  增加,将使时间  $t_s$  增大。若正向电流一定,则反向电流  $-I_R$  的增加将使  $t_s$  减小。 $t_{rr}$  一般在  $ns \sim \mu s$  数量级之间,与开关电流的大小有关。

### 1.1.4 集成电路中的二极管

因为晶体管是集成电路中最重要的器件,所以在集成电路的制造中,是按照获得最佳的晶体管特性来选择器件的几何图形和扩散工艺的。为了不增加额外的工艺步骤,集成电路中的二极管一般是利用晶体管改接而成,图 1-1-5 示出了五种不同接法的集成二极管。

图 1-1-5(a) 利用了集极开路时的发射结。图 1-1-5(b) 则将基、集极短接,因为集电结为零偏置,对基区中的电子密度没有影响,基区有效宽度也小,所以存储时间最短。此外,这种接法中晶体管的集极仍存在放大作用,二极管正向电流  $I = I_E = I_C + I_B = (1 + \beta)I_B$ ,故正向压

降也最低,因而应用最多。与图 1-1-5(a)、(b) 对应的是利用集电结的图 1-1-5(c) 和 (d) 接法,由于集电结的  $I_s$  较大,故门限电压较低,但是集电区掺杂比发射区轻,其体电阻大,所以大

电流时的正向压降较高。这两种接法的优点是反向击穿电压高,一般在 20V 以上。有时图 1-1-5(c) 中的发射结在制造中可以省去,制成单独的 PN 结。

在图 1-1-5(e) 的接法中,因为导通时发射结和集电结均为正向偏置,都对基区注入电子,基区中存储的载流子就多,所以存储时间最长。

发射结的反向击穿电压较低,约在 (6~9)V 之间,在集成电路中也可以当作稳压管使用。

此外,数字集成电路中还采用由金属(如铝)与 N 型硅接触而构成的肖特基势垒二极管 SBD\*, 其正极为金属,负极为半导体。肖特基势垒二极管的门限电压较低,在 0.2~0.5V 之间,对于铝硅 SBD 约为 0.35V。在正向偏置时,SBD 的电流是由半导体注入金属的电子构成的。由于金属本身就含有大量的电子,所以这些电子不为 PN 结中的少子那样构成明显的扩散区存储电荷。所以存储时间  $t_s$  很小,反向恢复时间很短,其典型值为 50ps,比结型二极管至少小一个数量级以上。肖特基二极管的符号如图 1-1-6 所示。

当然,半导体器件的金属引线和半导体

材料的接触处也会形成肖特基二极管,为了消除这个不需要的二极管,在制造上要采取所谓欧姆接触的特殊结构和工艺。

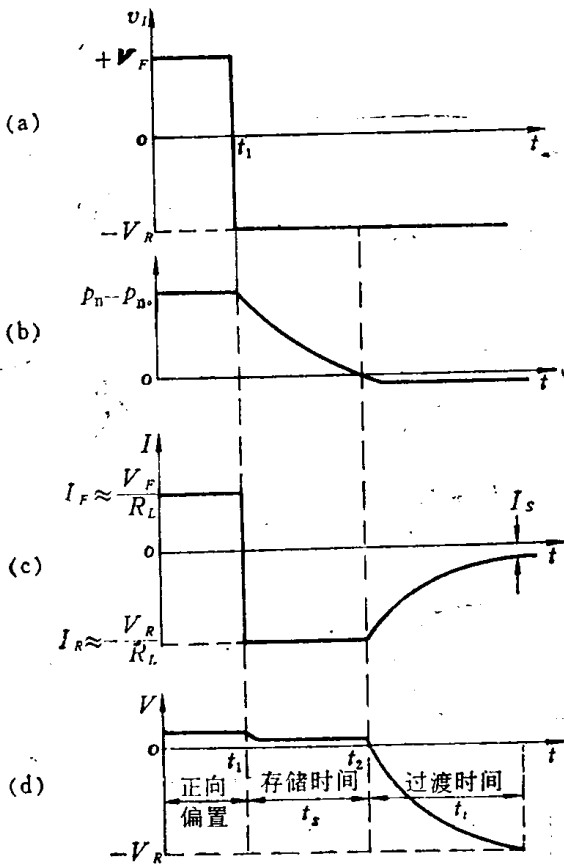


图 1-1-4 二极管开关的动态过程

(a) 输入波形 (b) 结上非平衡载流子密度  
(c) 二极管上的电流 (d) 二极管上的电压

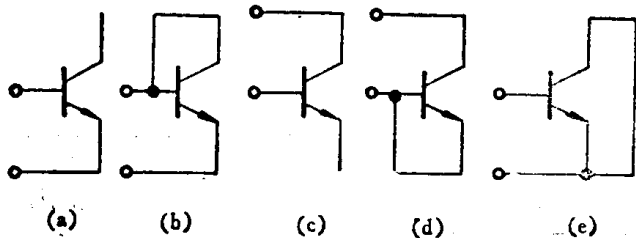


图 1-1-5 晶体管作为二极管使用的五种接法



图 1-1-6 肖特基二极管的符号

\* SBD 是 schottky barrier diode 的缩写。

## 1.2 晶体管的开关特性

### 1.2.1 晶体管开关运用时的电路模型

图 1-2-1(a) 是一个共射极电路, 其输入信号  $v_I$  是一个矩形波。图 1-2-1(b) 是晶体管的输出特性,  $AB$  是其负载线。当  $v_I = 0V$  (低电平) 时,  $I_B = 0$ 。晶体管工作于截止区,  $i_C \approx 0$  故集、射极之间相当于断开的开关, 输出为高电平,  $v_O \approx V_{CC} = 5V$ 。当  $v_I = 5V$  (高电平) 时, 若  $I_B > \frac{V_{CC}}{\beta R_C}$ , 晶体管就工作于饱和区,  $v_O = V_{CES}$  很小, 集、射极之间相当于接通的开关, 输出为低电平。所以, 在幅度足够大的陡变信号驱动下, 晶体管的工作点或者从图 1-2-1(b) 中截止区的  $A$  点通过放大区到达饱和区的  $B$  点, 或者反之。于是图 1-2-1(a) 的电路就等效于图 1-2-1(c) 的开关电路。显然, 晶体管作为开关时, 电路的分析涉及到晶体管的大信号非线性特性。如用图解法分析, 通常相当繁复, 因此需要导出的一组简单而又实用的晶体管电路模型。

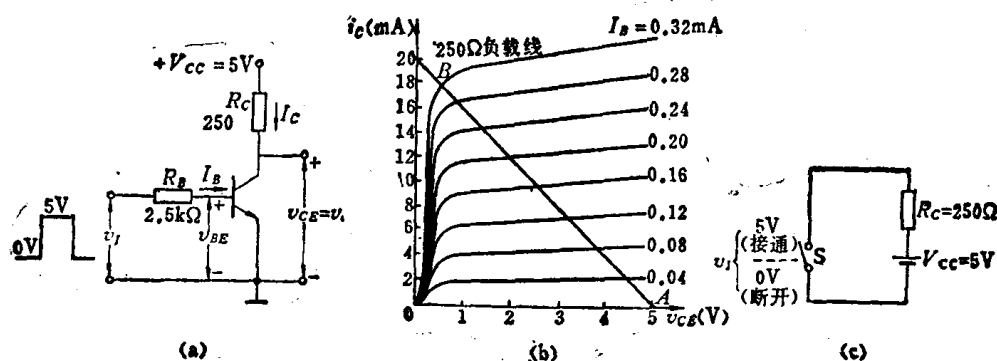


图 1-2-1 晶体管开关

(a) 电路 (b) 集电极特性及负载线 (c) 等效开关

#### 1. 埃伯斯-摩尔 (Ebers-Moll) 模型

在本书上册《晶体管电子学》中, 我们曾经导出描述晶体管非线性特性的一组方程, 即埃伯斯-摩尔方程:

$$I_E = I_{ES}(e^{V_{BE}/V_T} - 1) - \alpha_R I_{CS} \cdot (e^{V_{BC}/V_T} - 1) \quad (1.2.1a)$$

$$I_C = -I_{CS}(e^{V_{BC}/V_T} - 1) + \alpha_F I_{ES}(e^{V_{BE}/V_T} - 1) \quad (1.2.1b)$$

式中:  $I_{ES}$ 、 $I_{CS}$  分别是发射结和集电结的反向饱和电流;  $\alpha_F$ 、 $\alpha_R$  是取决于晶体管结构的两个常数。这四个参数间有下列关系:

$$\alpha_F I_{ES} = \alpha_R I_{CS} \quad (1.2.2)$$

因为晶体管的发射结和集电结的结构是不对称的, 所以  $\alpha_F$  与  $\alpha_R$  的数值相差甚大, 在数字集成电路中,  $\alpha_F$  一般为 0.98,  $\alpha_R$  在 0.01~0.2 之间。

根据式 (1.2.1) 和 (1.2.2) 得出图 1-2-2 的埃伯斯-摩尔模型。因埃伯斯-摩尔方程对于晶体管两个结的偏置情况没有限制, 所以此模型可用来求解大信号运用时的晶体管电路。

埃伯斯-摩尔模型中的二极管  $D_C$  和  $D_E$  分别代表集电结和发射结, 它们都具有式 (1.1.1) 的理想 PN 结特性。受控电流源  $\alpha_F I_{DE}$  代表发射结电流对  $I_C$  的贡献, 即射极至集极的正向传

输电流，它是由射极注入基区并向集极扩散的载流子所产生的。另一个受控电流源  $\alpha_R I_{DC}$  则代表集电结电流对  $I_E$  的贡献，即集极至射极的反向传输电流。

在图 1-2-1(a) 的电路中，当晶体管的两个结均为反偏时，即  $V_{BE} \leq 0$ ， $V_{BC} < 0$ ，晶体管处于截止区，集极只流过很小的漏电流。

若加入输入信号  $v_i$ ，使得  $V_{BE} > 0$ ， $V_{BC} < 0$ ，晶体管就进入放大区。因为集电结的反向饱和电流  $I_{CS}$  很小，当  $V_{BE} \gg V_T$  时，式 (1.2.1) 就可简化成

$$I_E \approx I_{ES} e^{V_{BE}/V_T} \quad (1.2.3a)$$

$$I_C \approx \alpha_F I_{ES} e^{V_{BE}/V_T} \quad (1.2.3b)$$

$$I_B = I_E - I_C = \frac{(1 - \alpha_F) \cdot I_C}{\alpha_F} = I_C / \beta_F \quad (1.2.4)$$

式中： $\beta_F$  即晶体管共射组态的电流增益  $\beta$ ， $\beta_F = \frac{\alpha_F}{1 - \alpha_F}$ 。

因此，在放大区中  $I_C$  与  $I_B$  成正比。因为

$$V_{CE} = V_{CC} - I_C R_C$$

$$V_{BC} = V_{BE} - V_{CE}$$

所以随着  $v_i$  增大， $I_B$  和  $I_C$  上升， $V_{CE}$  和  $V_{BC}$  的绝对值都下降。当  $V_{BC} = 0$  时，集电结为零偏置，晶体管就处于放大区与饱和区的边缘。如果  $v_i$  继续增大，则  $V_{BC}$  将大于零，集电结转为正向偏置，因而集、射极饱和压降  $V_{CES} = V_{CB} + V_{BE}$  很小，于是  $I_C \approx \frac{V_{CC}}{R_C}$ ，集极电流不再随输入信号增大而增大，晶体管便进入饱和区。

和结型二极管模型一样，如果发射结和集电结的伏安特性用图 1-1-1(b) 的折线来近似的话，埃伯斯-摩尔模型中的二极管  $D_C$ 、 $D_E$  就可采用具有门限电压的二极管模型，从而大大简化了埃伯斯-摩尔模型。而且对于许多实际电路来说，这种简化仍能保持良好的计算精度。

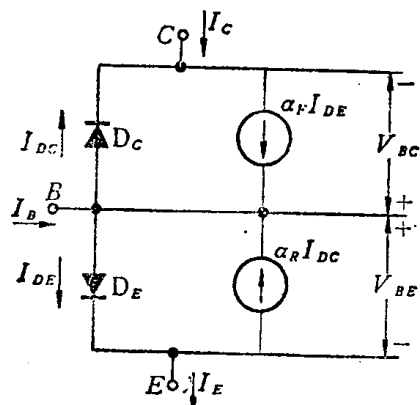


图 1-2-2 双极型晶体管的埃伯斯-摩尔模型

## 2. 正常方式的晶体管模型

图 1-2-1(a) 电路中晶体管的接法称为正常方式。根据发射结和集电结不同的偏置情况，以及图 1-1-1(c) 的二极管模型，可以得出晶体管正常方式的放大区、截止区和饱和区三种简化模型。

(1) 放大区模型：根据具有门限电压的二极管模型，正常方式放大区的条件就修改成： $V_{BE} = V_{DC(om)} = V_{BE(om)}$  和  $V_{BC} < V_{DC(om)} = V_{BC(om)}$ 。因此， $I_{DC}$  等于零，图 1-2-2 中的二极管  $D_C$  和电流源  $\alpha_R I_{DC}$  就可以除去，由此得到图 1-2-3(a) 简化的放大区模型。根据式 (1.2.4)，图 1-2-3(a) 可画成图 1-2-3(b)。由于在放大区中，发射结始终是正向偏置，所以与 0.7V 门限电压串联的理想二极管不必画出。又因为电流源  $\beta I_B$  下面的端子移到 E 端时，对晶体管各个端点的电压没有影响，于是就得出图 1-2-3(c) 常用的放大区模型。

(2) 截止区模型：引入二极管门限电压后，截止区的条件就是  $V_{BE} < V_{BE(om)}$  及  $V_{BC} < V_{BC(om)}$ 。这时  $I_{DC} = 0$ ， $I_{DE} = 0$ ，亦即  $I_B = 0$ ， $I_C = 0$ ，晶体管截止区的简化模型就成为非常简

单的一条开路的引线,如图 1-2-4 所示。当然,实际上将有一些漏电流通过晶体管,但这个漏电流通常可略去不计。

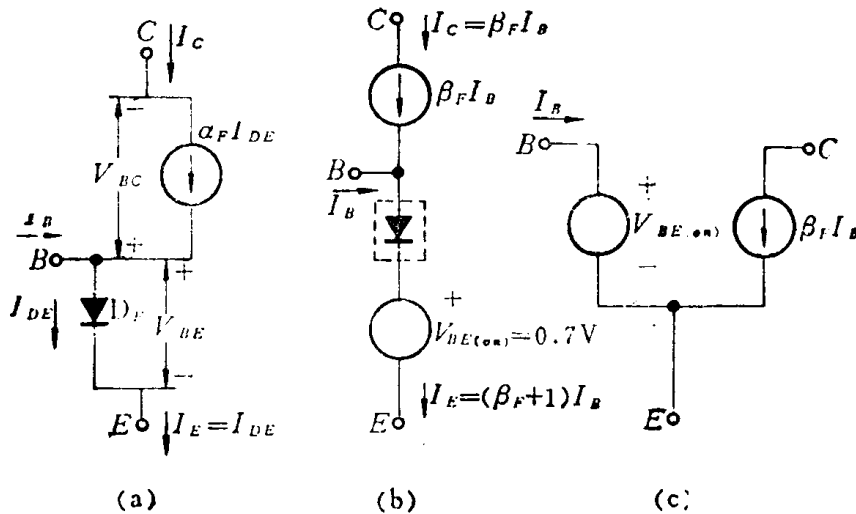


图 1-2-3 正常方式放大区模型

(a) 图1-2-2的简化形式 (b)  $D_E$ 用一个理想二极管及一个电压源串联代替 (c) 图(b)的另一种形式

图 1-2-4 截止区模型

(3) 饱和区模型: 考虑到二极管  $D_C$ 、 $D_E$  的门限电压后, 晶体管饱和区的条件就为  $V_{BE} = V_{BE(EO)}$  及  $V_{BC} = V_{BC(EO)}$ 。

如果我们把晶体管处于临界饱和, 也即处于饱和区与放大区边缘时的基极和集极电流记作  $I_{B(EOS)}$  和  $I_{C(EOS)}$ \*。则有  $I_{B(EOS)} = \frac{I_{C(EOS)}}{\beta_F}$ , 因此饱和区的条件也可说成为  $I_B > I_{B(EOS)}$ , 并定义  $k$  为基极过驱动系数来表示饱和的深度,

$$k = \frac{I_B}{I_{B(EOS)}} \quad (1.2.5)$$

饱和状态下集射极间的电压降  $V_{CES}$  为

$$V_{CES} = V_{BE(EO)} - V_{BC(EO)} \quad (1.2.6)$$

实际上  $V_{CES}$  的大小与基极过驱动系数  $k$  有关。图 1-2-5 是小功率 NPN 管在低集极电压范围 ( $V_{CE} < 1.0V$ ) 内的共射极特性, 可以看到, 在  $V_{CE}$  约 0.35V 处晶体管开始饱和。在数字集成电路中, 晶体管的  $V_{CES}$  在 0.1~0.3V 之间, 所以一般可以在集、射极支路中用一个 0.2V 的电压源来近似表示  $V_{CES}$ 。这样, 就得到图 1-2-6 的晶体管饱和区模型。图中, 基、射极支路中的电压源也写成  $V_{BES}$ 。自然, 采用图 1-1-1(c) 的二极管模型时, 有

$$V_{BE(EO)} = V_{BES} = 0.7V$$

当  $V_{CES} = 0.2V$  时, 由式 (1.2.6),  $V_{BC(EO)}$  为 0.5V。由于晶体管的集电结、发射结掺杂与结构不同,  $I_{CS} > I_{ES}$ , 所以  $V_{BC(EO)}$  低于  $V_{BE(EO)}$ 。

### 3. 反接方式的晶体管模型

在数字集成电路中, 我们还会遇到图 1-2-7 所示的晶体管反接方式。其中, 晶体管的发射

\* EOS 是 edge of saturation 的缩写

结被当作集电结,而集电结则被当作发射结。对于反接方式来说,截止区的条件与正常方式截

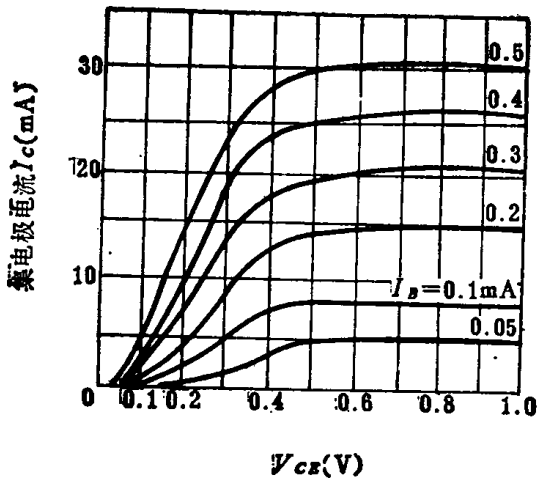


图 1-2-5 在  $V_{CE} \leq 1.0V$  范围内, 晶体管典型的共射组态输出特性

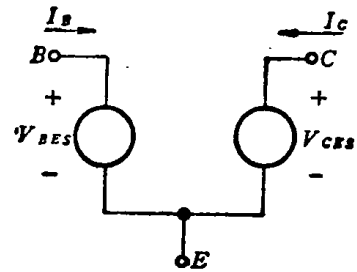


图 1-2-6 饱和区模型

止区的条件相同,因此反接方式截止区的模型就是图 1-2-4。反接方式放大区和饱和区模型在形式上也与正常方式相同,但在放大区和饱和区条件中,  $V_{BC}$  和  $V_{BE}$  应互换。因此,相应的模型参数将有所变化。在反接方式放大区模型中,由于反接放大区的条件是  $V_{BC} = V_{BC(on)}$  及  $V_{BE} < V_{BE(on)}$ 。因此反接放大区模型如图 1-2-8(a) 所示。按照与正常方式放大区模型相同的处理方法,图 1-2-8(a) 可画成图 1-2-8(b) 的形式。其中  $\beta_R$  为反接共射极电流增益,  $\beta_R = \frac{\alpha_R}{1 - \alpha_R}$ 。一般  $\alpha_R$  为 0.01~0.2,  $\beta_R$  在 0.01~0.25 之间。

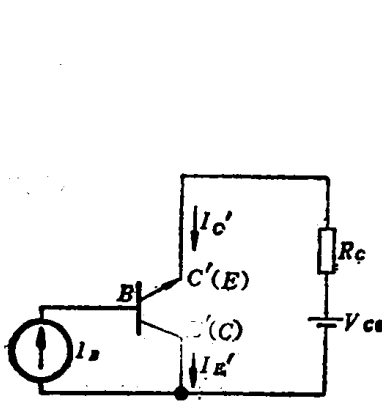


图 1-2-7 晶体管的反接状态

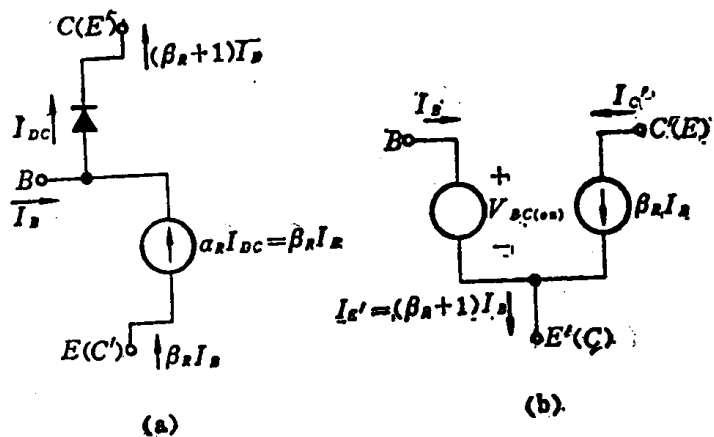


图 1-2-8 反接方式的放大区模型  
(a) 简化形式 (b) 图(a)的另一形式

在图 1-2-7 的反接方式中,晶体管的反接饱和区和模型与正常方式相同,但反接饱和压降  $V_{C'E'S'}$  低于正常方式的饱和压降  $V_{CES}$ , 一般约为 0.1V 左右\*。

\* 应当指出,饱和时基区中非平衡载流子密度很高,所以复合率上升,并引起  $I_B$  增加,而“集电结”正向偏置电流不大,因此  $V_{BC(on)}$  不能引用正常方式时的 0.7V 数据。



### 1.2.2 晶体管的开关速度

晶体管从导通转为截止,或从截止转为导通,都需要一定的时间。这些时间也是由于PN结势垒区和扩散区中电荷的变化而引起的,晶体管中势垒区空间电荷变化的情况与结型二极管相同,但是,晶体管扩散区中电荷变化的情况与结型二极管有很大的差别,这是因为晶体管的两个PN结是相互关联的。基区中非平衡少子电荷的建立和消失,往往是影响晶体管开关速度的主要因素。所以,我们对晶体管开关速度的说明,将着重于基区中非平衡少子的讨论。

图1-2-9(a)表示一个NPN晶体管处于放大区时,基区中非平衡电子密度的分布。当晶体管导通时,就有电流通过发射结。此电流主要是由发射区注入基区的电子所形成的,因为发射区的掺杂密度要比基区大得多,所以基区注入发射区的空穴极少。

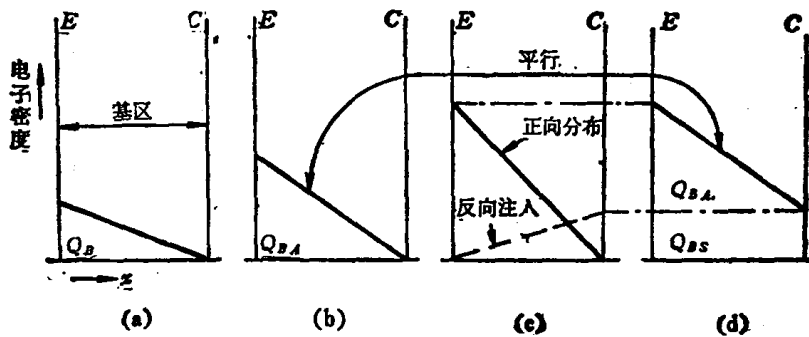


图 1-2-9 基区电子密度的分布曲线

(a) 放大区 (b) 临界饱和( $Q_{BA} > Q_B$ ) (c) 饱和时电子密度的正向和反向分布 (d) 图(c)的合成曲线

注入基区的电子由于扩散作用而通过基区,扩散电流的大小与基区中电子密度的梯度成正比。因为基区宽度非常小,基区中电子与空穴的复合机率就极小,故基区中电子密度分布近似为直线。当晶体管处于放大区时,集电结为反偏,基区与集电结边界处的电子都将被扫过集电结,集电结边界处的电子密度是零。由于基区中非平衡电子的总电荷与电子密度分布曲线下的面积成正比,所以我们把此面积标为  $Q_B$ 。

如果晶体管基极电流增大,相应地基区中电子密度分布的斜率也就增加。图1-2-9(b)示出了晶体管处于临界饱和时,基区中电子密度的分布,电子总电荷标为  $Q_{BA}$ 。

当晶体管进入饱和时,随着  $I_B$  增大,基区中正向电子分布的斜率也更高,如图1-2-9(c)实线所示,因而正向扩散电流增大。但是,饱和时通过基区的总电流被限制在集极饱和电流  $I_{Csat} = \frac{V_{CC} - V_{CES}}{R_C}$  上。在晶体管内部,这个限制是通过集电结正向偏置而完成的。集电结

正偏时,集电结区也将有电子反向注入基区,如图1-2-9(c)虚线所示。正、反向注入的合成结果就是图1-2-9(d)所示的情况。因为饱和时晶体管的电流一般十分接近于临界饱和时的电流,所以图1-2-9(d)和(b)中的电子密度分布斜率也是相同的。实际上,图1-2-9(d)中积累的非平衡电子的电荷可以看成是由均匀分布的饱和电荷  $Q_{BS}$  和电荷  $Q_{BA}$  之和。 $Q_{BS}$  对集极电流没有贡献,  $Q_{BA}$  建立产生集极饱和电流所需的电子密度梯度。饱和愈深,  $Q_{BS}$  愈大,  $Q_{BA}$  不变。

当晶体管截止时,发射结和集电结均为反向偏置,此时基区中的电子电荷接近于零。

从上述可见,晶体管截止状态和导通状态的相互转换过程不可能瞬时完成,都需要一定的