

///
DSP应用丛书

ADSP系列 数字信号处理器原理

吴敏渊 金伟正 胡志雄 黄建忠 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

DSP 应用丛书

ADSP 系列数字信号处理器原理

吴敏渊 金伟正 胡志雄 黄建忠 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

数字信号处理器(DSP)的应用十分广泛,速度快、功能强大的 DSP 芯片不断推陈出新。本书全面、系统地介绍 ADI 公司 ADSP-21xx 系列和 ADSP-2106x 系列 DSP 的工作原理、结构和应用,并提供了大量的程序实例。全书分为上、下两篇,共 21 章,包括 16 位定点 DSP 和 32 位浮点 DSP 处理器的计算单元、程序控制、数据寻址、串口、主机接口、模拟接口、存储器接口、DMA、多处理器系统、链路口、系统接口以及系统设计等内容。

本书面向通信、电子类专业的教学、科研和工程设计人员,既可作为本科高年级学生和硕士研究生的教材,也可供相关专业的科技人员学习、使用 DSP 时参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

ADSP 系列数字信号处理器原理/吴敏渊,金伟正,胡志雄等编著. —北京:电子工业出版社,2002. 4

(DSP 应用丛书)

ISBN 7-5053-7543-1

I. A… II. ①吴… ②金… ③胡… III. 数字信号发生器—理论 IV. TN911.72

中国版本图书馆 CIP 数据核字(2002)第 018215

责任编辑:张来盛 沈艳波

印 刷:北京天宇星印刷厂

出版发行:电子工业出版社 <http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:26 字数:665 千字

版 次:2002 年 4 月第 1 版 2002 年 4 月第 1 次印刷

印 数:5 000 册 定价:39.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。
联系电话:(010)68279077

前 言

本书介绍 ADI 公司的 ADSP 系列数字信号处理器。数字信号处理器的应用领域十分广泛,遍及了通信、语音、图像、控制、仪表、医疗和消费电子等领域。目前,DSP 芯片分为两大类:一类是定点 DSP,另一类是浮点 DSP。这两类 DSP 在不同场合都有广泛的应用。DSP 的发展十分迅猛,速度更快、功能更强的 DSP 芯片不断推出。这就要求开发人员不断地学习和尽快地掌握新推出的芯片资料。我们的宗旨是向读者提供一本对 DSP 的原理、概念和结构进行详尽分析的书,使读者能够深入了解和掌握 DSP 的有关知识。

本书在结构上分为上、下两篇。上篇以 ADSP-21xx 为主,讨论 16 位定点 DSP 的原理、结构和应用,主要包括计算单元、程序控制单元、数据传送、存储器以及各种接口。

下篇以 ADSP-2106x 为主,讨论 32 位浮点 DSP 的原理、结构和应用。同时也考虑到 ADSP-2106x 具有浮点运算和定点运算的功能,程序控制上采用三级流水线,可构成多处理机系统等特点,在章节的安排上也按处理器的结构和功能来划分。

本书上篇的第 1 至 3 章、第 10 章和下篇的第 11 至 14 章由吴敏渊编写;上篇的第 4 至 6 章和下篇的第 18 至 20 章由金伟正编写;上篇的第 7 至 9 章和下篇的第 15、16 章由胡志雄编写;下篇的第 17 章、第 21 章由黄建忠编写。全书由武汉大学曹庆源教授审校。

本书在编写过程中,得到了在武汉大学与 ADI 电子设计联合实验室工作的江瑛、杜鹃、刘慧、郑顺发、吴代立、赵红晓、黄剑勇等的大力协助;本书的出版得到了 ADI 公司李川先生的鼓励、支持和帮助。在此一并表示衷心感谢!

由于编著者的水平有限,书中的错误和不当之处,恳请读者批评指正。

编 著 者

2002 年 3 月 15 日

于武汉大学与 ADI 电子设计联合实验室

目 录

上篇 ADSP-21xx 系列 16 位定点数字信号处理器

第 1 章 定点 DSP 概述	(3)
1.1 功能单元	(3)
1.2 存储器和系统接口	(4)
1.3 指令集	(4)
1.4 DSP 性能	(4)
1.5 核心结构	(5)
1.6 片内外设	(6)
1.7 ADSP-21xx 系列的开发工具	(6)
第 2 章 ADSP-21xx 计算单元	(7)
2.1 概述	(7)
2.2 算术/逻辑单元(ALU)	(9)
2.2.1 ALU 的框图	(9)
2.2.2 ALU 标准功能	(11)
2.2.3 ALU 的输入/输出寄存器	(12)
2.2.4 多精度能力	(12)
2.2.5 ALU 的饱和模式	(12)
2.2.6 ALU 的溢出锁存模式	(12)
2.2.7 除法	(13)
2.2.8 ALU 的状态位	(15)
2.3 乘法/累加器(MAC)	(15)
2.3.1 MAC 框图的讨论	(16)
2.3.2 MAC 操作	(17)
2.4 桶形移位器	(21)
2.4.1 移位器框图讨论	(21)
2.4.2 移位器的操作	(26)
第 3 章 ADSP-21xx 程序控制和数据地址产生	(31)
3.1 程序控制器	(31)
3.1.1 下一个程序地址选择逻辑	(31)
3.1.2 程序计数器和 PC 堆栈	(31)
3.1.3 循环计数器和堆栈	(33)
3.1.4 循环比较器及其堆栈	(33)
3.2 程序控制指令	(35)
3.3 中断	(37)

3.3.1	中断服务的过程	(38)
3.3.2	设置中断	(38)
3.3.3	中断响应时间	(40)
3.4	状态寄存器和状态堆栈	(41)
3.4.1	算术状态寄存器(ASTAT)	(41)
3.4.2	堆栈状态寄存器(SSTAT)	(42)
3.4.3	模式状态寄存器(MSTAT)	(43)
3.5	条件指令	(44)
3.6	TOPPCSTACK	(45)
3.7	数据地址的生成	(46)
3.7.1	数据地址发生器(DAG)	(46)
3.7.2	数据存取的编程	(49)
3.7.3	PMD-DMD 总线交换	(50)
3.8	定时器	(51)
第4章	ADSP-21xx 串口	(54)
4.1	端口的基本情况	(54)
4.2	同步串口的编程	(56)
4.3	SPORT 的使能	(58)
4.4	串行时钟	(59)
4.5	串口字长	(60)
4.6	串行字成帧选项	(60)
4.7	串口设置举例	(61)
4.8	时序举例	(62)
4.9	压扩和数据格式	(67)
4.10	自动缓冲	(68)
4.11	多通道功能	(71)
4.12	SPORT 的定时	(73)
第5章	ADSP-21xx 主机接口	(79)
5.1	HIP 管脚介绍	(79)
5.2	HIP 功能描述	(80)
5.3	HIP 的操作	(82)
5.4	HIP 中断	(84)
5.5	主机接口的时序	(85)
5.6	通过 HIP 的引导加载	(88)
第6章	ADSP-21xx 模拟接口	(91)
6.1	A/D 转换	(92)
6.1.1	模拟输入	(92)
6.1.2	ADC	(92)
6.2	D/A 转换	(94)
6.2.1	DAC	(94)

6.2.2 差分输出放大器	(95)
6.3 模拟接口的操作	(95)
6.3.1 存储器映射的控制寄存器	(95)
6.3.2 存储器映射的数据寄存器	(96)
6.3.3 ADC 和 DAC 中断	(97)
6.4 电路设计中的考虑	(100)
6.4.1 模拟信号接口	(100)
6.4.2 模拟信号输出	(101)
6.4.3 参考电压滤波电容	(102)
第 7 章 ADSP-21xx 存储器接口	(103)
7.1 程序存储器接口	(103)
7.1.1 片外程序存储器的读和写	(104)
7.1.2 程序存储器映像	(105)
7.1.3 ROM 程序存储器映像	(107)
7.2 数据存储器接口	(109)
7.3 引导存储器接口	(112)
7.4 总线请求/总线响应	(115)
7.5 ADSP-2181 的存储器接口	(117)
7.5.1 ADSP-2181 程序存储器接口	(118)
7.5.2 ADSP-2181 的数据存储器接口	(121)
7.5.3 ADSP-2181 的字节存储器接口	(122)
7.5.4 ADSP-2181 的 I/O 存储器空间	(122)
7.5.5 ADSP-2181 复合存储器选择	(123)
7.5.6 外部存储器读	(124)
7.5.7 外部存储器写	(124)
第 8 章 ADSP-21xx DMA 接口	(126)
8.1 BDMA 接口	(127)
8.1.1 BDMA 接口的功能	(127)
8.1.2 BDMA 控制寄存器	(128)
8.1.3 字节存储器字的格式	(130)
8.1.4 BDMA 引导	(131)
8.2 IDMA 接口	(132)
8.2.1 IDMA 接口的管脚	(132)
8.2.2 IDMA 接口功能	(133)
8.2.3 通过 IDMA 修改控制寄存器	(135)
8.2.4 IDMA 接口时序	(135)
8.2.5 通过 IDMA 接口的引导装载	(139)
8.2.6 DMA 周期窃取、DMA 延迟和 $\overline{\text{IACK}}$ 确认	(139)
第 9 章 ADSP-21xx 系统接口	(141)
9.1 时钟信号	(141)

9.2	复位	(143)
9.3	软件强制重引导	(143)
9.4	外部中断	(144)
9.5	标志管脚	(144)
9.6	休眠	(145)
9.6.1	休眠控制	(146)
9.6.2	进入休眠	(146)
9.6.3	退出休眠状态	(147)
9.6.4	唤醒后的启动时间	(148)
9.6.5	休眠期间处理器的运行	(149)
9.6.6	最低功耗的条件	(151)
9.6.7	PWDACK 管脚	(151)
9.6.8	不可屏蔽的休眠中断	(151)
第 10 章	ADSP-21xx 的硬件设计和软件编程	(153)
10.1	系统开发过程	(153)
10.2	ADSP-2100 的内部寄存器	(154)
10.2.1	数据地址发生器	(156)
10.2.2	程序控制器	(156)
10.2.3	计算单元	(157)
10.2.4	总线交换	(158)
10.2.5	定时器	(158)
10.2.6	串口	(158)
10.2.7	存储器接口和 SPORT 使能	(158)
10.2.8	主机接口	(158)
10.2.9	模拟接口	(159)
10.3	编程实例	(159)
10.3.1	对设置程序的讨论	(161)
10.3.2	对中断程序的讨论	(162)
10.4	硬件设计实例	(162)
10.4.1	利用总线请求和确认信号从主机引导	(162)
10.4.2	串口和编解码器的接口	(164)
10.4.3	串口和 DAC 接口	(165)
10.4.4	串口和 ADC 接口	(165)
10.4.5	串口和串口接口	(167)
10.4.6	80C51 和主机接口的连接	(167)

下篇 ADSP-2106x 系列 32 位浮点数字信号处理器

第 11 章	浮点 DSP 概述	(171)
第 12 章	ADSP-2106x 的计算单元	(174)

12.1	概述	(174)
12.2	IEEE 浮点数的运算	(175)
12.3	定点运算	(176)
12.4	舍入方式	(176)
12.5	算术逻辑单元(ALU)	(176)
12.5.1	ALU 运算	(177)
12.5.2	ALU 的操作模式	(177)
12.5.3	ALU 的状态标志	(178)
12.6	乘法器	(180)
12.6.1	乘法器的运算	(180)
12.6.2	定点结果	(181)
12.6.3	定点运算	(182)
12.6.4	浮点操作模式	(182)
12.6.5	乘法器的状态标志	(183)
12.7	移位器	(184)
12.7.1	移位器的操作	(185)
12.7.2	位段的放置和截取指令	(185)
12.7.3	移位器状态标志	(187)
12.8	多功能计算	(188)
12.9	数据寄存器组	(188)
第 13 章	ADSP-2106x 的程序控制	(190)
13.1	概述	(190)
13.1.1	指令周期	(190)
13.1.2	程序控制器的结构	(191)
13.2	程序控制器的操作	(193)
13.3	条件指令的执行	(194)
13.4	分支(CALL, JUMP, RTS, RTI)	(196)
13.5	循环(DO UNTIL)	(198)
13.5.1	循环的限制和短循环	(199)
13.5.2	循环地址堆栈	(201)
13.5.3	循环计数器和堆栈	(202)
13.6	中断	(203)
13.6.1	中断响应时间	(204)
13.6.2	中断向量表	(206)
13.6.3	中断锁存寄存器(IRPTL)	(207)
13.6.4	中断优先级	(207)
13.6.5	中断屏蔽和控制	(207)
13.6.6	状态堆栈的保存和恢复	(208)
13.6.7	软件中断	(209)
13.6.8	为再次使用而清除当前中断	(209)

13.6.9	外部中断时序和触发	(210)
13.6.10	多处理器的向量中断(VIRPT)	(210)
13.7	定时器	(211)
13.8	堆栈标志	(213)
13.9	IDLE 和 IDLE16 指令	(214)
13.10	指令缓冲器	(214)
第 14 章	ADSP-2106x 的数据寻址	(218)
14.1	概述	(218)
14.2	DAG 寄存器	(219)
14.3	DAG 操作	(220)
14.3.1	地址的输出和修改	(220)
14.3.2	循环缓冲区的寻址	(221)
14.3.3	位反序寻址	(223)
14.4	DAG 寄存器的传送	(224)
第 15 章	ADSP-2106x 存储器	(226)
15.1	概述	(226)
15.2	ADSP-2106x 存储器图	(230)
15.3	内部存储器组织和字长	(237)
15.3.1	32 位字和 48 位字	(237)
15.3.2	32 位字和 48 位字混合块	(239)
15.3.3	32 位字和 48 位字混合的基本示例	(239)
15.3.4	16 位短字	(241)
15.3.5	具有更佳间隔尺寸的 32 位字和 48 位字混合	(242)
15.3.6	为 32 位数据和 40 位数据配置存储器	(245)
15.4	外部存储器接口	(246)
15.4.1	外部存储器组	(247)
15.4.2	未分组的存储器和引导存储器选择线(BMS)	(248)
15.4.3	等待状态和应答	(248)
15.4.4	DRAM 页边界检测	(251)
15.5	外部存储器访问时序	(253)
第 16 章	ADSP-2106x 的 DMA	(256)
16.1	概述	(256)
16.2	DMA 控制寄存器	(259)
16.2.1	外部口 DMA 控制寄存器	(260)
16.2.2	串口 DMA 控制	(263)
16.2.3	链路口 DMA 控制	(263)
16.2.4	共享 DMA 通道的端口选择	(265)
16.2.5	DMA 通道状态寄存器(DMASTAT)	(265)
16.3	DMA 控制器操作	(266)
16.3.1	DMA 通道参数寄存器	(267)

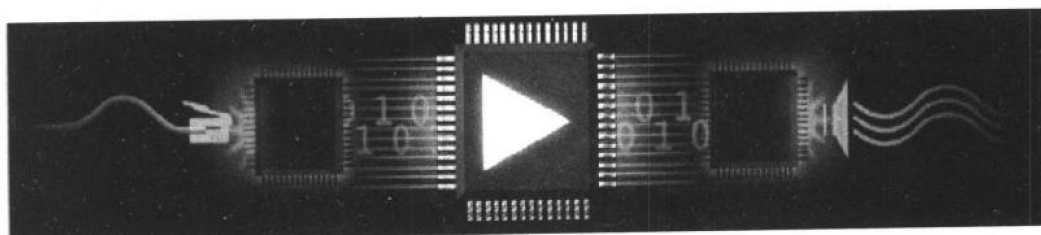
16.3.2	内部请求和应答	(269)
16.3.3	DMA 通道优先级	(269)
16.3.4	为 DMA 链	(271)
16.3.5	DMA 中断	(274)
16.3.6	启动和停止 DMA 序列	(275)
16.4	外部口 DMA	(275)
16.4.1	外部口先进先出缓冲区(EPBx)	(275)
16.4.2	内部和外部地址的产生	(276)
16.4.3	外部口 DMA 模式	(277)
16.4.4	ADSP-2106x 处理器间 DMA 的系统配置	(281)
16.4.5	DMA 硬件接口	(282)
16.5	DMA 传输量	(283)
16.6	二维 DMA	(284)
第 17 章	ADSP-2106x 多处理器系统	(286)
17.1	概述	(286)
17.2	多处理器系统的结构	(288)
17.3	多处理器总线仲裁	(290)
17.3.1	总线仲裁协议	(291)
17.3.2	总线仲裁优先权(RPBA)	(294)
17.3.3	总线控制权的时限	(294)
17.3.4	核优先访问	(295)
17.3.5	复位后的总线同步	(296)
17.4	直接读写从处理器	(298)
17.5	通过 EPBx 缓冲的数据传输	(298)
17.5.1	单字传输	(298)
17.5.2	DMA 传输	(299)
17.6	总线锁定和信号量	(299)
17.7	处理器间消息传递和向量中断	(301)
17.7.1	消息传递(MSGRx)	(301)
17.7.2	向量中断(VIRPT)	(302)
17.8	SYSTAT 寄存器中的状态位	(303)
第 18 章	ADSP-2106x 主机接口	(304)
18.1	概述	(304)
18.2	主机对 ADSP-2106x 的控制	(306)
18.2.1	总线请求	(306)
18.2.2	异步传输	(308)
18.2.3	同步传输	(310)
18.2.4	用SBTS解决主机接口死锁	(310)
18.3	直接读写从机	(311)
18.4	通过 EPBx 的数据传输	(313)

18.4.1	单字节数据的传输	(313)
18.4.2	DMA 传输	(314)
18.5	数据打包	(314)
18.6	SYSTAT 寄存器状态位	(318)
18.7	处理器间的消息和向量中断	(318)
18.8	系统总线接口	(318)
18.8.1	对 ADSP-2106x 总线的访问——ADSP-2106x 为从机	(319)
18.8.2	对系统总线的访问——ADSP-2106x 为控制者	(320)
18.8.3	使用本地存储器的多处理器技术	(322)
18.8.4	ADSP-2106x 和微处理器的接口	(322)
第 19 章	ADSP-2106x 链路口	(324)
19.1	概述	(324)
19.2	链路口控制寄存器	(326)
19.3	握手控制信号	(330)
19.4	链路缓冲	(331)
19.5	链路口 DMA 通道	(332)
19.6	链路口中断	(333)
19.7	传送错误检测、令牌传递和链路传送信号线	(335)
19.8	系统设计实例:本地 DRAM 接口	(337)
19.9	程序实例	(337)
第 20 章	ADSP-2106x 串行口	(349)
20.1	概述	(349)
20.2	串口控制寄存器和数据缓冲区	(351)
20.3	数据字格式	(356)
20.4	时钟信号选择	(358)
20.5	帧同步信号选择	(359)
20.6	多通道操作	(361)
20.6.1	多通道模式下的帧同步	(362)
20.6.2	STCTL 和 SRCTL 中的多通道控制位	(363)
20.6.3	多通道选择寄存器	(363)
20.6.4	串口接收比较寄存器	(364)
20.7	串口和内存的数据传输	(365)
20.7.1	DMA 块传输	(365)
20.7.2	单字传输方式	(368)
20.8	串口自环和串口引脚驱动	(368)
20.9	串口编程示例	(369)
第 21 章	ADSP-2106x 系统设计	(374)
21.1	ADSP-2106x 引脚	(374)
21.1.1	引脚定义	(374)
21.1.2	复位后引脚的状态	(378)

21.1.3	RESET和 CLKIN	(379)
21.1.4	中断和定时器引脚	(379)
21.1.5	标志引脚	(380)
21.1.6	JTAG 接口引脚	(381)
21.2	EZ-ICE 仿真器	(381)
21.3	输入信号的调理	(383)
21.4	高频设计补偿	(384)
21.5	引导	(388)
21.5.1	引导方式的选择	(389)
21.5.2	EPROM 引导	(389)
21.5.3	主机引导	(392)
21.5.4	链路口引导	(393)
21.5.5	多处理器引导	(393)
21.5.6	非引导模式	(395)
21.5.7	中断向量表位置	(395)
21.6	编程时的设计要点	(395)
21.6.1	额外需要的周期	(395)
21.6.2	延迟分支跳转的限制	(397)
21.6.3	循环缓冲区的初始化	(397)
21.6.4	不允许的 DAG 寄存器传送	(397)
21.6.5	对寄存器组(堆)的两次写	(398)
21.6.6	计算单元	(398)
21.6.7	存储器空间的访问限制	(398)
21.6.8	在一个存储器块中混合存储 32 位字和 48 位字	(398)
21.6.9	16 位短字	(398)
21.6.10	双数据访问	(398)
21.7	数据延迟、响应时间及吞吐量	(399)
21.8	执行延迟	(400)

上 篇

ADSP-21xx 系列 16 位定点 数字信号处理器



第 1 章 定点DSP概述

ADSP-21xx 系列微处理器的基本框架是相同的,但在基本框架上配置的片内外设类型却是不同的。该基本框架是专为数字信号处理(DSP)和其他高速数字处理应用而优化设计的。系列中的各个成员都有片内的存储器、定时器、串口、并口。此外,ADSP-21msp58/59还具有用于音频信号转换的片内模拟接口。

本书的上篇,以 ADSP-21xx 系列处理器为例,详细分析 16 位定点 DSP 的结构和功能特点,使读者能够深入掌握定点数字信号处理器的原理,从而能更好地应用 DSP 芯片,以更高的效率进行 DSP 技术的开发和应用。

1.1 功能单元

DSP 芯片能够以很高的速度实现各种 DSP 算法,在其内部包括以下功能单元。

- 计算单元——每个处理器包括 3 个独立的、功能完备的计算单元:算术/逻辑单元(ALU)、乘法/累加器(MAC)和桶状移位器。计算单元直接处理 16 位数据并对多精度计算提供硬件支持。

- 数据地址产生器和程序控制器——两个专用的地址产生器和一个程序控制器提供对片内、片外存储器的寻址。程序控制器支持单周期的条件分支和无开销循环。双数据地址产生器使处理器能同时产生两个操作数的地址。数据地址产生器和程序控制器使计算单元保持连续工作状态,使流量达到最大化。

- 存储器——ADSP-21xx 采用修改的哈佛结构,其中数据存储器存放数据,程序存储器既可存放指令又可存放数据。所有的处理器都有片内 RAM,该片内 RAM 构成程序存储空间和数据存储空间的一部分。片内存储器的速度很高,处理器可以在一个周期读取两个操作数(一个来自数据存储器,另一个来自程序存储器)和一条指令(来自程序存储器)。

- 串口——串口(SPORT)提供带有硬件数据压扩部件的完整的串行接口。支持按 μ 律和 A 律压缩的扩展。SPORT 可以容易地和多种流行的串行设备直接接口。每个 SPORT 能产生一个可编程的内部时钟或接收一个外部时钟。SPORT0 有多通道选项。

- 定时器——一个带有 8 位预分频器的定时器/计数器可产生周期性的中断。

- 主机接口——主机接口(HIP)有 16 根数据引脚和 11 根控制引脚,可以和主机处理器直接连接,无须连接逻辑。HIP 非常灵活,易于和各种主机处理器接口。如:Motorola 6800、Intel 8051 或其他 ADSP-21xx 系列处理器可以容易地接到 HIP 上。

- DMA 接口——ADSP-2181 的内部 DMA 接口(IDMA)和字节 DMA 接口(BDMA)可对内部存储器进行有效的数据传送。IDMA 接口具有 16 位多路复用的地址和数据总线,支持 24 位宽的程序存储器。IDMA 接口是完全异步的,在 ADSP-2181 全速运行时,可以写入数据。字节 DMA 接口允许引导装载并且存储程序指令和数据。

- 模拟接口——ADSP-21msp58/59 片内集成了模拟和数字信号混合处理电路。该电路由模数转换器、数模转换器、模拟和数字滤波器、处理器核的并行接口等组成。转换器采用

Σ - Δ 技术获取数据样本。

DSP-2100 的框架具有高度的并行性, 适合于 DSP 的需要。在一个周期内, 可完成如下功能:

- 产生下一个程序地址。
- 读取下一条指令。
- 完成一次或两次数据移动。
- 更新一个或两个数据地址指针。
- 完成一次计算。

对于某些具有相应功能单元的处理器, 在相同的周期内, 还可以:

- 通过串口接收和 (或) 发送数据。
- 通过主机接口接收和 (或) 发送数据。
- 通过 DMA 接口接收和 (或) 发送数据。
- 通过模拟接口接收和 (或) 发送数据。

1.2 存储器和系统接口

ADSP-21xx 处理器中, 4 条片内总线将片内存储器和其他功能单元连接在一起, 4 条片内总线分别是: 数据存储器地址总线 (DMA)、数据存储器数据总线 (DMD)、程序存储器地址总线 (PMA) 和程序存储器数据总线 (PMD)。扩展到片外后, 则变为一条外部数据总线和一条外部地址总线, 外部总线既可用于程序也可用于数据的存取。

通过使用总线请求和确认信号 ($\overline{BR}$ 和 $\overline{BG}$), 外部设备可以控制处理器的总线。在出让总线期间, 只要不对外部存储器进行操作, 处理器就可以继续运行。

ADSP-21xx 处理器支持存储映像外设, 能产生可编程的等待状态。

复位后, 引导电路自动装载片内程序存储器。引导装载有 3 种方式: ①通过存储器接口从廉价的单片 EEPROM 装入; ②通过主机接口从主机处理器装入; ③通过 BDMA 接口装入。

ADSP-21xx 处理器对中断的响应不同, 但在大多数情况下, 程序控制器使处理器以最小的延迟响应中断。中断可以嵌套, 并且无须另外的延迟。外部中断可以配置成边沿触发或电平触发。内部中断可由定时器、主机接口、串口和 BDMA 接口产生。

1.3 指令集

ADSP-21xx 处理器共享一个统一的向上兼容的指令集。ADSP-2171, ADSP-2181, ADSP-21msp58/59 有若干条增加且增强的指令。

ADSP-21xx 指令集提供了灵活的数据移动功能。多功能指令能将一次或更多次的数据移动和一次计算结合在一起。任何一条指令可以在一个处理器周期内完成。汇编语言采用代数句法, 可读性好、编码方便, 具有完备的软件和硬件工具支持程序开发。

1.4 DSP 性能

信号处理的应用提出特殊的性能要求, 这使得 DSP 的结构体系不同于微处理器和微控