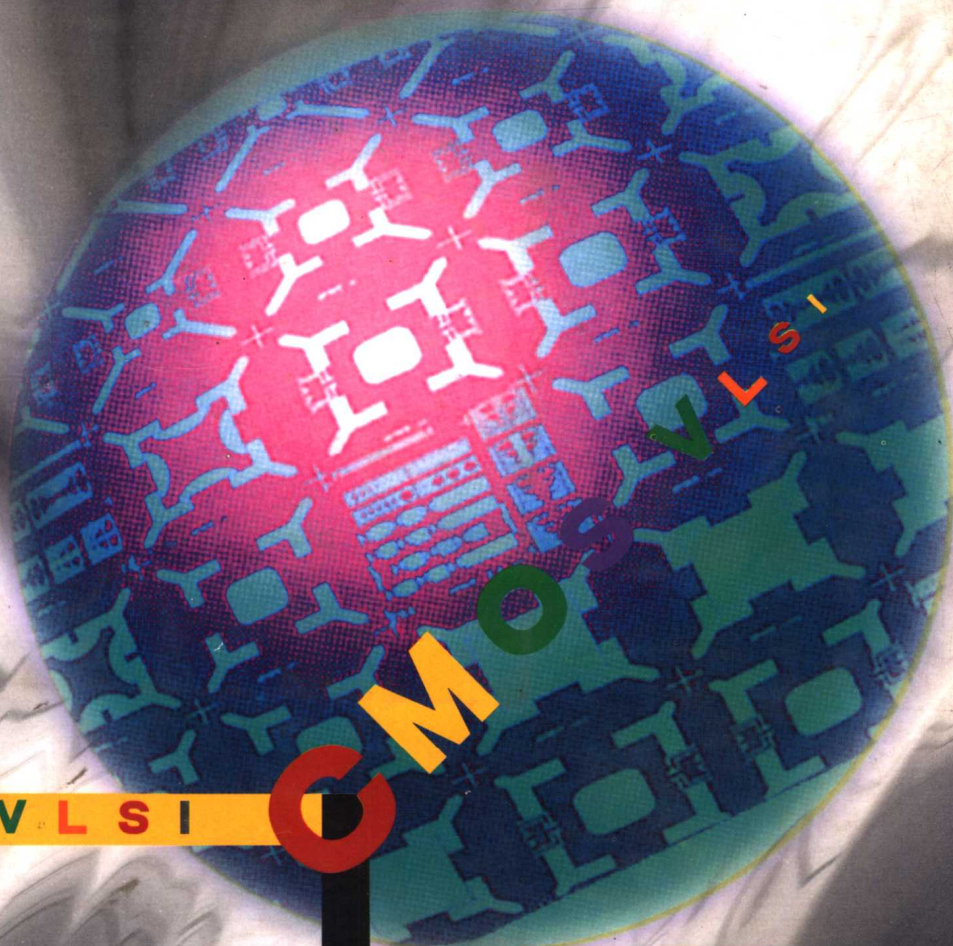


数字CMOS VLSI分析 与设计基础

甘学温 编著



CMOS VLSI

北京大学出版社

数字 CMOS VLSI 分析与设计基础

甘学温 编著

北京大学出版社
北 京

内 容 提 要

本书全面系统地讲解了数字 CMOS VLSI 的基本原理及其设计。全书共分 11 章。前两章分析了 MOS 晶体管的基本原理以及器件按比例缩小的性能。第三章介绍了 CMOS VLSI 的制造工艺。第四至七章和第九章论述了 CMOS VLSI 的结构特点、工作原理及设计方法,并给出了很多电路实例。第八章介绍了 VLSI 存储器的新结构和新电路。最后两章介绍了 90 年代迅速发展的 SOICMOS 和 BiCMOS 新技术。本书既强调了基本知识,又反映了 CMOS VLSI 的最新进展。全书条理清楚,讲解透彻,内容先进,便于自学。

本书可作为微电子专业或相关专业的高年级本科生和研究生的教材,同时也是从事微电子技术研究、电路设计、生产及应用的工程技术人员的重要参考书。另外,对于其他专业想了解大规模和超大规模集成电路的工程技术人员,也是一本很有价值的参考书。

图书在版编目(CIP)数据

数字 CMOS VLSI 分析与设计基础/甘学温编著. —北京:北京大学出版社,1999.2
ISBN 7-301-04035-0

I. 数… II. 甘… III. 超大规模集成电路-高等学校-教材 IV. TN47

书 名: 数字 CMOS VLSI 分析与设计基础

著作责任者: 甘学温编著

责任编辑: 沈承凤

标准书号: ISBN 7-301-04035-0

出版者: 北京大学出版社

地 址: 北京市海淀区中关村大街 25 号 100871

网 址: <http://cbs.pku.edu.cn>

电 话: 出版部 62752015 发行部 62754140 编辑室 62752037

电子信箱: zpup@pup.pku.edu.cn

排 版 者: 北京市因温特有限责任公司照排部

印 刷 者: 国防科工委印刷厂印刷

发 行 者: 北京大学出版社

经 销 者: 新华书店

787 毫米×1092 毫米 16 开本 20.625 印张 513 千字

1999 年 2 月第一版 1999 年 2 月第一次印刷

定 价: 25.00 元

序

甘学温同志是我多年的老同事了,她在多年教学基础上编著的《数字 CMOS VLSI 分析与设计基础》一书即将出版,我表示热烈的祝贺并乐意应命写一些话。

当前,人们都在谈论信息时代与知识经济,它已成为一个热门话题,但真正拉开信息时代帷幕的是 1947 年 Bell 实验室晶体管的发明。而知识经济的特征产业,人们一致认为是芯片业与软件业。因此,以芯片设计和制造为核心的微电子产业已成为衡量一个国家综合实力的重要标志。

晶体管发明以后,人们对半导体器件及其制造工艺的研究不断深入。通过对半导体表面效应的深入掌握,终于在 1960 年制造出金属-氧化物-半导体场效应晶体管(MOS 晶体管)。尽管 MOS 晶体管的诞生比双极晶体管晚了十多年,但是由于它体积小、功耗低、制造工艺比较简单,为集成化提供了有利条件。随着硅平面工艺技术的发展,MOS 集成电路遵循 Moore 定律飞速发展。现在已经可以把几亿乃至几十亿个 MOS 晶体管集成在一个芯片里。以 CMOS 集成电路为代表的微电子技术及其产业突飞猛进,日新月异,给人类的工作和生活带来了巨大变革。根据预测,直至 21 世纪上半叶它仍将是主流技术。为了迎接 21 世纪——一个崭新的信息化世纪,需要培养更多的掌握微电子等新兴科学技术知识的人才。“MOS 集成电路原理”是微电子专业的一门重要课程,搞好这门课的教学和教材建设是非常重要的,也是我们北京大学微电子专业义不容辞的责任。

甘学温副教授长期从事教学工作,给微电子专业本科生讲授“MOS 集成电路原理”课,近几年又开设了研究生的“VLSI 分析与设计”课。她对教学工作认真负责,潜心钻研业务,不断更新与充实教学内容,反映 MOS VLSI 的发展以及涌现的新技术、新器件和新电路结构。在多年教学中积累素材的基础上,编著了《数字 CMOS VLSI 分析与设计基础》一书。该书总结了作者多年的教学成果,系统全面、深入浅出地分析了 MOS 晶体管和 CMOS 数字集成电路的工作原理、制造工艺及设计技术,反映了数字 CMOS VLSI 的新技术、新电路结构,同时还介绍了目前发展迅速且非常有发展前途的 SOI 和 BiCMOS 技术。全书内容先进,引用了很多新的电路实例。基于作者多年的教学经验,在素材组织及文字撰写方面注意到条理性 and 系统性,对基础知识进行了深入细致的分析,便于学生自学;同时兼顾了基础知识与 VLSI 领域的新进展,通过一些新的素材,使学生能开阔眼界,扩大知识面。

目前国内尚缺乏系统全面、深入浅出地讲述 CMOS VLSI 的基础知识及最新进展的教材。甘学温同志编著的《数字 CMOS VLSI 分析与设计基础》一书是这一领域的一本较好的教科书。希望该书的出版能促进微电子专业的教学,并对微电子领域从事研究和生产的工程技术人员提供有价值的参考。

李元
1998年夏于北京

前 言

1947年晶体管的发明引起了一次新的技术革命,使人类开始进入电子时代。1960年金属-氧化物-半导体场效应晶体管(MOSFET)研制成功。由于MOS晶体管具有结构简单、体积小、功耗低、有利于集成化等优点,使MOS集成电路得到异常迅猛的发展,很快从小规模、中规模发展到大规模、超大规模。MOS IC的发展基本遵从摩尔定律。MOS存储器产品的集成度大约每3年增长4倍,从70年代的Kb(10^3)规模,到80年代中期发展到Mb(10^6)规模,1995年已研制出Gb(10^9)规模的DRAM芯片。预计2000年1Gb的DRAM将投入生产,到2031年左右将达到1Tb(10^{12})的集成度。随机逻辑电路由于结构复杂其集成度增长不像存储器那样快,大约每5年增长10倍,但是其发展速度也是相当惊人的。1971年制造出第一块4位的微处理器芯片,集成度只有2.3K,1981年生产的16位微处理器芯片集成度达到29K,1993年研制出的奔腾芯片集成度已达到3.1M,工作频率超过60MHz,目前先进的微处理器芯片的主频已超过400MHz。预计到2010年微处理器芯片的集成度将达到100M,处理速度每秒2G次。

MOS集成电路的飞速发展主要是三方面的贡献。一是平面工艺技术的进步,特别是微细加工技术的发展,使工艺加工的最小尺寸(特征尺寸)不断减小。70年代从十几微米缩小到几微米,80年代从几微米缩小到亚微米,90年代则从亚微米进入到深亚微米水平,并正向着纳米器件发展。另一方面是芯片面积不断增大,从而在一个芯片里可以集成更多的器件,当然相应的硅片面积也不断增大。硅片直径从最初的25mm增长到100mm,目前已达到150~200mm。预计到2010年将达到特征尺寸0.05 μ m、硅片直径300mm。第三方面是设计的贡献,新的器件结构和电路结构不断涌现,不仅使器件做得越来越小,而且使电路性能不断提高,使产品更具竞争力。MOSIC刚诞生时是PMOS电路,由于解决了NMOS器件的阈值控制问题以及硅栅自对准工艺的发展,使NMOS电路得到了迅速发展并取代了PMOS电路。NMOS电路比PMOS电路在速度上有很大提高,但是NMOS电路有较大的静态功耗,限制了集成度的提高。CMOS电路具有逻辑摆幅大、功耗低、抗干扰能力强等优点,在80年代发展成为VLSI的主流技术。为了进一步提高CMOS VLSI的速度,自80年代后期又发展起BiCMOS电路,把CMOS电路高密度、低功耗的优点和Bipolar高速度、驱动能力强的优点结合起来,使VLSI的性能极大提高。SOICMOS具有许多体硅CMOS不可比拟的优点,如消除了闩锁效应,具有很好的器件按比例缩小性能,寄生电容小有利于提高速度而且有抗辐照特性等,因而在航天、军事等重要领域有广阔的应用前景。SOICMOS和BiCMOS是90年代迅速发展且非常有前途的新技术。

以MOS VLSI为代表的微电子技术给人们的工作和生活带来了巨大的变革,微电子产业正在迅猛发展,产品不断更新,产量不断增长。集成电路的销售额大约每年增长18%,1994年全球销售额突破1000亿美元大关。预计2000年将超过2000亿美元,其中CMOS

VLSI 产品占 85% 以上。预计直至 21 世纪上半叶这种发展势头仍将继续, 体硅 CMOS 工艺仍将是主流技术。

考虑到集成电路的发展情况和未来趋势, 编写一本讲述 CMOS VLSI 的基本知识并反映其最新发展的教科书是非常必要的, 也是非常迫切的。我多年来一直从事微电子专业本科生的集成电路课的教学, 近年来又给研究生讲授“VLSI 分析与设计”课, 在教学工作中不断更新教学内容, 注意搜集素材, 反映 VLSI 的最新发展。因此我在教学工作的基础上编写了这本《数字 CMOS VLSI 分析与设计基础》, 1997 年 10 月完成初稿。这本书全面系统地分析了数字 CMOS VLSI 的基本原理与设计。从 MOS 晶体管的基本原理讲起, 分析了数字 CMOS 集成电路的结构特点、工作原理, 分析了各种典型的电路, 特别是一些新型电路结构, 如兆位存储器的新结构、CPL 和 DPL 电路、Domino CMOS 电路、NORA 和 TSPC 动态电路以及 SOICMOS 和 BiCMOS 电路, 反映了 CMOS VLSI 的最新发展, 包括 90 年代一些前沿性研究内容。这本书既可以作为微电子专业高年级本科生的教材, 也可以作为研究生的教学参考书。作为本科生教材时有些章节内容可适当删减。本书对从事微电子技术研究、生产及应用的工程技术人员和其他专业想了解 VLSI 有关知识的师生和工程技术人员也是一本有价值的参考书。

在本书的编写过程中得到了微电子所领导和同事们的关心与支持。所长王阳元院士在百忙中为本书写了序言; 副所长韩汝琦教授、张兴副教授以及莫邦燹教授、奚雪梅副教授都抽出时间审阅了部分原稿, 并提出宝贵意见。我的学生黄爱华、黄广宇、李宇、窦训金、朱海澜等帮助绘制了大部分插图, 我的同事张天义、林信南、冯小敏及李素兰等也在图形打印方面给予了帮助。还有很多同事对这本书的编写给予了热情的关心和鼓励, 恕不一一列举。在此向所有关心和帮助我的人们表示衷心的感谢。另外, 还应感谢北京大学教材建设委员会为本书的出版提供了基金资助, 北京大学出版社为本书的出版做了大量工作。

由于本人水平有限以及时间紧迫, 书中难免有错误和疏漏之处, 真诚欢迎广大读者批评指正。

甘学温

1998 年 8 月于北京大学

目 录

第一章 MOS 晶体管工作原理	(1)
1.1 MOS 晶体管的结构特点和基本原理	(1)
1.2 MOS 晶体管的阈值电压分析	(5)
1.3 MOS 晶体管的电流方程	(12)
1.4 MOS 晶体管的瞬态特性	(18)
第二章 MOS 器件按比例缩小	(30)
2.1 按比例缩小理论	(30)
2.2 高电场效应对按比例缩小器件性能的影响	(38)
2.3 不能按比例缩小的参数的影响	(52)
2.4 VLSI 发展的实际限制	(60)
第三章 CMOS IC 工艺流程及电路中的寄生效应	(63)
3.1 集成电路制作中的几个基本工艺步骤	(63)
3.2 CMOS IC 工艺流程	(65)
3.3 CMOS IC 中的寄生效应	(68)
第四章 CMOS 反相器和 CMOS 传输门	(74)
4.1 CMOS 反相器的直流特性	(74)
4.2 CMOS 反相器的瞬态特性	(79)
4.3 CMOS 反相器的功耗	(86)
4.4 CMOS 反相器的设计	(88)
4.5 CMOS 和 NMOS 电路性能比较	(88)
4.6 CMOS 传输门	(92)
第五章 CMOS 静态逻辑电路设计	(98)
5.1 静态 CMOS 逻辑门的构成特点	(98)
5.2 CMOS 与非门的分析	(99)
5.3 CMOS 或非门的分析	(104)
5.4 CMOS 与非门和或非门的设计	(106)
5.5 组合逻辑电路的设计	(110)
5.6 类 NMOS 电路	(118)
5.7 传输门逻辑电路	(121)
5.8 差分 CMOS 逻辑系列	(128)
第六章 动态和时序逻辑电路设计	(140)
6.1 动态逻辑电路的特点	(140)

6.2	预充-求值的动态 CMOS 电路	(140)
6.3	多米诺(Domino) CMOS 电路	(147)
6.4	时钟 CMOS(C ² MOS)电路	(153)
6.5	无竞争(NORA)动态 CMOS 电路	(154)
6.6	CMOS 触发器	(159)
6.7	时序逻辑电路	(167)
第七章	输入、输出缓冲器	(177)
7.1	输入缓冲器	(177)
7.2	输入保护电路	(179)
7.3	输出缓冲器	(181)
7.4	脱片输出驱动级的设计	(184)
7.5	三态输出和双向缓冲器	(186)
第八章	MOS 存储器	(190)
8.1	DRAM	(190)
8.2	SRAM	(221)
8.3	ROM 和 PLD	(234)
第九章	MOS IC 的版图设计	(254)
9.1	VLSI 的设计方法	(254)
9.2	门阵列和标准单元设计方法	(258)
9.3	版图设计	(266)
第十章	SOICMOS 简介	(272)
10.1	SOI CMOS 工艺	(272)
10.2	薄膜 SOIMOSFET 的基本特性	(273)
10.3	短沟薄膜 SOIMOSFET 的二级效应	(280)
第十一章	BiCMOS 电路	(289)
11.1	MOS 和双极型器件性能比较	(289)
11.2	BiCMOS 工艺和器件结构	(291)
11.3	BiCMOS 逻辑门的设计	(292)
11.4	BiCMOS 和 CMOS 电路性能的比较	(299)
11.5	BiCMOS 电路实例	(302)
主要符号表		(310)
主要参考文献		(313)
附录		(321)

第一章 MOS 晶体管工作原理

MOS 晶体管是金属-氧化物-半导体场效应晶体管的简称,它是构成 MOS 集成电路的基本器件。要分析和设计 MOS 集成电路,必须先掌握 MOS 晶体管的工作原理。

1.1 MOS 晶体管的结构特点和基本原理

1.1.1 MOS 晶体管的基本结构

图 1.1.1 是一个 MOS 晶体管的结构示意图。它是在 p 型硅衬底上用扩散或离子注入的方法形成两个 n^+ 区,构成 MOS 晶体管的源区和漏区,在这两个 n^+ 区上做欧姆接触引出两个

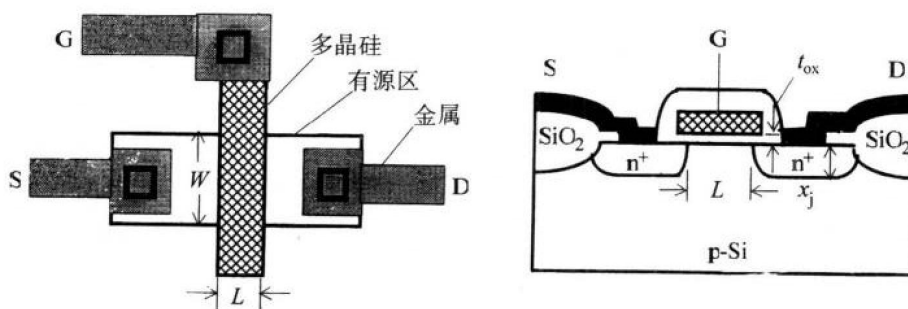


图 1.1.1 MOS 晶体管的结构

电极,分别为源极(S)和漏极(D)。源区和漏区之间是 MOS 晶体管的沟道区,即 MOS 晶体管的主要工作区。用 L 和 W 分别表示沟道区的长度和宽度。沟道区上长一层二氧化硅和栅极(G)隔绝,因此 MOS 晶体管也叫做绝缘栅场效应晶体管(IGFET),这层二氧化硅叫做栅氧化层,栅电极一般是金属或高掺杂的多晶硅。概括地说,MOS 晶体管在纵深方向上是 3 层结构:金属栅-二氧化硅绝缘层-硅衬底;在水平方向上有 3 个区域:源区-沟道区-漏区。MOS 晶体管有 3 个重要的结构参数:沟道长度 L 、沟道宽度 W 和栅氧化层厚度 t_{ox} ,如图 1.1.1 所示。另外,源、漏区结深 x_j 也是比较重要的结构参数。

MOS 晶体管的沟道长度 L 是指两个冶金结之间的距离。由于源、漏区横向扩散的影响,实际的沟道长度和管子栅极图形的宽度并不相等,如图 1.1.2 所示。MOS 晶体管的实际沟道长度为:

$$L = L(\text{drawn}) - 2L_D, \quad (1.1.1)$$

其中 $L(\text{drawn})$ 为版图上画的沟道长度,不考虑光刻的误差,

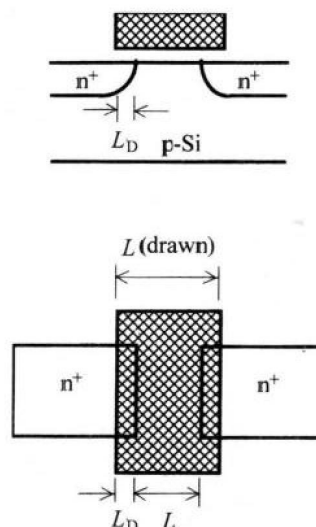


图 1.1.2 MOS 晶体管的实际沟道长度

$L(\text{drawn})$ 就是实际做出的栅极线条宽度。 L_D 为源、漏区横向扩散长度,一般取

$$L_D \approx 0.8x_i. \quad (1.1.2)$$

作为近似分析,可以忽略源、漏区的横向扩散。

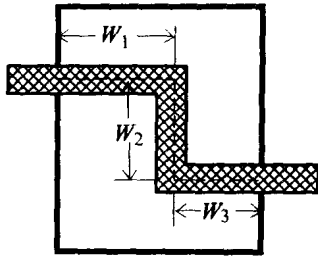


图 1.1.3 MOS 晶体管
沟道宽度的计算

对于简单的矩形栅极,MOS 晶体管的沟道宽度就是有源区的宽度,如图 1.1.1 所示的情况。但是在 MOS 集成电路中,MOS 晶体管有各种各样的设计图形,对于复杂形状的 MOS 晶体管,沟道宽度的取值比较复杂,必须考虑拐角的影响。一种比较简单的近似方法是取栅极图形的中心线来计算沟道宽度,如图 1.1.3 所示的 MOS 晶体管的沟道宽度为:

$$W = W_1 + W_2 + W_3. \quad (1.1.3)$$

在采用局部氧化工艺形成场区氧化层时,还必须考虑场区氧化对 MOS 晶体管沟道宽度的影响。由于场氧化层在有源区边缘产生鸟嘴,侵蚀到有源区内,使实际的有源区比设计的图形缩小。

在 MOS 集成电路设计中,计算管子的尺寸时应该考虑到以上这些因素的影响。

1.1.2 MOS 晶体管的基本工作原理

MOS 晶体管在工作时一般常以栅极作为输入端,漏极作为输出端,源极作为公共端和衬底一起接地。对于 p 型硅衬底、 n^+ 源漏区的 MOS 晶体管,工作时栅极和漏极相对源极加正电压 V_{GS} 和 V_{DS} 。图 1.1.4 用三维能带图说明 MOS 晶体管工作原理^[3]。如果忽略栅材料和硅衬底的功函数差以及栅氧化层电荷和界面态的影响,当 $V_{GS}=0$ 时,沟道区半导体处于平带情况。在 n^+ 区与沟道区 p 型硅交界处形成 pn 结自建势,由于 pn 结势垒的存在,源-漏之间不能有电流流过,如图 1.1.4(b)所示。当加有较大的正栅压时,栅压形成纵向(x 方向)的电场,使 p 型硅衬底表面能带向下弯曲。当栅压足够大时,使沟道区半导体表面能带弯曲到使表面处费米

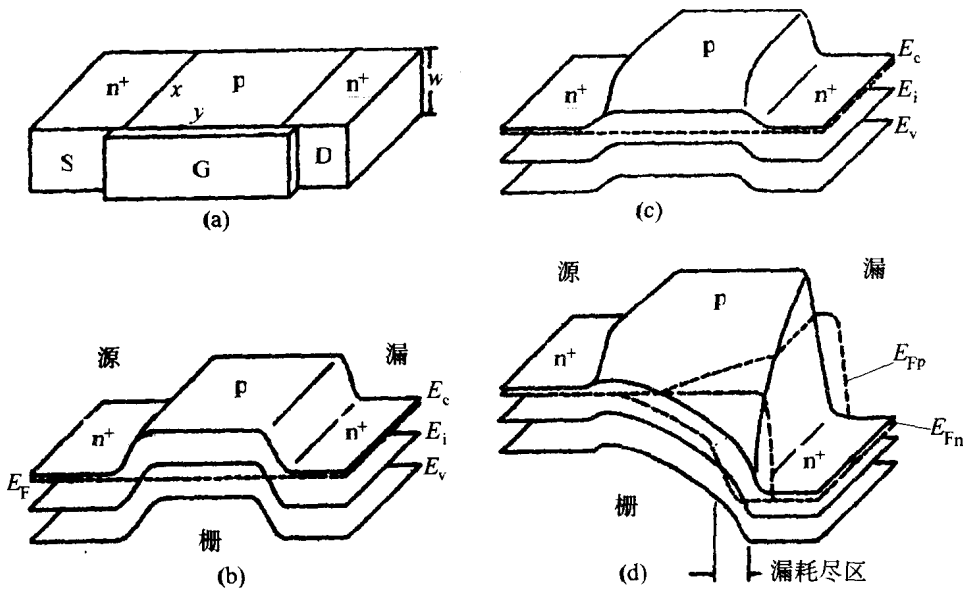


图 1.1.4 MOS 晶体管工作的三维能带图

能级处于本征费米能级之上,且表面处 E_F 在 E_i 之上的距离等于体内 E_F 在 E_i 之下的距离,即表面达到强反型。沟道区半导体表面强反型后 n 型反型层把 n^+ 源、漏区沟通,形成导电沟道。但是 $V_{DS}=0$,从源到漏费米能级保持水平,电子不能流动形成电流,如图 1.1.4(c) 所示。当漏极加正偏压,即 $V_{DS}>0$ 时,使能带又在 y 方向发生倾斜,漏端能带被下拉 qV_{DS} ,在 y 方向形成电场,使电子自源极向漏极运动,形成电流。分别用电子准费米能级 E_{Fn} 和空穴准费米能级 E_{Fp} 表示电子和空穴的浓度。从图 1.1.4(d) 看出,空穴准费米能级在沟道区基本保持水平,在漏区迅速下降和 E_{Fn} 合并。电子准费米能级在沟道区基本与本征费米能级平行,但是在漏区附近下降到本征费米能级附近,这是由于较大的漏电压使漏区附近形成耗尽区,电子浓度近似为零,这个问题后面还要讨论。

MOS 晶体管的导通电流即漏极电流,用 I_D 表示,它直接由栅压和漏压两个电压控制。栅压 V_{GS} 控制沟道区半导体表面状况即表面电荷的数量。栅压对 MOS 晶体管电流的控制作用决定了 MOS 晶体管的输入特性或叫转移特性,

$$I_D = F(V_{GS})|_{V_{DS}} \quad (1.1.4)$$

图 1.1.5 是一个 NMOS 晶体管的转移特性曲线,从图中看出只有栅压超过阈值电压 V_T 才有电流,即只有栅压超过 V_T 才能形成反型沟道,使 MOS 晶体管导通。如果栅压小于 V_T ,沟道区不能形成反型沟道,源、漏区和沟道区 p 型硅之间有 pn 结势垒隔离,不可能有电流,这就是 MOS 晶体管的截止态。阈值电压是 MOS 晶体管的一个重要参数。

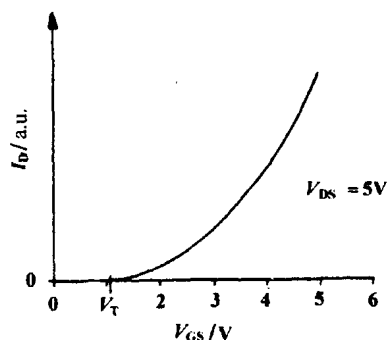


图 1.1.5 MOS 晶体管的转移特性曲线

漏电压通过调节 y 方向的电场来控制 MOS 晶体管的电流。漏电压对 MOS 晶体管电流的控制作用决定了 MOS 晶体管的输出特性,

$$I_D = F(V_{DS})|_{V_{GS}} \quad (1.1.5)$$

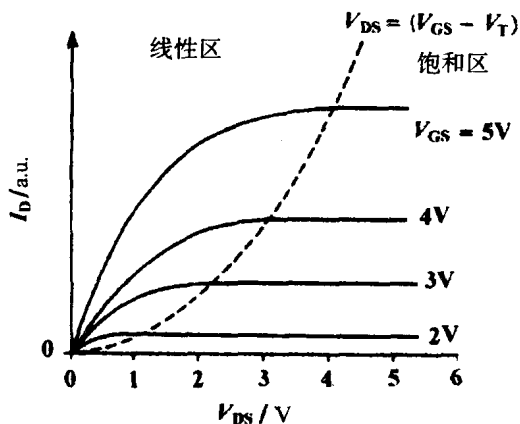


图 1.1.6 MOS 晶体管的输出特性曲线

图 1.1.6 是一个 NMOS 晶体管在不同栅压下的输出特性曲线,这组曲线叫做 MOS 晶体管的输出特性曲线族,也叫做 MOS 晶体管的 I - V 特性。

从 MOS 晶体管的 I - V 特性曲线可以看出,当 V_{DS} 电压比较小时,MOS 晶体管的导通电流随 V_{DS} 的增加迅速增加,在 V_{DS} 很小时, I_D 基本随 V_{DS} 线性增加。这个工作区域就是 MOS 晶体管的线性区,如图 1.1.6 中虚线左边的区域。

当 V_{DS} 较大时,导通电流不再随 V_{DS} 增加而增加,而是基本保持为一个恒定值,这就是

MOS 晶体管的饱和区,如图 1.1.6 中虚线右边的区域。

如果漏电压很大,超过一定临界值,则会造成 MOS 晶体管击穿,使电流急剧增大。MOS

晶体管的正常工作电压应远小于击穿电压。

从以上分析看出,MOS 晶体管是靠反型层中的载流子导电,主要是靠一种载流子参与导电,因此 MOS 晶体管也可以叫做单极晶体管,以区别于双极型晶体管。

1.1.3 MOS 晶体管的分类

MOS 晶体管按其参与导电的载流子类型分为两类:一类是 n 沟道 MOS 晶体管,简称 NMOS 管,NMOS 管是在 p 型硅衬底上形成 n^+ 的源、漏区,导通时沟道区半导体表面反型为 n 型,靠电子导电;另一类是 p 沟道 MOS 晶体管,简称 PMOS 管,制作在 n 型硅衬底上,源、漏区是 p^+ 区,导通时沟道区表面形成 p 型反型层,靠空穴导电。由于 PMOS 管和 NMOS 管中导电的载流子类型相反,因此所加电压极性相反,电流方向也相反。

MOS 晶体管按其工作机制又可以分为增强型和耗尽型。增强型器件是指栅压为零时,不存在导电沟道,因此管子不能导通;只有加足够大的栅压使沟道区半导体表面达到强反型,MOS 晶体管才能导通。这种增强型 MOS 晶体管又叫做常截止器件。耗尽型器件在没有外加栅压时,半导体表面已经反型,形成导电沟道,因此在 $V_{GS}=0$ 时仍然可以有导通电流。要想使耗尽型 MOS 晶体管截止,必须施加一个相反的栅压,使原始沟道完全耗尽,因此这种类型的 MOS 晶体管叫做耗尽型器件,又叫做常导通器件。对 NMOS 管,增强型器件具有正阈值电压,耗尽型器件具有负阈值电压;对 PMOS 管则刚好相反。图 1.1.7 画出了不同类型 MOS 晶体管的结构、输入、输出特性曲线^[4]及表示符号。实际上并没有用到耗尽型 PMOS 管。

类型	剖面图	输出特性	转移特性	符号
n-沟道增强型 (常断)				
n-沟道耗尽型 (常通)				
p-沟道增强型 (常断)				
p-沟道耗尽型 (常通)				

图 1.1.7 MOS 晶体管的分类

1.1.4 MOS 晶体管的结构特点

MOS 晶体管具有以下结构特点:

- (1) 和双极型晶体管相比,结构简单,占用面积小;
- (2) 绝缘栅结构,具有很高的输入阻抗;
- (3) 源、漏区是对称的结构;
- (4) 有效工作区集中在半导体表面,和衬底隔离。

MOS 晶体管的这些结构特点,使它非常有利于集成化。由于 MOS 晶体管工作电流不流经衬底,因此简化了隔离工序,特别是 MOS 晶体管的结构简单、占用面积小,使 MOS 集成电路的集成度能够迅速提高。MOS 晶体管的绝缘栅结构,使下一级电路不从前级吸取直流电流,因此 MOS 电路级间直接耦合,简化了线路,节省了元件。MOS 晶体管的导电沟道相当于一个电阻,可以用 MOS 晶体管代替电阻作负载元件,MOS 集成电路几乎全部由 MOS 晶体管组成,这也是 MOSIC 区别于双极型集成电路的一个特点。MOS 晶体管的绝缘栅结构还为集成电路的布线提供了方便,做栅电极的多晶硅也可以作为局部连线或金属线交叉时的跨接线。由于 MOS 晶体管源、漏区是对称结构,使 MOS 晶体管有双向导通特性,即源、漏区不必固定,可以根据工作电压决定,这为逻辑电路设计提供了灵活性。另外,由于 MOS 晶体管是电压控制器件,工作电流小,功耗低,这也是 MOS 集成电路易于提高集成度的一个重要原因。MOS IC 可以用电池供电,为便携式设备的发展提供了物质基础。

正是由于 MOS 晶体管的这些特点为集成化提供了方便,使 MOS 集成电路得到了迅速发展。尽管 MOS 集成电路诞生比双极型集成电路晚,但是很快在集成度上超过双极 IC,成为 VLSI 的主导产品。

下面几节中将对 MOS 晶体管的基本电特性进行分析,在分析中均以增强型 NMOS 为例,除非另有说明。

1.2 MOS 晶体管的阈值电压分析

MOS 晶体管的阈值电压是一个非常重要的器件参数。MOS 晶体管用于数字电路时工作在导通态或截止态。要使逻辑电路能正常开关,必须使电路的高电平大于 MOS 晶体管的阈值电压,保证 MOS 晶体管开启;同时使电路的低电平小于管子的阈值电压,保证 MOS 晶体管关断,这就要求设计合适的阈值电压。

1.2.1 影响阈值电压的因素

MOS 晶体管的阈值电压定义为使沟道区源端半导体表面达到强反型所需要的栅压,这实际上是在 $V_{DS}=0$ 的条件下把 MOS 晶体管等效为 MOS 二极管所对应的阈值电压。外加栅压有三部分作用:一部分克服平带电压,另一部分降在栅氧化层上,还有一部分是降在半导体表面的耗尽层上,由此可得到半导体表面达到强反型时的栅压即 MOS 晶体管的阈值电压表达式:

$$V_T = V_{FB} + 2\varphi_F - \frac{Q_{Bm}}{C_{ox}}, \quad (1.2.1)$$

其中 V_{FB} 是平带电压, $2\varphi_F$ 是半导体表面达到强反型时的表面势,也就半导体表面耗尽层上的电压。 φ_F 是衬底费米势, NMOS 管用 p 型硅作衬底,则

$$\varphi_F = \frac{kT}{q} \ln \frac{N_A}{n_i}, \quad (1.2.2)$$

式中 N_A 为 p 型衬底掺杂浓度, n_i 为本征载流子浓度, q 为电子电荷, k 为玻尔兹曼常数, T 为绝对温度, 在室温下热电势 $V_i = \frac{kT}{q} = 0.026$ (V)。PMOS 管采用 n 型硅做衬底, 则

$$\varphi_F = -\frac{kT}{q} \ln \frac{N_D}{n_i}, \quad (1.2.3)$$

式中 N_D 为 n 型衬底掺杂浓度。

阈值电压公式中的第 3 项对应于栅氧化层上的压降, 其中

$$Q_{Bm} = -\sqrt{2\epsilon_0\epsilon_{Si}qN_A(2\varphi_F)} \quad (1.2.4)$$

是表面强反型时的耗尽层电荷面密度, 对 p 型硅衬底是电离受主电荷, 为负值; 对 n 型硅衬底则为正电荷, 且用 N_D 代替式中的 N_A 。 C_{ox} 是单位面积的栅氧化层电容, 决定于氧化层厚度,

$$C_{ox} = \frac{\epsilon_0\epsilon_{ox}}{t_{ox}}, \quad (1.2.5)$$

式中 $\epsilon_0 = 8.85 \times 10^{-14} \text{ A} \cdot \text{s/V} \cdot \text{cm}$ 为真空电容率, $\epsilon_{ox} = 3.9$ 为二氧化硅相对介电常数, $\epsilon_{Si} = 11.8$ 是硅的相对介电常数。

半导体的平带电压 V_{FB} 决定于栅和衬底的功函数差及栅氧化层电荷,

$$V_{FB} = \varphi_{MS} - \frac{Q_{ox}}{C_{ox}}, \quad (1.2.6)$$

功函数差 φ_{MS} 由栅材料和衬底掺杂浓度决定。对于铝栅情况,

$$\varphi_{MS} \approx -0.6 - \varphi_F. \quad (1.2.7)$$

目前集成电路中的 MOS 晶体管一般都采用高掺杂的多晶硅作栅电极, 对硅栅情况,

$$\varphi_{MS} = \varphi_{Fpoly} - \varphi_F, \quad (1.2.8)$$

其中 φ_{Fpoly} 为多晶硅的费米势, 由于多晶硅栅的掺杂浓度很高, 属于强简并情况, 其费米势近似为 $E_g/2q$, 可近似取为 $\pm 0.55 \text{ V}$, 对 p^+ 硅栅取正值, 对 n^+ 硅栅取负值。

式(1.2.6)中的 Q_{ox} 是综合考虑了氧化层中的电荷以及 Si-SiO₂ 界面态影响的等效氧化层电荷面密度。由于氧化层电荷基本是正电荷, 由此引起的平带电压总是负值。对 NMOS 管, 功函数差也是负值, 因此要做出增强型 NMOS 管, 必须使阈值电压公式中的后两项的数值超过平带电压的数值, 即

$$V_T' = 2\varphi_F - \frac{Q_{Bm}}{C_{ox}} > |V_{FB}|.$$

这就要求从工艺上减少氧化层电荷, 选择合适的栅材料, 尽量减小平带电压的数值; 另一方面通过调节衬底浓度使本征阈值电压 V_T' 超过平带电压。

对 PMOS 晶体管, 本征阈值电压 V_T' 总是负值, 且平带电压也基本是负值。因此在相同工艺条件、相同衬底掺杂浓度情况下, PMOS 晶体管的阈值电压的数值要比 NMOS 晶体管大。

影响阈值电压的还有一个因素: 栅氧化层厚度。氧化层越厚, C_{ox} 越小, 则阈值电压的数值越大。在 MOS 集成电路中, 就是利用厚氧化层对应较大的阈值电压而用厚的场氧化层实现器件之间的隔离。

1.2.2 体效应对阈值电压的影响

在 MOS 集成电路中, 不是所有的 MOS 晶体管源极都和衬底共同接地, 有些 MOS 晶体管

的源极接输出端,是变化的电平;另外有的 MOS 集成电路的公共衬底不是接地而是接一个电压 V_B ,一般 V_B 为负值。上述两种情况都造成 MOS 晶体管的衬底端相对源极有一个偏置电压,即衬底偏压 V_{BS} 。

对 NMOS 晶体管,一般存在负衬底偏压, $V_{BS} < 0$ 。负衬底偏压使源-沟道-漏区与衬底之间的 pn 结处于反偏,从而使衬底耗尽层展宽,耗尽层电荷增加,进一步屏蔽了栅压形成的电场,要在半导体表面感应出反型载流子则需要更大的栅压。也就是说,对 NMOS 管负的衬底偏压的作用使阈值电压提高。当加有衬底偏压时,阈值电压变为:

$$V_T = V_{FB} + 2\varphi_F - \frac{Q'_{Bm}}{C_{ox}},$$

式中

$$Q'_{Bm} = -\sqrt{2\epsilon_0\epsilon_{Si}qN_A(2\varphi_F - V_{BS})}, \quad V_{BS} < 0. \quad (1.2.9)$$

为了更直观地看出衬底偏压的影响,上式可表示为:

$$V_T = V_{FB} + 2\varphi_F + r_B \sqrt{2\varphi_F - V_{BS}}, \quad (1.2.10)$$

其中,

$$r_B = \frac{\sqrt{2\epsilon_0\epsilon_{Si}qN_A}}{C_{ox}} \quad (1.2.11)$$

叫做衬偏调制系数或体效应系数。衬底偏压对阈值电压的影响就叫做体效应或衬偏效应。

一般常用 V_{T0} 表示没有衬底偏压时的阈值电压,

$$V_{T0} = V_{FB} + 2\varphi_F + r_B \sqrt{2\varphi_F}, \quad (1.2.12)$$

则衬底偏压 V_{BS} 引起的阈值电压的变化量是

$$\Delta V_T = V_T - V_{T0} = r_B (\sqrt{2\varphi_F - V_{BS}} - \sqrt{2\varphi_F}). \quad (1.2.13)$$

显然, r_B 越大,衬底偏压对阈值电压的影响越大。由式(1.2.11)可知,衬底掺杂浓度越高,体效应系数越大,阈值电压随衬底偏压变化越显著。为了减小体效应引起的阈值电压的变化,应尽量减少体效应系数。图 1.2.1 给出了不同衬底掺杂浓度下,正、负衬底偏压引起的 PMOS 管和 NMOS 管的阈值电压变化^[5]。图中 N 表示衬底掺杂浓度 N_A 或 N_D 。

1.2.3 离子注入调节阈值电压

从前面分析看出,衬底掺杂浓度对阈值电压的影响很大。要制作出增强型 NMOS 晶体管,需要较高的衬底掺杂浓度。但是衬底浓度提高会带来一些不利的影响,如 pn 结击穿电压下降,结电容增大,且使体效应系数增大。如果只是使沟道区衬底表面区域的掺杂浓度提高,而整个衬底仍维持较低的掺

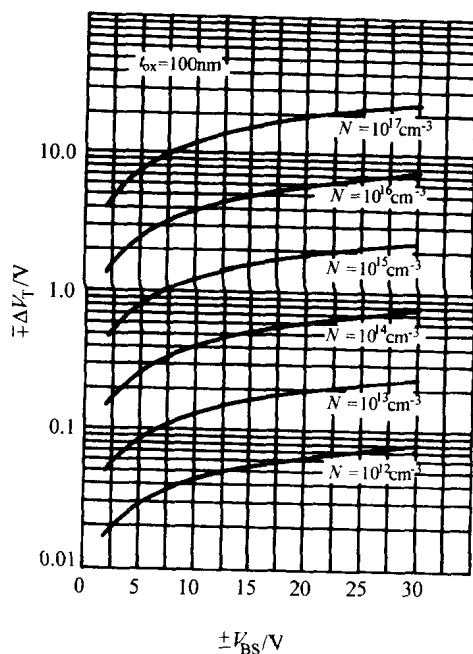


图 1.2.1 体效应对阈值电压的影响

杂浓度,就可以在不影响其他性能的前提下得到合适的阈值电压。离子注入技术可以很好地控制注入杂质的数量和深度,在 MOS 集成电路制造工艺中普遍采用离子注入来调节阈值电压。

离子注入可以注入和衬底相同类型的杂质,如 p 型硅衬底注硼;也可以注入和衬底相反类型的杂质,如 p 型硅衬底注磷或砷。制作增强型 NMOS 管,需要注入和衬底相同类型的杂质。制作耗尽型 NMOS 管,则要注入和衬底相反类型的杂质,以便形成原始的导电沟道。在 CMOS 集成电路中,为了使 NMOS 管和 PMOS 管的性能对称,希望它们的阈值电压数值基本相等,在这种情况下,可以通过反型掺杂来降低 PMOS 管阈值电压的绝对值,即在 PMOS 管的 n 型衬底表面注硼。

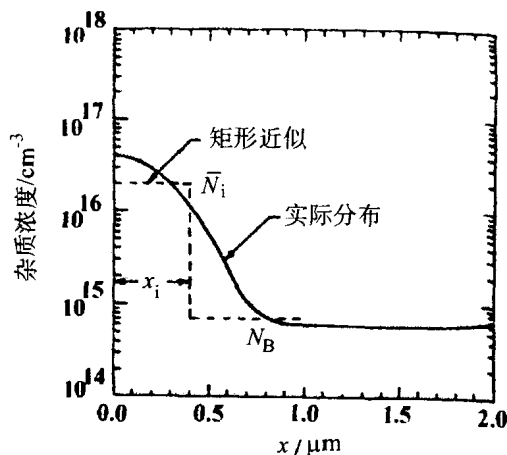


图 1.2.2 注入杂质在硅中的分布

一般离子注入是在硅表面有氧化层保护的情况下进行的,注入的杂质在硅中近似呈半高斯分布^[6],如图 1.2.2 所示。经过退火后杂质分布的峰值变缓。为了简化,常用矩形分布来近似,如图 1.2.2 中的虚线。图中的 N_B 为原始衬底浓度。用 x_i 表示注入的深度用 $\bar{N}_i$ 表示注入杂质的平均浓度,则

$$\bar{N}_i = \frac{N_i}{x_i}, \quad (1.1.14)$$

其中 N_i 为注入剂量。

对增强型 NMOS 管控制阈值电压的注入是小剂量、浅注入,即注入深度小于强反型时的最大耗尽层宽度 x_{dm} 。图 1.2.3 画出了离子注入的增强型器件中的杂质分布以及强反型时的体电荷分布^[7]。

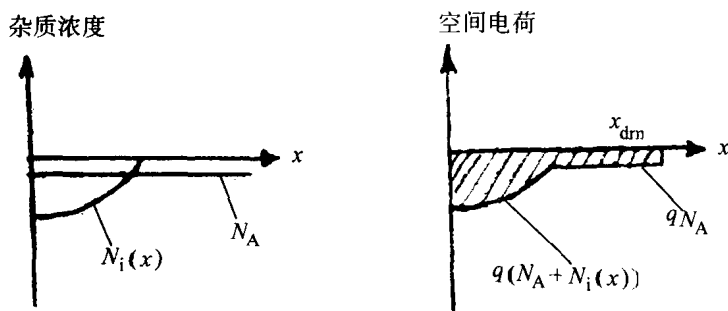


图 1.2.3 一个增强型 NMOS 沟道区杂质和体电荷分布

对于沟道区表面有离子注入的情况,沟道区杂质浓度 N' 可表示为

$$N' = \begin{cases} N_A + \bar{N}_i, & x \leq x_i, \\ N_A, & x > x_i, \end{cases} \quad (1.2.15)$$

则表面注入区的费米势为

$$\varphi_{F1} = \frac{kT}{q} \ln \left(\frac{N_A + \bar{N}_i}{n_i} \right). \quad (1.2.16)$$

在注入区以外的原始衬底内仍保持原来的费米势,在此用 φ_{FB} 表示体内的费米势,即

$$\varphi_{FB} = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)。$$

当表面达到强反型时,表面势应为

$$\varphi_S = \varphi_{FI} + \varphi_{FB}。 \quad (1.2.17)$$

表面空间电荷由注入电荷与原始衬底的耗尽层电荷两部分组成,即

$$Q_{Bm} = -(qN_I + qN_A x'_{dm})。 \quad (1.2.18)$$

要注意式中的最大耗尽宽度 x'_{dm} 要根据式(1.2.15)的实际杂质浓度分布求解一维泊松方程得到,不能套用均匀衬底的结果。

根据以上分析可得到有离子注入的增强型 NMOS 的阈值电压公式:

$$V_{TE} = V_{FB} + \varphi_{FI} + \varphi_{FB} + \frac{qN_I}{C_{ox}} + \frac{qN_A x'_{dm}}{C_{ox}}。 \quad (1.2.19)$$

从上式看出,对增强型 NMOS 管用离子注入调节阈值电压,主要是增大了表面区域的掺杂浓度,从而提高了表面达到强反型时的表面势和表面耗尽层电荷密度。离子注入引起的阈值电压的变化可表示为

$$\Delta V_T = \Delta\varphi_S - \frac{\Delta Q_B}{C_{ox}}, \quad (1.2.20)$$

其中 $\Delta\varphi_S$ 为离子注入引起的表面势变化,

$$\Delta\varphi_S = \varphi_{FI} - \varphi_{FB}。 \quad (1.2.21)$$

ΔQ_B 是离子注入引起的空间电荷的变化,

$$\Delta Q_B = -qN_I - qN_A(x'_{dm} - x_{dm}), \quad (1.2.22)$$

式中 x'_{dm} 为有离子注入时的最大耗尽层宽度, x_{dm} 是对均匀衬底情况表面强反型时的最大耗尽宽度,即

$$x_{dm} = \sqrt{\frac{2\epsilon_0\epsilon_{Si}2\varphi_{FB}}{qN_A}}。 \quad (1.2.23)$$

对有离子注入的情况,注入杂质用矩形分布近似,通过求解一维泊松方程,可得到

$$x'_{dm} = \sqrt{\frac{2\epsilon_0\epsilon_{Si}}{qN_A}(\varphi_{FI} + \varphi_{FB}) - \frac{N_I}{N_A}x_i^2}。 \quad (1.2.24)$$

把式(1.2.23)和(1.2.24)代入式(1.2.22),可得到

$$\frac{\Delta Q_B}{C_{ox}} = \frac{Q_I}{C_{ox}} - r_B \left[\left(\varphi_{FI} + \varphi_{FB} + \frac{Q_I x_i}{2\epsilon_0\epsilon_{Si}} \right)^{1/2} - (2\varphi_{FB})^{1/2} \right], \quad (1.2.25)$$

式中 $Q_I = -qN_I$ 表示注入杂质形成的空间电荷的面密度。对于小剂量、浅注入情况,上式中的 $\frac{Q_I x_i}{2\epsilon_0\epsilon_{Si}}$ 是个小量,与表面势相比可以忽略。另外离子注入引起的表面势的变化也很小,可以进一步忽略表面势的变化,则离子注入引起的阈值电压的变化可用下式近似估计:

$$\Delta V_T \doteq - \frac{Q_I}{C_{ox}}。 \quad (1.2.26)$$

对于增强型 NMOS,注入的是 p 型杂质,引入的 Q_I 为负值,使阈值电压增加一个正值,从而可以克服负的平带电压。

对于小剂量、极浅注入的情况,可以简单地把注入杂质看作引入半导体表面的一薄层电