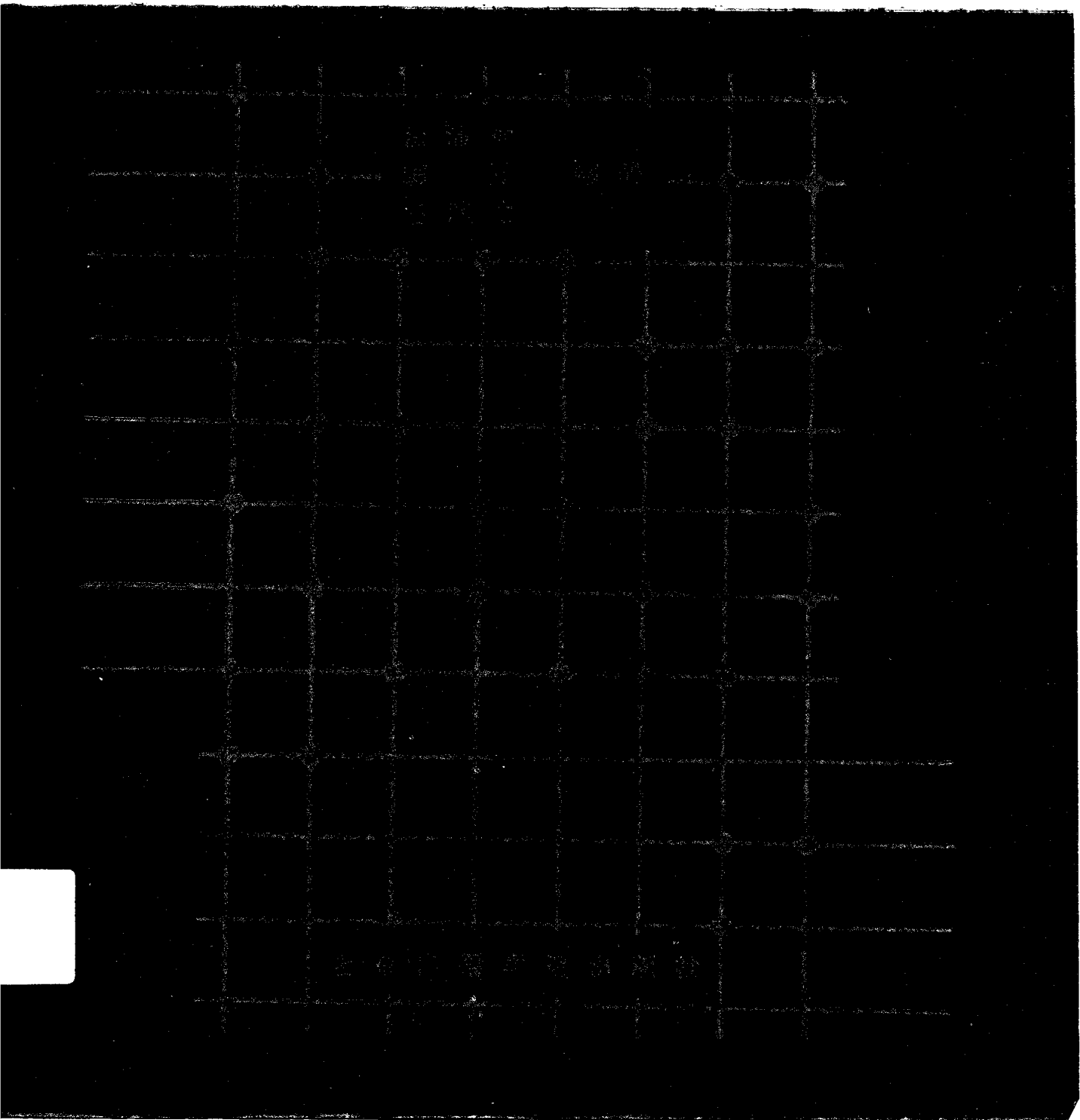


脉冲与数字电路

下 册



内 容 提 要

本书是以1980年高等学校工科电工教材编审委员会审订的《脉冲与数字电路教学大纲(草案)》为依据编写的。

全书分上、下两册。上册包括一至八章,内容有:晶体管开关特性、脉冲波形变换电路、锯齿波发生器、脉冲产生电路、数制和编码、逻辑代数和逻辑函数、逻辑门电路、组合逻辑电路。下册包括九至十三章,内容有:集成触发器、时序逻辑电路基础、时序逻辑电路部件、大规模集成电路、数模和模数转换。

脉冲电路部分系统地介绍了分立元件的一般脉冲电路。数字电路部分重点介绍中、小规模数字集成电路的设计方法和分析方法,并给出较多的例题。大规模集成电路和数模、模数转换的电路原理和应用也作了相应的介绍、各章均附有适量的习题。

本书可作为高等学校工科无线电电子学专业脉冲与数字电路课程教材,其中基本原理部分也可作为高等学校工科无线电电子学专业函授教材,此外还可供无线电、电视和其他从事电子技术工作的工程技术人员参考。

责任编辑:何俊鱼

脉冲与数字电路

(下册)

徐沛如
郭 斌 编著
王毓书

北京广播学院出版社出版

(北京市朝阳区定福庄东街1号)

北京怀柔黄坎印刷厂印刷

全国统一书号15450·006

ISBN 7-81004-024-3/TN6

开本: 787×1092 1/16 印张: 16 字数: 400千字

1988年5月第1版 1988年5月第1次印刷

印数: 0001-1000 定 价: 4.00元

目 录

第九章 集成触发器	(1)
内容提要	(1)
9.1 概述	(1)
9.2 基本RS触发器	(1)
9.2.1 基本RS触发器的工作原理	(2)
9.2.2 基本RS触发器的逻辑功能	(4)
*9.2.3 用或非门构成的基本RS触发器	(6)
9.3 同步RS触发器	(6)
9.3.1 同步RS触发器的工作原理	(6)
9.3.2 同步RS触发器的逻辑功能	(8)
9.4 主从触发器	(8)
9.4.1 同步RS触发器的空翻	(8)
9.4.2 主从触发器的电路结构	(9)
9.4.3 主从JK触发器	(11)
9.4.4 主从JK触发器的逻辑功能	(12)
9.4.5 主从JK触发器的一次翻转	(13)
9.4.6 主从JK触发器的异步置0、置1输入端	(13)
9.5 维持阻塞触发器	(15)
9.5.1 维持阻塞触发器的工作原理	(15)
9.5.2 维持阻塞D触发器及其逻辑功能	(15)
9.5.3 维持阻塞D触发器的异步置0、置1输入端	(16)
9.5.4 维持阻塞D触发器的工作特点	(17)
*9.6 边沿触发器	(18)
9.7 T触发器	(19)
*9.8 集成单元触发器的实例	(20)
9.8.1 集成单元的主从JK触发器	(20)
9.8.2 集成单元的维持阻塞D触发器	(21)
9.9 集成单元触发器的主要指标	(23)
9.9.1 静态参数	(23)
9.9.2 动态参数	(23)
*9.10 不同类型触发器之间的转换	(25)
9.10.1 将JK触发器转换为RS、D、T触发器	(25)
9.10.2 将D触发器转换为RS、JK、T触发器	(26)

9.11 触发器驱动表的“文字填表法”	(26)
本章小结	(28)
习题	(29)
第十章 时序逻辑电路基础	(32)
内容提要	(32)
10.1 概述	(32)
10.1.1 时序逻辑电路的组成	(32)
10.1.2 时序逻辑电路的分类	(33)
10.1.3 组合逻辑电路与时序逻辑电路的区别	(34)
10.2 同步时序逻辑电路的分析	(34)
10.2.1 同步时序逻辑电路的结构	(34)
10.2.2 同步时序逻辑电路的分析方法	(34)
10.2.3 同步时序逻辑电路的分析实例	(35)
10.3 同步时序逻辑电路的设计	(40)
10.3.1 同步时序逻辑电路的设计方法	(40)
10.3.2 同步时序逻辑电路的设计实例	(42)
10.3.3 同步时序逻辑电路的自启动问题	(58)
*10.4 异步时序逻辑电路的分析	(62)
10.4.1 异步时序逻辑电路的分类	(62)
10.4.2 脉冲异步时序逻辑电路的特点与分析方法	(63)
10.4.3 脉冲异步时序逻辑电路的分析实例	(63)
*10.5 异步时序逻辑电路的设计	(69)
10.5.1 脉冲异步时序逻辑电路的设计方法	(69)
10.5.2 脉冲异步时序逻辑电路的设计实例	(70)
本章小结	(84)
习题	(86)
第十一章 时序逻辑电路部件	(90)
内容提要	(90)
11.1 概述	(90)
11.2 寄存器	(91)
11.2.1 数码寄存器	(91)
11.2.2 移位寄存器	(93)
11.3 计数器	(96)
11.3.1 同步计数器	(97)
11.3.2 异步计数器	(121)
11.3.3 移位寄存器型计数器	(128)
*11.4 移位寄存器型脉冲序列发生器	(136)
11.4.1 移位寄存器型脉冲序列发生器	(137)
11.4.2 移位寄存器型线性序列发生器	(140)

11.5	脉冲分配器	(145)
*11.6	码制变换	(146)
11.6.1	B/G 码变换电路	(147)
11.6.2	G/B 码变换电路	(147)
11.6.3	B/BCD 码变换电路	(148)
11.6.4	BCD/B 码变换电路	(152)
*11.7	算术运算电路	(154)
11.7.1	加法器	(154)
11.7.2	减法器	(159)
11.7.3	乘法器	(163)
	本章小结	(165)
	习题	(166)
*第十二章	大规模集成电路	(168)
	内容提要	(168)
12.1	概述	(168)
12.1.1	存储器的分类	(169)
12.1.2	存储器的主要指标	(169)
12.2	MOS 基本电路	(170)
12.2.1	动态有比电路	(171)
12.2.2	动态无比电路	(173)
12.3	顺序存取存储器 (SAM)	(176)
12.3.1	动态移位寄存器的基本单元	(176)
12.3.2	顺序存取存储器 (SAM)	(180)
12.4	随机存取存储器 (RAM)	(181)
12.4.1	存储单元电路	(182)
12.4.2	随机存取存储器的构成	(186)
12.5	只读存储器 (ROM)	(192)
12.5.1	固定程序 ROM (ROM)	(192)
12.5.2	可编程程序 ROM ($PROM$)	(195)
12.5.3	ROM 的逻辑阵列图表示法	(196)
12.5.4	ROM 的应用	(198)
12.5.5	可编程程序逻辑阵列 (PLA)	(200)
12.6	集成注入逻辑 (I^2L)	(205)
12.7	电荷耦合器件 (CCD)	(206)
12.7.1	CCD 的结构及其基本工作原理	(206)
12.7.2	CCD 的应用	(210)
	本章小结	(211)
	习题	(212)
第十三章	数模和模数转换	(214)

内容提要.....	(214)
13.1 概述.....	(214)
13.2 数模转换.....	(215)
13.2.1 DAC 原理	(215)
13.2.2 权电阻DAC 电路	(217)
13.2.3 T型 DAC 电路	(219)
13.2.4 BCD码DAC 电路.....	(222)
13.2.5 DAC中的模拟开关	(225)
13.2.6 DAC 的技术指标	(226)
13.3 模数转换.....	(228)
13.3.1 ADC 原理	(228)
13.3.2 计数斜坡式 ADC 电路	(234)
13.3.3 跟踪式ADC 电路	(237)
13.3.4 逐位逼近式ADC 电路.....	(237)
13.3.5 并行式ADC 电路.....	(241)
13.3.6 ADC 的主要技术指标.....	(243)
本章小结.....	(244)
习题.....	(245)
主要参考资料.....	(246)
附录 I 我国TTL集成电路型号命名规则	(248)
附录 II 汉英名词对照.....	(253)

第九章 集成触发器

内容提要

本章主要介绍时序逻辑电路的基本逻辑单元——集成触发器。首先讨论各种类型集成触发器的电路结构、工作原理和其逻辑功能,为进一步分析和设计各种时序逻辑电路打下基础。

本章以介绍小规模集成触发器为主,同时也给出集成触发器的主要性能指标和选用器件的方法。此外,还对不同类型触发器的转换方法和触发器驱动表的文字填表法进行简单的叙述,以便能更有效地进行时序逻辑电路的设计。

9.1 概述

前面介绍的组合逻辑电路都是由各种集成逻辑门组成的。这些集成逻辑门电路的特点是只有当输入信号存在时,才会有稳定的输出;而一旦输入信号去掉以后,则原来的输出即不复存在。因此,它是不能存储信息的,即集成逻辑门电路没有存储功能。

触发器是能够存储信息的。当触发器有一个输入信号时,它会有一个相应的稳定的输出,而当此输入信号去掉以后,触发器仍能保持原输出不变,因此,触发器具有存储功能。在现代各种数字系统中,为了存储二进制编码信息,广泛地使用了集成触发器。所以,集成触发器也就成为数字电路中最常用、最基本的逻辑单元。

触发器有两个稳定状态,分别称之为0状态和1状态。用触发器的0状态来代表二进制数的0,而用触发器的1状态来代表二进制数的1。在不同的输入情况下,触发器可以被置于0状态,也可以被置于1状态;当输入信号去掉以后,触发器的状态仍然保持不变。因此,用一个触发器,就可以保存一位二进制信息,或称作存储一位二进制数。

触发器可以由集成逻辑门电路加以适当的反馈构成,也可以直接生产单片的集成触发器,而后者则是目前大量生产使用的。较为广泛采用的集成触发器有TTL型和MOS型两大类,这两类集成触发器的电路结构不同,工作原理也各异。本章将主要对由集成逻辑门电路构成的TTL型的触发器进行详细的讨论;关于MOS型的触发器,则在以后的有关章节中再加以介绍。

由集成逻辑门电路构成的触发器,若按电路结构来分类,可以分为基本RS触发器、同步RS触发器、主从触发器、维持阻塞触发器和边沿触发器。如果按触发器的逻辑功能来分类,则可以分为RS触发器、JK触发器、D触发器和T触发器。本章将从电路结构出发,分别介绍各种触发器的电路、工作原理及其逻辑功能。至于触发器输入、输出的逻辑电平、传输延迟时间、抗干扰容限和负载能力等问题都与集成逻辑门电路相同,这里就不再一一叙述了。

9.2 基本RS触发器

基本RS触发器是最简单的也是最基本的触发器,它是构成各种触发器的基础,同时在

各种触发器中也实现一些特定的逻辑功能，例如完成异步置0、置1等功能。

基本RS触发器可以由两个与非门交叉耦合组成，也可以用两个或非门组成。本节将着重讨论用与非门组成的基本RS触发器的工作原理与其逻辑功能。同时，对由或非门组成的基本RS触发器的逻辑功能也给以简单介绍。

9.2.1 基本RS触发器的工作原理

由两个与非门交叉耦合构成的基本RS触发器的逻辑电路如图9-1所示，图9-2为其逻辑符号。图9-1中的A、B为两个与非门，它可以是DTL与非门、TTL与非门，也可以是MOS与非门。图中的Q和 \bar{Q} 代表触发器的两个输出端，称为Q输出端和 \bar{Q} 输出端。触发器的Q端也称为1输出端，而 \bar{Q} 端称0输出端。当触发器的Q输出端为1（即 $Q=1$ ）和 \bar{Q} 输出端为0（即 $\bar{Q}=0$ ）时，称该触发器处于1状态；而当触发器的Q输出端为0（ $Q=0$ ）和 \bar{Q} 输出端为1（ $\bar{Q}=1$ ）时，则称该触发器处于0状态。由此可见，

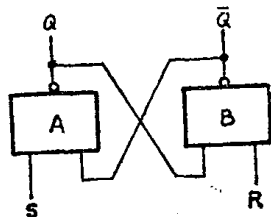


图 9-1

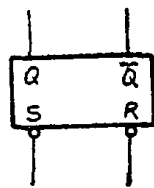


图 9-2

触发器Q输出端的状态与 \bar{Q} 输出端的状态相反时，Q的状态即表示触发器的状态。还要指出的是，这里的Q和 \bar{Q} 是两个独立的符号，并不一定表示二者互为取非的关系。例如在某种输入的情况下，会使触发器的两个输出端同时为1（ $Q=1$ 、 $\bar{Q}=1$ ）或同时为0（ $Q=0$ 、 $\bar{Q}=0$ ），此时则称该触发器处于不定状态。图中S与R代表触发器的两个输入端，其中S称为触发器的置1输入端，R称为置0输入端。图9-2中逻辑符号S、R输入端的小圆圈不表示触发器中再包含一个非门或再有取非的意思，而是表示该触发器是由0电平（或负脉冲）来触发的。

下面讨论基本RS触发器的输入与输出之间的逻辑关系：

1. 如图9-1所示的触发器，当 $S=1$ ， $R=1$ 时，若门A的原输出 $Q=1$ ，则门B的两个输入为 $Q=1$ ， $R=1$ ，因而门B的输出 $\bar{Q}=0$ 。此时，门A的输入为 $\bar{Q}=0$ ， $S=1$ ，门A的输出保持为 $Q=1$ 。即 $Q=1$ ， $\bar{Q}=0$ 是一种稳定状态。同样，当 $S=1$ ， $R=1$ 时，若门A的原输出 $Q=0$ ，则门B的输入为 $Q=0$ ， $R=1$ ，其输出为 $\bar{Q}=1$ 。此时，门A的输入为 $\bar{Q}=1$ ， $S=1$ ，门A的输出为 $Q=0$ 。即 $Q=0$ ， $\bar{Q}=1$ 是另一种稳定状态。由此可知，当触发器输入为 $S=1$ ， $R=1$ 时，其输出可以处于两种稳定状态中的任何一种。但是，它究竟处于哪一种稳定状态，则要由其过去的输入条件来决定，即与触发器的原来状态有关。如果触发器原来处于1状态（ $Q=1$ ， $\bar{Q}=0$ ），则它将保持为1状态；若原来为0状态（ $Q=0$ ， $\bar{Q}=1$ ），则触发器仍保持为0状态。由此可见，当输入为 $S=1$ ， $R=1$ 时，基本RS触发器将保持原来状态不变。

2. 当输入为 $S=1$ ， $R=0$ 时。由于与非门B的一个输入端为 $R=0$ ，因此其输出应为1，即 $\bar{Q}=1$ 。此时， $\bar{Q}=1$ ， $S=1$ 加在门A的输入端，从而使门A的输出为0，即 $Q=0$ 。不论触发器原来处于什么状态，只要其输入是 $S=1$ ， $R=0$ ，则它的输出必然是 $Q=0$ ， $\bar{Q}=1$ ，即触发器处于稳定的0状态。此后，即使R输入端的信号由0变为1，由于在此以前，门A的输出（ $Q=0$ ）已经作用在门B的输入端，使 $\bar{Q}=1$ ，而 $Q=0$ ，即触发器仍保持在0状态不变。

3. 当输入为 $S=0$ ， $R=1$ 时。此时，与上述情况正好相反，按照同样方法分析可知，

此时 $Q = 1, \bar{Q} = 0$, 即使触发器处于稳定的1状态不变。

4. 当输入为 $S = 0, R = 0$ 时, 两个门的输出都是1, 即 $Q = 1, \bar{Q} = 1$ 。此时, 如果将两个输入信号 S, R 同时由0变为1, 则两个门的输入都是1; 这样, 其输出 Q 与 \bar{Q} 都有从高电平向低电平 (由1向0) 转化的趋势。由于门的特性不可能完全相同, 外界条件如电路的分布参数也有一定的差别, 因而总会有一个门的变化快一些, 另一个门变化慢一些。假设门A的输出 Q 由高电平向低电平 (由1向0) 的变化快一些, 则 Q 先变为0, 它送到门B的输入端, 使其输出保持为高电平, 触发器为0状态。反之, 如果门B的输出 \bar{Q} 变化快, 则触发器将为1状态。另一种情况是, 两个门的变化速度近似, 当两个输入 S, R 同时由0变为1时, 两个门的输出 \bar{Q}, Q 同时由1变为0, 经过交叉反馈又分别送到两个门的输入端, 致使其输出又要由0变为1, 如此反复, 会形成一定振荡。通常, 逻辑门的传输延迟时间是不确定的, 因此, 当两输入信号 S, R 同时由0变为1时, 触发器的状态也是不能确定的。在数字系统的逻辑设计中, 要避免这种情况的发生。

由上面的分析可以求出基本RS触发器的真值表如表9-1所示。从表中可以看出, 当 $R = 1, S = 0$ 时, 触发器是处于1状态, 所以称S端为置1输入端。当 $R = 0, S = 1$ 时, 触发器处于0状态, 所以称R端为置0输入端。

此种触发器是由0电平 (或负脉冲) 触发的。当其某一个输入端为0时, 称此端为有触发信号输入, 而若某一个输入端为1时, 则称该端没有触发信号输入。因此, 上面的分析结果也可以这样说: 当触发器的两个输入端都没有触发信号输入时 ($S = 1, R = 1$), 其状态保持不变; 当只在S端输入触发信号 ($S = 0, R = 1$), 则触发器被置为1状态; 而当只在

表 9-1

S	R	Q	\bar{Q}
1	1	1, 0 (不变)	0, 1 (不变)
1	0	0	1
0	1	1	0
0	0	1 (不定)	1 (不定)

R端输入触发信号 ($S = 1, R = 0$), 则触发器被置为0状态; 在S、R两端同时输入触发信号时 ($S = 0, R = 0$), 触发器的两个输出端 Q 与 \bar{Q} 均为1, 此时若再把两个触发信号同时去掉, 即使 S, R 同时由0变为1, 则触发器的状态将是不定的。

一个基本RS触发器, 当其输入信号不断地改变时, 它的输出将按表9-1所示的真值表的关系随之作相应的变化。图9-3所示即为当在输入端R, S送入不同的触发信号时 (即变化的波形), 触发器的工作情况 (Q 与 \bar{Q} 输出端的输出波形)。在时间 $t = 0 \sim t_1$ 期间, $S = 1, R = 1$, 触发器的状态不变。假设触发器的原状态为0状态, 即 $Q = 0, \bar{Q} = 1$, 那么在此期间内, Q 仍保持为0, \bar{Q} 保持为1。在时间 $t = t_1 \sim t_2$ 期间, $S = 0, R = 1$, 触发器变为1状态 ($Q = 1, \bar{Q} = 0$)。在时间 $t = t_2 \sim t_3$ 期间, $S = 1, R = 1$, 触发器保持1状态不变 ($Q = 1, \bar{Q} = 0$)。在时间 $t = t_3 \sim t_4$ 期间, $S = 1, R = 0$, 触发器变为0状态 ($Q = 0,$

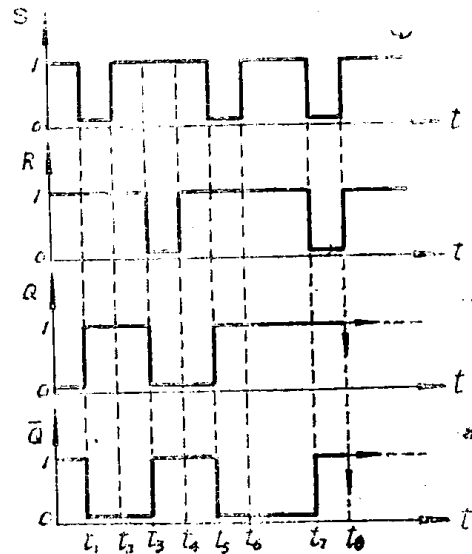


图 9-3

$\bar{Q} = 1$)。在时间 $t = t_4 \sim t_5$ 期间, $S = 1$ 、 $R = 1$, 触发器保持 0 状态不变 ($Q = 0$ 、 $\bar{Q} = 1$)。在时间 $t = t_5 \sim t_6$ 期间, $S = 0$ 、 $R = 1$, 故触发器又变为 1 状态 ($Q = 1$ 、 $\bar{Q} = 0$)。这一状态一直保持到 $t = t_7$, 因为在 $t = t_6 \sim t_7$ 期间, $S = 1$ 、 $R = 1$ 。在时间 $t = t_7 \sim t_8$ 期间, $S = 0$ 、 $R = 0$, 此时触发器的输出 Q 与 \bar{Q} 均为 1。在 $t = t_8$ 时, 输入信号 S 、 R 将要同时由 0 变为 1, 根据上面所述, 此时触发器的两个输出 Q 和 \bar{Q} 是 0 还是 1 不能确定, 因此触发器是处于不定状态。

最后还要指出, 上面讨论的工作情况均未考虑信号的传输时间。实际触发器从输入端加入输入信号到输出状态稳定是需要一定的时间, 这个时间决定于触发器中每个门的传输延迟时间 t_{pd} 。例如在图 9-1 所示的电路中, 当输入端 S 输入低电平 ($S = 0$) 时, 经过一个与非门的传输延迟时间 t_{pd} 以后门 A 的输出变为高电平 ($Q = 1$), 此时 Q 反馈到门 B 的输入端, 再经过一个 t_{pd} 时间以后, 门 B 的输出也变为低电平 ($\bar{Q} = 0$), 此低电平反馈至门 A 的输入端, 触发器达到稳定状态。此后如果输入信号 S 再由 0 变回到 1, 则触发器的状态保持不变。因此, 为了保证触发器能够稳定工作, 输入信号的持续时间应大于 $2t_{pd}$ 。

当考虑触发器的信号传输时间时, 图 9-3 所示的工作波形, 实际上应为如图 9-4 所示的情况。读者可根据上面的讨论自己进行分析。

9.2.2 基本 RS 触发器的逻辑功能

前面所介绍的真值表说明了触发器的输入信号与其状态之间的关系, 也就是触发器的逻辑功能。为了更确切地表示触发器的逻辑功能, 不但要给出输入信号与触发器的新状态的关系, 而且也要表明触发器的新状态与原状态及输入信号之间的关系。除了真值表之外, 还可以用状态转换真值表、驱动表、卡诺图、特征方程或状态转换图来表示触发器的逻辑功能, 现分述如下:

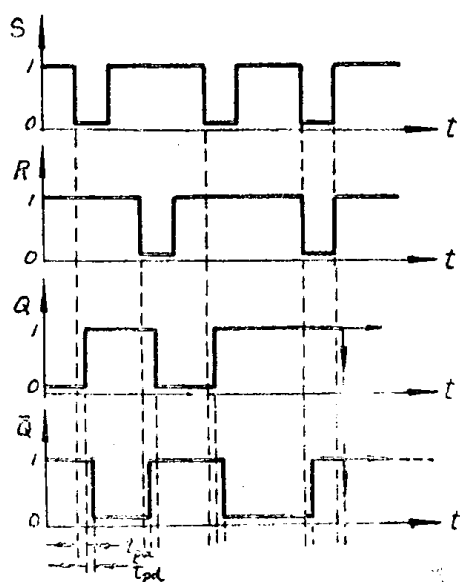


图 9-4

表 9-2

Q^n	S	R	Q^{n+1}
0	0	0	ϕ (不定)
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	ϕ (不定)
1	0	1	1
1	1	0	0
1	1	1	1

1、状态转换真值表。

为了表明触发器的新状态与原状态及输入信号之间的关系, 由触发器的真值表可以列出它的状态转换真值表, 如表 9-2 所示。表中的 Q^n 代表触发器的原状态, 即未加输入信号时触发器的状态; Q^{n+1} 代表触发器的新状态, 也就是加了输入信号以后触发器的状态; ϕ 表示为不定状态。状态转换真值表可以更好的表示触发器的逻辑功能, 当已知触发器的原状态和输入信号 S 、 R 时, 可以直接得出其新状态。例如由表中的第一行可知, 当 $Q^n = 0$ 、 $S = 0$ 、 $R = 0$ 时, 触发器的新状态为不定状态 ($Q^{n+1} = \phi$)。同样, 由表中第二行可知, 当 $Q^n = 0$ 、 S

$= 0$ 、 $R = 1$ 时，触发器的新状态为1 ($Q^{n+1} = 1$)。余此类推。表中的第一行和第五行的输入信号均为 $S = 0$ 、 $R = 0$ ，此时的 $Q^{n+1} = \phi$ ，新状态不定，在使用基本RS触发器时这两种情况是不允许出现的。为了避免此种情况，要求两个输入变量不能同时为0，即必须满足 $S + R = 1$ 的条件，这个条件就是此种触发器的约束条件。

2. 驱动表

另一种描述触发器逻辑功能的方法就是驱动表，由状态转换真值表可以很容易地求出触发器的驱动表，如表9-3所示。由状态转换真值表的第三、四行可知，当 $Q^n = 0$ 、 $S = 1$ 、 $R = 0$ 或1时， $Q^{n+1} = 0$ ，从而可以列出驱动表的第一行，即如果要使触发器的状态由0变为0，即保持0状态不变 ($Q^n = 0$ 、 $Q^{n+1} = 0$)，对触发器输入的要求为 $S = 1$ 、 $R = 0$ 或1 ($R = \phi$)。同样，由状态转换真值表的第二行可知，当 $Q^n = 0$ 、 $S = 0$ 、 $R = 1$ 时， $Q^{n+1} = 1$ ，从而列出驱动表的第二行，即 $Q^n = 0$ 、 $Q^{n+1} = 1$ 时， $S = 0$ 、 $R = 1$ 。由状态转换真值表的第七行可以得到驱动表的第三行，由状态转换真值表的第六、八行可以得到驱动表的第四行。

表9-3

$Q^n \rightarrow Q^{n+1}$		S	R
0	0	1	ϕ
0	1	0	1
1	0	1	0
1	1	ϕ	1

驱动表的特点是，当需要将触发器置于某种新的状态时，可以很容易求出对输入信号的要求。

3. 卡诺图

卡诺图也可以表示触发器的逻辑功能。在触发器的状态转换真值表中，以原状态 Q^n 和输入信号 S 、 R 为自变量，以新状态 Q^{n+1} 为因变量，可以直接求出新状态 Q^{n+1} 的卡诺图，如图9-5所示。

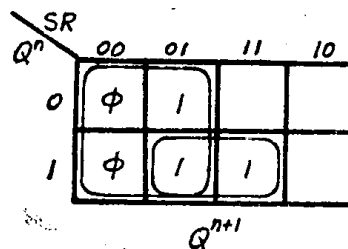


图 9-5

4. 特征方程

由卡诺图可以直接得到基本RS触发器的特征方程，特征方程同样描述了触发器的逻辑功能，这里同时也列出了触发器的约束条件，如式(9-1)所示。

$$\left. \begin{aligned} Q^{n+1} &= \bar{S} + RQ^n \\ S + R &= 1 \quad (\text{约束条件}) \end{aligned} \right\} \quad (9-1)$$

5. 状态转换图

此外，还可以用状态转换图来形象地表示基本RS触发器状态转换的规律，即描述其逻辑功能，如图9-6所示。图中的两个圆圈分别代表触发器的两个状态，箭头表示状态的转换方向，箭头旁边标注的字表示转换条件。例如当触发器处于0状态时，若输入信号为 $S = 1$ 、 $R = \phi$ ，则状态由0变到0，即保持不变；若输入信号为 $S = 0$ 、 $R = 1$ ，则状态由0变到1。同样，当触发器处于1状态时，若输入信号为 $S = \phi$ 、 $R = 1$ ，则状态不变；若输入信号为 $S = 1$ 、 $R = 0$ 时，则触发器的状态由1变到0。

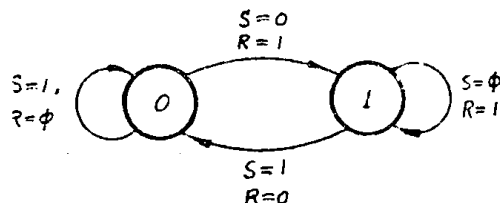


图 9-6

由状态转换图可以看出，它既表示了新状态与原状态及 R 、 S 间的关系，又表明了触发器由一个状态转换到另一个状态时，对输入信号 S 、 R 的要求。实际上，

状态转换图是可以由状态转换真值表或驱动表直接求出的，所以它自然包含了状态转换真值表和驱动表两方面的内容。

此种触发器的状态直接受输入端 R 、 S 的输入信号控制，因此又称之为直接置位 复位触发器。有的书中把此种触发器的输入端用 \overline{S}_a 和 \overline{R}_a 表示，这里 \overline{S}_a 、 \overline{R}_a 上面的短横表示触发器用负脉冲（或0电平）触发。

9.2.3 用或非门构成的基本RS触发器

基本RS触发器也可以用两个或非门构成，其逻辑电路和符号如图9-7、图9-8所示。它也有两个输入端，置1输入端 S 和置0输入端 R ；两个输出端 Q 和 \overline{Q} 。

用或非门构成的基本RS触发器的工作原理与用与非门构成的触发器类似。只是由于它是用或非门构成的，因此当触发器的状态相同时，其输入信号要与由与非门构成的触发器输入信号相反。例如当 $S=1$ 、 $R=0$ 时，由于 $S=1$ ，使得 $\overline{Q}=0$ ； $\overline{Q}=0$ 、 $R=0$ 同时加在门A的输入端，因而 $Q=1$ ； $Q=1$ 反馈到门B的输入端使 \overline{Q} 保持为0，触发器处于1状态。其余情况类推，由此可得出其真值表如表9-4所示。由真值表可知，当 $S=0$ 、 $R=0$ 时，触发器状态不

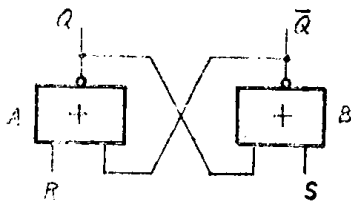


图 9-7

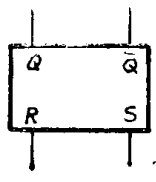


图 9-8

表9-4

S	R	Q	\overline{Q}
0	0	0, 1(不变)	1, 0(不变)
0	1	0	1
1	0	1	0
1	1	0(不定)	0(不定)

变；当 $S=0$ 、 $R=1$ 时，触发器为0状态；当 $S=1$ 、 $R=0$ 时，触发器为1状态；而当 $S=1$ 、 $R=1$ 时，触发器的状态不定。因此，由或非门构成的触发器的状态更新是靠正脉冲（1电平输入，而对于 $S=1$ 、 $R=1$ 的情况要予以限制，所以它的约束条件应该是 $S \cdot R = 0$ 。同样，可以求出由或非门构成的基本RS触发器的特征方程。

$$\left. \begin{aligned} Q^{n+1} &= S + \overline{R}Q^n \\ S \cdot R &= 0 \end{aligned} \right\} \quad (9-2) \quad (\text{约束条件})$$

9.3 同步RS触发器

基本RS触发器的电路简单，应用也十分广泛。然而在实际使用触发器时，往往还需要用一个控制信号来控制触发器输出状态变化的时刻，这里的控制信号通常称为时钟信号或时钟脉冲。由时钟脉冲控制的RS触发器，当时钟脉冲到来的时刻，其状态才根据输入信号 R 、 S 的情况发生变化，也即触发器状态的变化是与时钟脉冲同步的。因此这种触发器称为同步RS触发器，有时也称为钟脉冲RS触发器。

9.3.1 同步RS触发器的工作原理

同步RS触发器由A、B、C、D四个与非门组成，其逻辑电路和符号如图9-9和图9-10所示。

由图9-9可知，这个电路有三个输入端，其中 R 、 S 为信号输入端， CP 为控制信号输入

端，从CP端输入时钟脉冲进行控制；此外还有两个输出端即Q端与 \bar{Q} 端。

从图9-9还可以看到，电路中的门A和门B实际上是一个基本RS触发器，其逻辑功能与前面所述的基本RS触发器的逻辑功能相同。同步RS触发器的时钟脉冲为一个时间间隔相同的正脉冲序列，因此当没有时钟脉冲输入，即CP=0时，门C、门D被“封锁”。所谓门C、门D被“封锁”，就是说此时不论R、S的输入信号是0还是1，都不会被反映到门C、门D的输出端，也就是R、S两端的输入信号无法加到由门A、门B组成的基本RS触发器的输入端。此时，门C、门D的输出恒为1，基本RS触发器的状态，也就是同步RS触发器的状态保持原状态不变。

若时钟脉冲到来，即CP=1时，则门C、门D被“打开”。R、S端的输入信号将通过C、D两个门送到基本RS触发器的输入端，从而控制其状态，使之被置1或置0。例如，若此时S=1、R=0，则门C的输出 $G_C=0$ ，门D的输出 $G_D=1$ ，由A、B门组成的基本RS触发器被置1也就是此时同步RS触发器为1状态，或称为触发器被置1。同样，若S=0、R=1，则 $G_C=1$ ， $G_D=0$ ，触发器被置0。若S=0、R=0，则 $G_C=1$ 、 $G_D=1$ ，触发器状态不变。而当S=1、R=1时， $G_C=0$ ， $G_D=0$ 、 $Q=1$ 、 $\bar{Q}=1$ ，在CP脉冲过去，即CP由1变为0时，触发器的状态是不确定的。由以上的分析，可以求出同步RS触发器的真值表如表9-5所示。这里要注意的一点是，该真值表是指当CP脉冲到来时触发器的输入与输出之间的关系。

同步RS触发器的工作波形如图9-11所示。触发器的工作波形就是根据其真值表（逻辑功能），求出输入信号、CP脉冲与输出信号

表 9-5

S	R	Q	\bar{Q}
0	0	1, 0 (不变)	0, 1 (不变)
0	1	0	1
1	0	1	0
1	1	1 (不定)	1 (不定)

之间对应关系的波形图。读者可根据上述的方法对其工作情况进行分析。在分析触发器工作波形的时候，有一点需要再强调一下，这就是触发器的新状态虽然取决于输入信号R和S的状态，但是触发器从原状态转换为新状态要在CP脉冲到来时才能进行。例如在图9-11中，当第二个CP脉冲到来时（CP₂由0变为1），触发器才因S=1、R=0而由0状态变为1状态，即此时Q=1、 \bar{Q} =0。在此CP脉冲到来前的一段时间里，同样是S=1、R=0，而触发器的状态并不改变。图中其它情况可类推。另外，图9-11中当第四个CP脉冲到来时，因S=1、

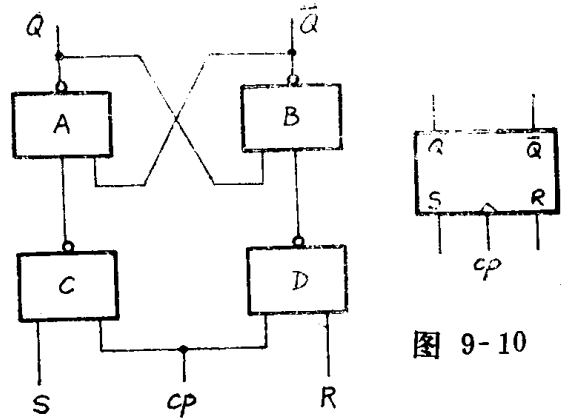


图 9-9

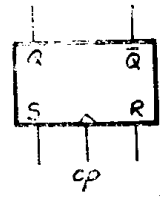


图 9-10

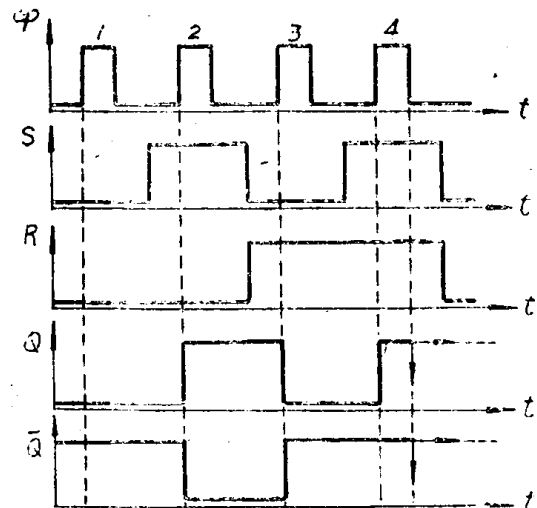


图 9-11

$R = 1$ ，所以触发器的输出为 $Q = 1$ 、 $\bar{Q} = 1$ ，此脉冲过去后（ CP 由1变0），触发器的状态将是不定的，如图所示。在实际应用中，这种情况应该避免出现。

9.3.2 同步RS触发器的逻辑功能

与基本RS触发器类似，同样可以用状态转换真值表、驱动表、卡诺图、特征方程和状态转换图来表示触发器的新状态与原状态及输入信号之间的关系，即其逻辑功能。

由触发器的真值表可以求出其状态转换真值表（表9-6），进而求出其驱动表（表9-7）。

表 9-6

Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	ϕ (不定)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	ϕ (不定)

表 9-7

$Q^n \rightarrow Q^{n+1}$	S	R
0 0	0	ϕ
0 1	1	0
1 0	0	1
1 1	ϕ	0

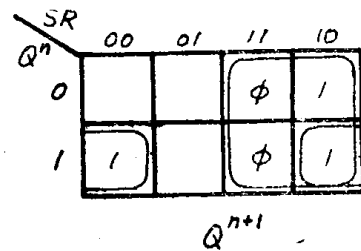


图 9-12

由状态转换真值表可以求出新状态 Q^{n+1} 的卡诺图（图9-12），并由此得出同步RS触发器的特征方程（式9-3），其约束条件也同时列出。同步RS触发器的状态转换图如图9-13所示。

$$\left. \begin{aligned} Q^{n+1} &= S + \bar{R}Q^n \\ S \cdot R &= 0 \quad (\text{约束条件}) \end{aligned} \right\} \quad (9-3)$$

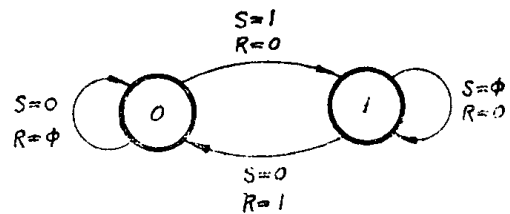


图 9-13

还要指出，上述五种表示同步RS触发器逻辑功能的方法，都只是在 CP 脉冲到来时（ $CP = 1$ ）才是有效的，这一点和基本RS触发器不同，要特别注意。

9.4 主从触发器

9.4.1 同步RS触发器的空翻

在实际数字系统中的电路，例如移位寄存器或计数器，常常是许多个触发器串联在一起，即将一个触发器的输出接到另一个触发器的输入端，或者是将一个触发器的输出反馈到它自己的输入端，而系统中的全部触发器都由同一个 CP 脉冲控制。在这种情况下，如果采用同步RS触发器，则在 CP 脉冲作用期间，触发器可能产生“空翻”现象，电路不能正常工作。

例如图9-14所示的电路，它是由两个触发器 F_1 和 F_2 串联组成的。触发器 F_1 的输出端 Q_1 、 \bar{Q}_1 与触发器 F_2 的输入端 S_2 、 R_2 相连接，两个触发器由同一个 CP 脉冲控制。由两个触发器组成的电路，其输出为 Q （即 Q_2 ）和 \bar{Q} （ \bar{Q}_2 ），而输入为 S （ S_1 ）和 R （ R_1 ）。这个电路应该是这样工作的：因为 Q_1 与 S_2 相连， \bar{Q}_1 与 R_2 相连，故在 CP 脉冲到来时， $Q^{n+1} = Q_1^n$ ， $\bar{Q}^{n+1} = \bar{Q}_1^n$ 即 F_1 的原来状态被转移到 F_2 的输出端，而 F_1 的新状态则取决于电路的输入信号，即 $Q_1^{n+1} = S$ 、 $\bar{Q}_1^{n+1} = R$ ，也就是此时将输入信号存入 F_1 。例如假定在 CP 脉冲到来之前，触发器 F_1 的原状态为0状态，即 $Q_1^n = 0$ 、 $\bar{Q}_1^n = 1$ ，输入信号为 $S = 1$ 、 $R = 0$ 。当 CP 脉冲到来时， F_1 的状态将转移到 F_2 ，即 F_2 为0状态（ $Q^{n+1} = 0$ 、 $\bar{Q}^{n+1} = 1$ ），而输入信号存入 F_1 ，即 F_1 变为1状态（ $Q_1^{n+1} = 1$ 、 $\bar{Q}_1^{n+1} = 0$ ）。但是，由于两个触发器是由同一个 CP 脉冲控制，当 F_1 与 F_2 转换成新状态之后，若 CP 脉冲仍作用在电路上，则 F_2 的状态将根据 F_1 的新状态情况再次变化，这里，因 F_1 变为1状态，故 F_2 又从0状态变为1状态。这种变化称为“空翻”，它将造成逻辑上的错误，是我们所不希望的。

同样，由同步 RS 触发器构成的计数器也会产生“空翻”。计数器的电路如图9-15所示，

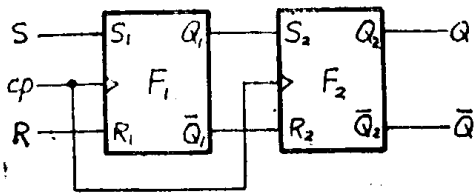


图 9-14

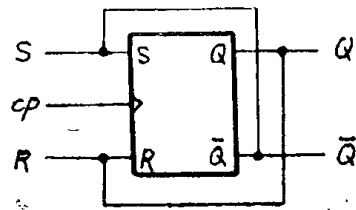


图 9-15

它是由将触发器的输出端经交叉反馈至其输入端而构成的。设触发器原来为0状态（ $Q^n = 0$ 、 $\bar{Q}^n = 1$ ），因其 Q 与 R 相连， \bar{Q} 与 S 相连，故此时触发器的输入为 $S = \bar{Q}^n = 1$ 、 $R = Q^n = 0$ 。当 CP 脉冲到来时，触发器变为1状态（ $Q^{n+1} = 1$ 、 $\bar{Q}^{n+1} = 0$ ），同时输入端也相应改变为 $S = 0$ 、 $R = 1$ 。当第二个 CP 脉冲到来时，触发器又从1状态变为0状态。这样，每输入一个 CP 脉冲，触发器的状态改变（翻转）一次（即触发器进行计数工作），由其状态的改变次数，可以知道输入的 CP 脉冲个数，这时的 CP 脉冲也称计数脉冲。

由于 CP 脉冲有一定的宽度，若触发器翻转以后 CP 脉冲仍保持为1状态，则输出信号又反馈到输入端，使触发器再次翻转。如果 CP 脉冲较宽，在 CP 脉冲作用期间，触发器将可能多次翻转，即触发器产生“空翻”，使得电路无法进行正常的计数工作。

总之，凡由同步 RS 触发器组成的逻辑电路，如果在一个 CP 脉冲作用期间，触发器发生两次或多次翻转，则称这种现象为“空翻”。触发器中门电路的传输延迟时间很短（一般在 $0ns$ 以内），且每个门的传输延迟时间也各不相同，因此无法准确地控制 CP 脉冲宽度来避免“空翻”的产生，这就限制了同步 RS 触发器的应用。

为了消除“空翻”，使电路能够正常工作，需要另外寻找途径。采用主从结构的触发器或维持阻塞结构的触发器，都可以从根本上消除“空翻”现象，使触发器得到广泛的应用。下面将介绍主从结构触发器的工作原理。

9.4.2 主从触发器的电路结构

同步 RS 触发器产生“空翻”是由于在 CP 脉冲作用期间，触发器的输入信号不断变化，从而导致其输出也随之不断地变化。因此，为了克服触发器的“空翻”现象，要求在 CP 脉

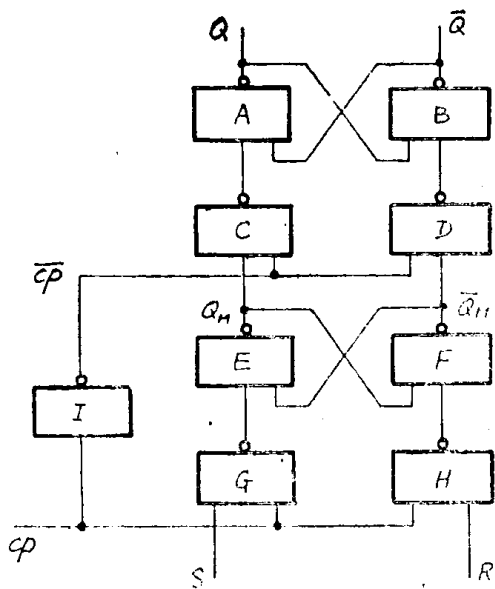


图 9-16

冲作用期间，使输入信号保持不变。主从触发器就是基于这一思想而设计的，其电路如图9-16所示，图9-17是它的逻辑符号。

主从触发器是由两个同步RS触发器加一个非门构成的。图9-16中由门A、B、C、D组成的触发器称为从触发器，由门E、F、G、H组成的触发器称为主触发器，门I为非门。

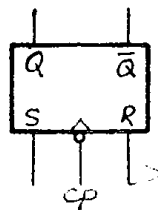


图 9-17

由图9-16可以看出，当CP脉冲到达时（ $CP = 1$ ），门G、H被打开，输入信号由R、S两端送入，此时主触发器的状态将由输入信号R、S的状态决定，即把输入信号暂存在主触发器中。此时，非门I的输出即 \overline{CP} 为0，门C、D被封锁，主触发器的输出信号 Q_M 、 \overline{Q}_M 不能送进从触发器的输入端（门C、D的输入端），从触发器的状态，也就是此主从触发器的输出保持不变。

CP脉冲作用过后，即CP由1变为0以后，门G、H被封锁，输入信号不能送进主触发器的输入端，主触发器的状态将保持不变。而此时 $\overline{CP} = 1$ ，门C、D被打开，从触发器的状态决定于主触发器的状态，也就是把暂存在主触发器中的输入信号传到输出端。由于门G、H被封锁，这样，主从触发器的状态就不会因输入信号的变化而改变。

例如，若 $CP = 1$ 时， $S = 1$ 、 $R = 0$ ，则主触发器被置1，即 $Q_M = 1$ 、 $\overline{Q}_M = 0$ ，此时从触发器的状态不变。当CP脉冲由变1到0时，主触发器保持1状态不变，而从触发器被置1，即 $Q = Q_M = 1$ 、 $\overline{Q} = \overline{Q}_M = 0$ 。这样，经过一个CP脉冲作用以后，输入信号就被送到主从触发器的输出端。

由此可以看出，主从触发器是分两步进行工作的：第一步，在CP脉冲作用期间（ $CP = 1$ ），输入信号存入主触发器，从触发器的状态不变。第二步，当CP脉冲作用结束时（CP由1变0），主触发器的状态将传至输出端，而不受输入信号的影响。因此，主从触发器状态的更新是在CP脉冲由1变为0的时候，也就是在CP脉冲的下降沿发生的。一个CP脉冲的作用，只能使主从触发器的输出状态产生一次变化，从而克服了“空翻”现象。

图9-16的电路实际上是一个主从结构的RS触发器，它的真值表、状态转换真值表、驱动表、卡诺图、特征方程和状态转换图都与前面所讲的同步RS触发器相同，这里就不再重述。要注意的一点是，这些图或表都是在CP脉冲下降沿作用时才是有效的。图9-17的逻辑符号中CP输入端的小圆圈代表触发器状态的转换是由CP脉冲的下降沿触发。

如果把主从触发器的输出端与输入端交叉反馈，即Q端与R端相连接， \overline{Q} 端与S端相连接，则可构成一个计数器（图8-18）。由于它具有主从结构的特点，因此不会产生“空翻”而能进行正常的计数，即每输入一个CP脉冲，触发器输出状态翻转一次。图9-19给出了这

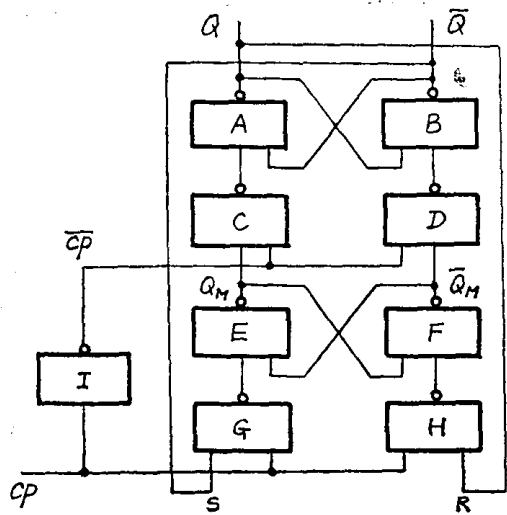


图 9-18

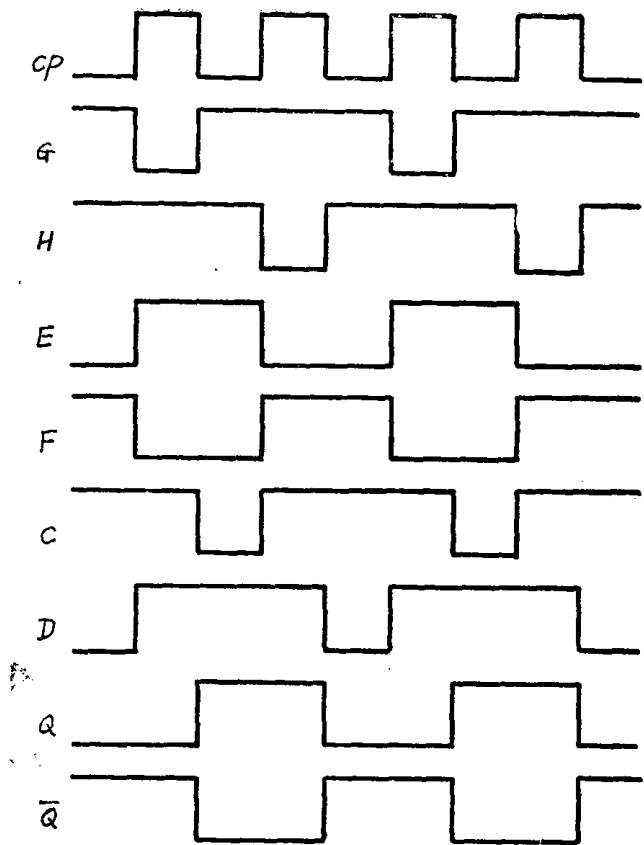


图 9-19

种计数器的工作波形。假定计数器的起始状态为0，即 $Q = 0, \bar{Q} = 1$ ，当输入四个 CP 脉冲时，图中画出了各个与非门以及计数器的输出 Q 与 \bar{Q} 的波形，读者可根据主从触发器的工作情况进行分析。

9.4.3 主从JK触发器

主从 RS 触发器与同步 RS 触发器的逻辑功能是相同的，当其输入端的 $S = R = 1$ 时，触发器的输出是不定状态，要避免这种情况的发生，就限制了它的实际应用范围。为了克服上述缺点，增加逻辑功能，扩大应用范围，可以采用主从结构的 JK 触发器，其电路如图9-20所示，图9-21为逻辑符号。

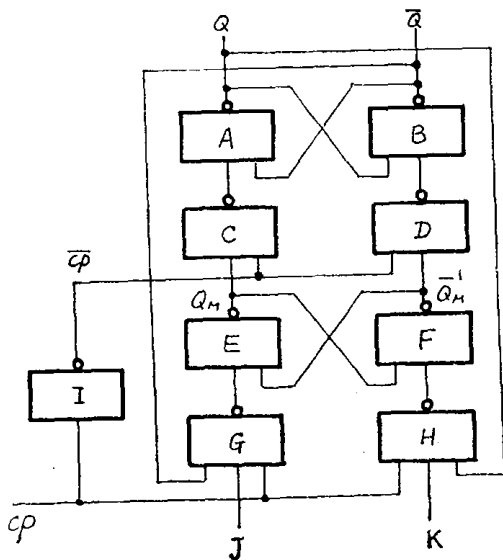


图 9-20

图9-20的主从 JK 触发器电路有两个输出端 Q 与 \bar{Q} ，两个输入端 J 与 K 和一个 CP 脉冲输入端。它实际上是一个由主从 RS 触发器构成的计数器，另外在门 G 、 H 引出 J 、 K 两个输入端构成的。现在

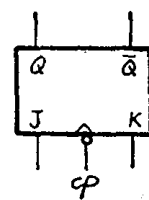


图 9-21